

シンプルセルバランサ

# EDLC セルバランス LSI BD14000EFV-C 評価ボード

BD14000EFV-EVK-001

## 概要

BD14000EFV-EVK-001 は、EDLC セルバランス LSI (BD14000EFV-C) を使用して 4~6 セル直列 EDLC の自己完結セルバランスを実現します。セルバランス電流はシャント抵抗により設定できます。また、セルバランス電圧等も設定可能です。

## 性能仕様 (これは代表値であり、特性を保証するものではありません)

特に指定がない場合は、 $V_{IN} = 15V$

Parameter	Min	Typ	Max	Units	Conditions
入力電圧範囲	8.0		24	V	
シャント電流		100		mA	$V_{cn} - V_{cn-1} = 2.5V$

セルバランス検出電圧設定 :  $VCB = 2.4 \sim 3.1V$  (0.1V step) にて設定可能  
 過電圧検出電圧設定 1 :  $VOVLO1 = VCB + 0.15V$  or  $0.25V$  にて設定可能  
 過電圧検出電圧設定 2 :  $VOVLO2 = VCB + 0.30V$  or  $0.50V$  にて設定可能

動作手順

1. 必要な機器

- (1) EDLC × 4 ~ × 6 セル
- (2) 電圧上限設定可能な定電流電源
- (3) オシロスコープ or DC 電圧計によるモニタ

2. 機器を接続

- (1) EDLC をはんだ付けにて基板と接続します。
- (2) 定電流電源を EDLC の最上位セルの+側と最下位セルの-側に接続し、充電電流と電圧上限値を設定します。
- (3) VSET0-2,OVLOSEL 端子設定にて検出電圧を設定します。(必ず H/L のどちらかに設定して下さい。)
- (4) ENIN 端子設定を 'H' に設定し、動作モードにします。
- (5) 定電流源を ON し、充電⇄放電をします。  
セルバランスが崩れている場合、複数回充放電を繰り返すことでセルバランスすることが可能です。
- (6) 各セル間電流をモニタしながら、フラグ出力端子(Dn, OVLO1,2, OK)をモニタする事で動作確認できます。
- (7) 終了時は定電流源により EDLC を完全に放電して下さい。

\* ENIN,VSET01,2,OVLOSEL 設定は、モニタピンを H:VREG/L:VSS に接続してください。  
2 接点スイッチを実装し端子論理制御することも可能です。その場合、部品表にある 2 接点スイッチを実装して下さい。

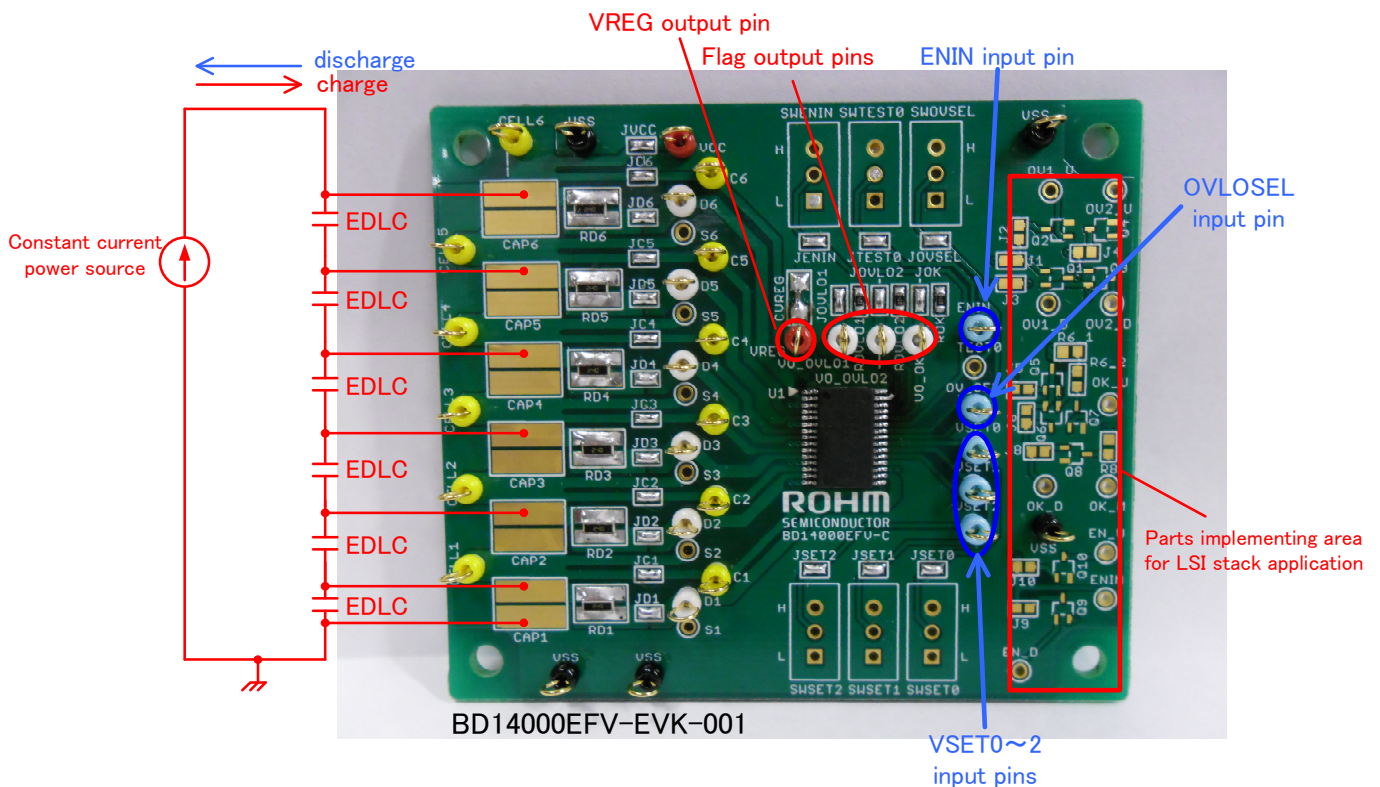


Figure 1. 接続図

基板回路図

V<sub>CC</sub> = 8.0V~24V

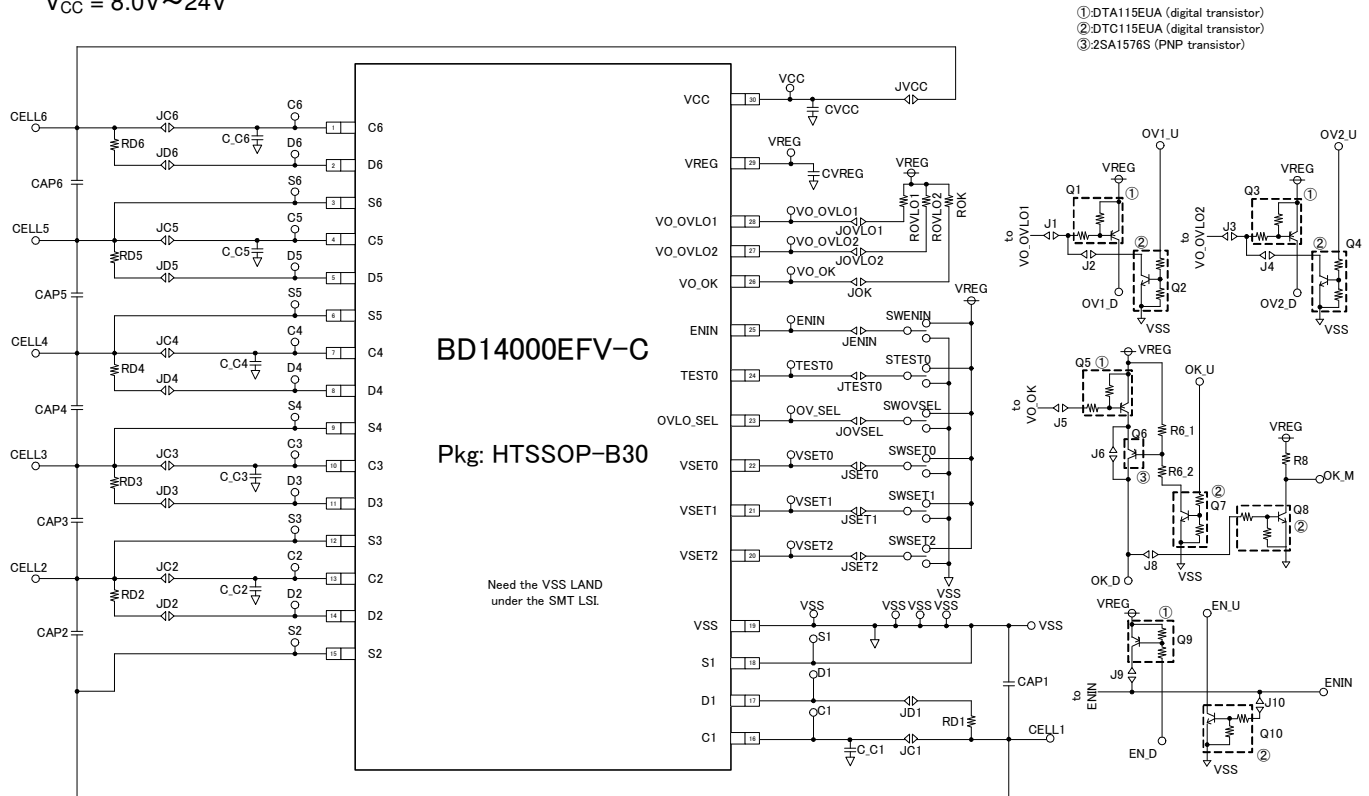


Figure 2. BD14000EFV-EVK-001 基板回路図

部品表

No.	parts name	symbol	count[pcs]	value	Description	Manufacturer Parts Number	Manufacturer	Configurator [mmxmm]
1	LSI	LSI	1	LSI	EDLC cell balance LSI	BD4000EFV-C	ROHM	HTSSOP-B30
2	shant R	RD1,2,3,4,5,6	6	24Ω	1W,200V,F(±1.0%)	LTR50	ROHM	5.0x2.5
3	capasitor	CAP1,2,3,4,5,6	0	-	not installed for EDLC connection	-	-	-
4	capasitor	C.C1,2,3,4,5,6	1	0.1uF	50V,R,±10%	GCM188R11H104KA42#	MURATA	1.6x0.8
5	capasitor	CVCC	1	1uF	50V,X7R,±10%	GCM21BR71H105KA01#	MURATA	2.0x1.25
6	capasitor	CVREG	1	1uF	16V,X7R,±10%	GCM188R71C105KA49#	MURATA	1.6x0.8
7	pullup R	ROVLO1,2,ROK	3	100kΩ	1/16W,50V,F(±1%)	MCR01	ROHM	1.0x0.5
8	switch	SWENIN,OVSEL,SET0,1,2	0	2pole switch	2 pointed swichs are not installed. If needed, please install them.	ATE1D2M3-10-Z	FUJISOKU	5.0x9.5
9	switch	SWTEST0	0	2pole switch	not installed. TEST0 is connected to VSS.	ATE1D2M3-10-Z	FUJISOKU	5.0x9.5
10	pullup R	R6_1,R6_2,R8	0	100kΩ	1/16W,50V,F(±1%)	MCR01	ROHM	1.0x0.5
11	digital Tr(PNP)	Q1,3,5,9	0	digital Tr(PNP)	not installed. Using for LSI stacking.	DTA115EUA	ROHM	2.0x2.1
12	digital Tr(NPN)	Q2,4,7,8,10	0	digital Tr(NPN)	not installed. Using for LSI stacking.	DTC115EUA	ROHM	2.0x2.1
13	PNP Tr	Q6	0	PNP Tr	not installed. Using for LSI stacking.	2SA1576A	ROHM	2.0x2.1
14	pins	VREG,VCC	2	-	red pin.	-	-	1.2φ
15	pins	VSS(x5)	5	-	black pin.	-	-	1.2φ
16	pins	C1-6,CELL1-6	12	-	yellow pin.	-	-	1.2φ
17	pins	D1-6,VO_OK,VO_OVLO1-2	9	-	white pin.	-	-	1.2φ
18	pins	VSET0-2,OVLO_SEL,ENIN	12	-	sky blue pin.	-	-	1.2φ
19	pins	S1-6,TEST0	0	-	not installed. If needed, please install them.	-	-	1.2φ
20	pins	OV1-2,U,OV1-2,D,OK,U,OK,D,OD_M,EN,U,EN,D,ENIN	0	-	not installed. Using for LSI stacking.	-	-	1.2φ
21	jumper	JC1-6,JD1-6,JSET0-2,JOVSEL,JTEST0, JENIN,JOK,JOVLO1-2,JVCC	22	-	connected.	-	-	-
22	jumper	J1-6,J8-10	0	-	not connected.	-	-	-

基板レイアウト

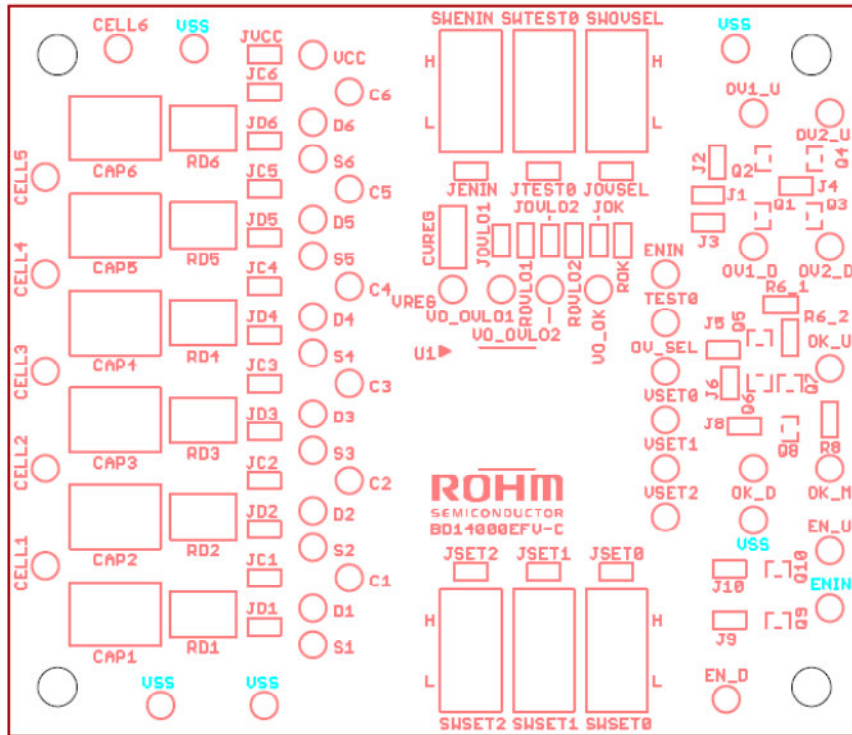


Figure 3. Top 層シルクスクリーン (Top view)

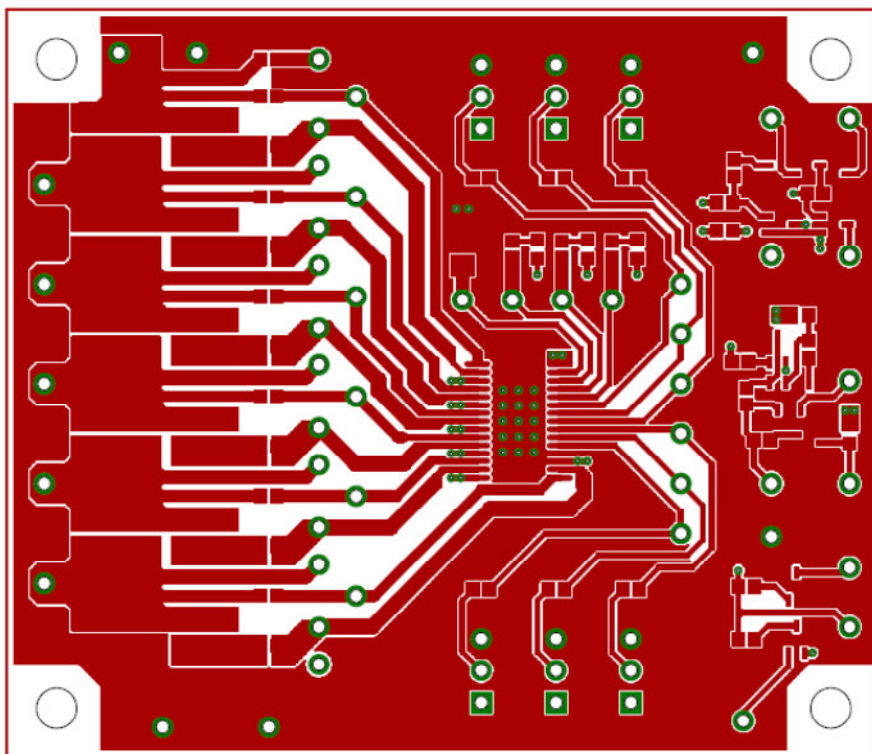


Figure 4. Top 層レイアウト (Top view)



Figure 5. bottom 層シルクスクリーン (Top view)

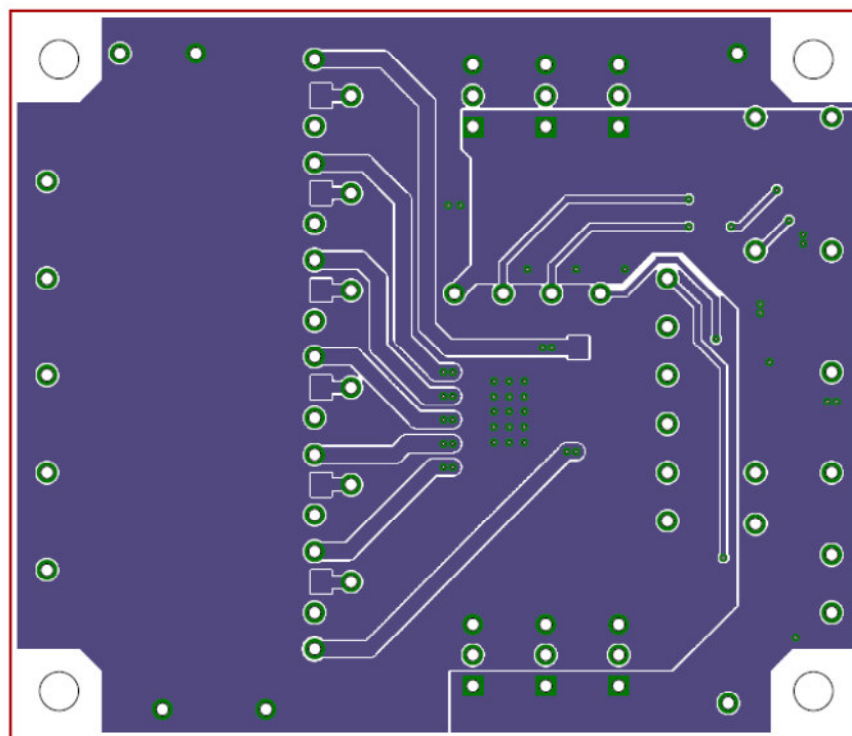


Figure 6. bottom 層レイアウト (Top view)

LSI のスタックについて

蓄電素子を 8 素子以上接続する場合は、本 LSI をスタック(縦積み)することで対応可能です。構成例を下記致します。  
 イネーブル制御 (ENIN 端子制御)、及び各種フラグ出力 (VO\_OVLO1, VO\_OVLO2, VO\_OK 端子出力)も下記アプリケーション例にて構成可能です。

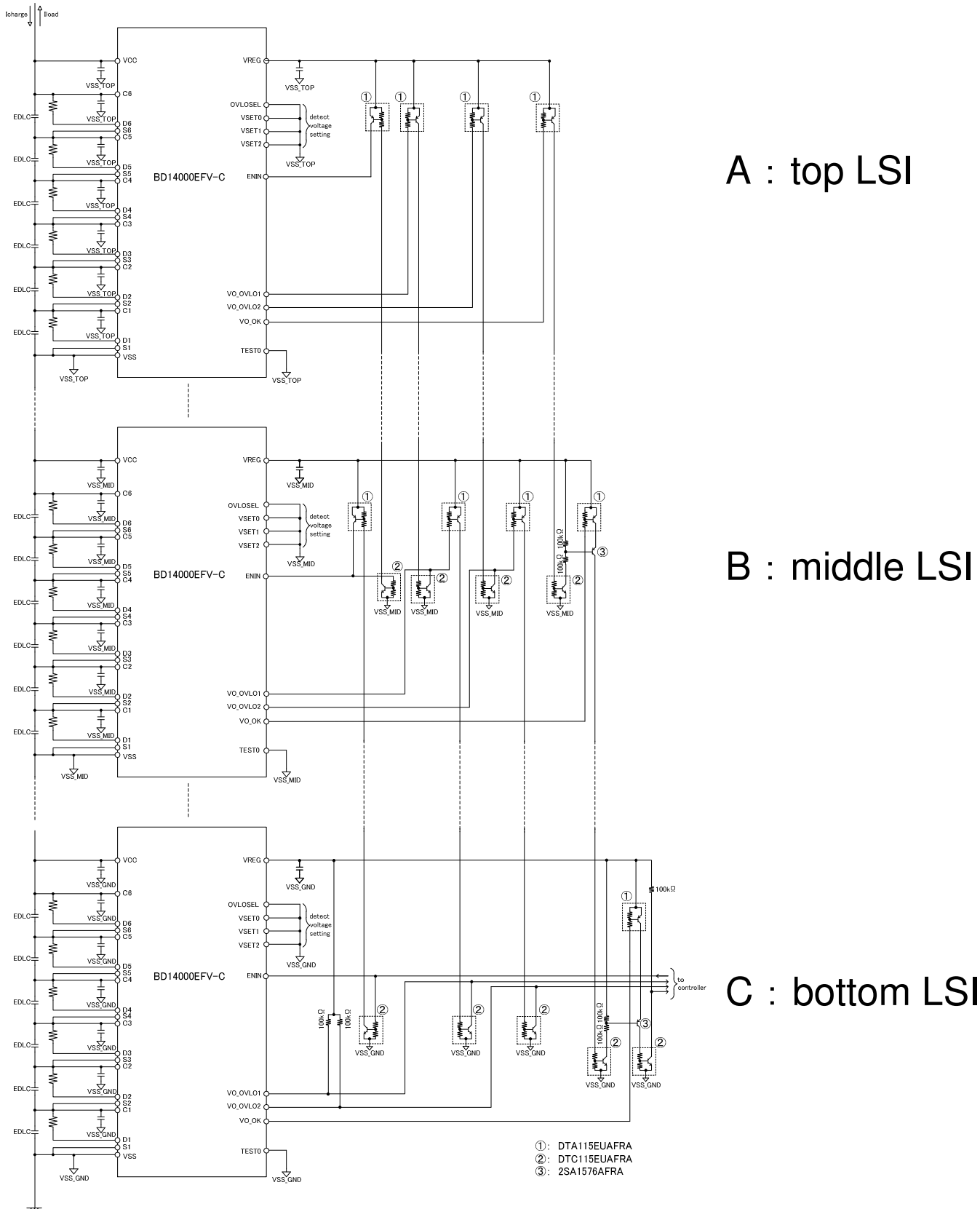


Figure 7. LSI スタック時アプリケーション回路例

Top、middle、bottom それぞれにおける基板回路図を下記致します。  
LSI スタック用の部品は未実装ですので、用途に応じて部品実装して下さい。

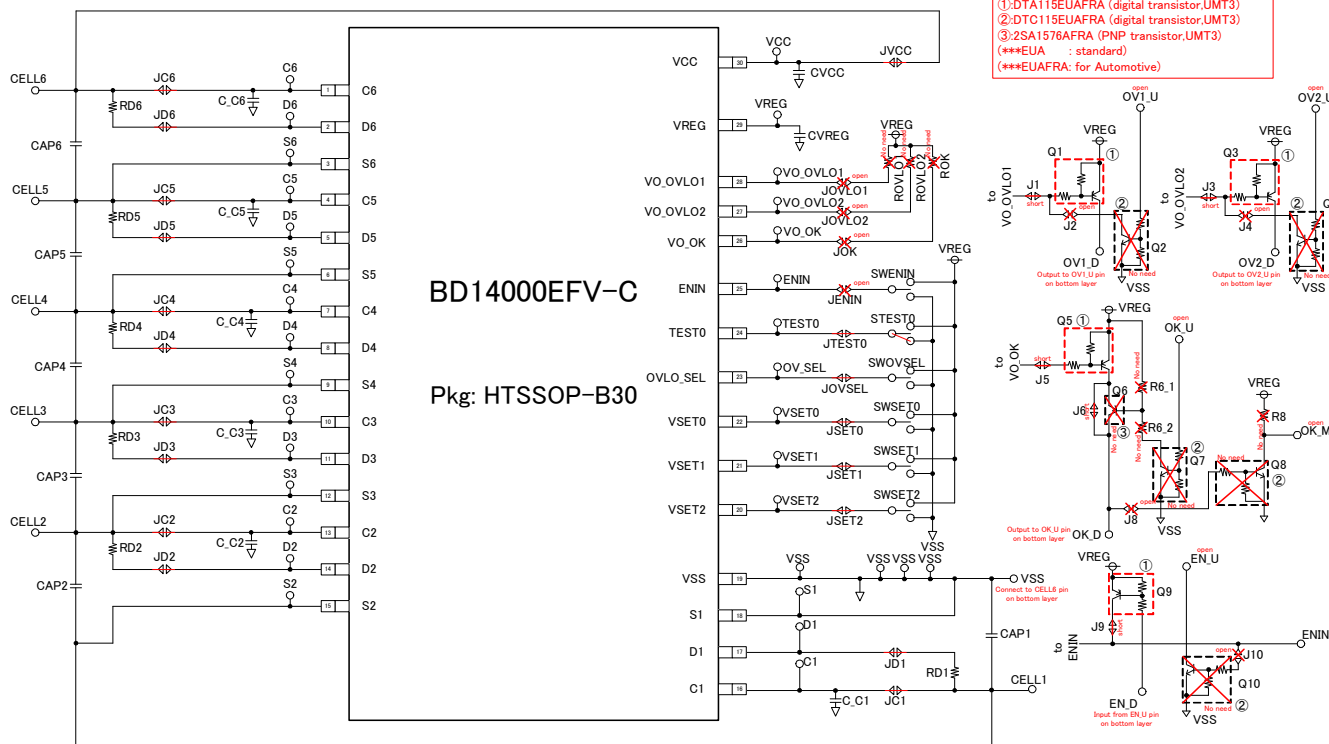


Figure 8. top LSI 基板回路図

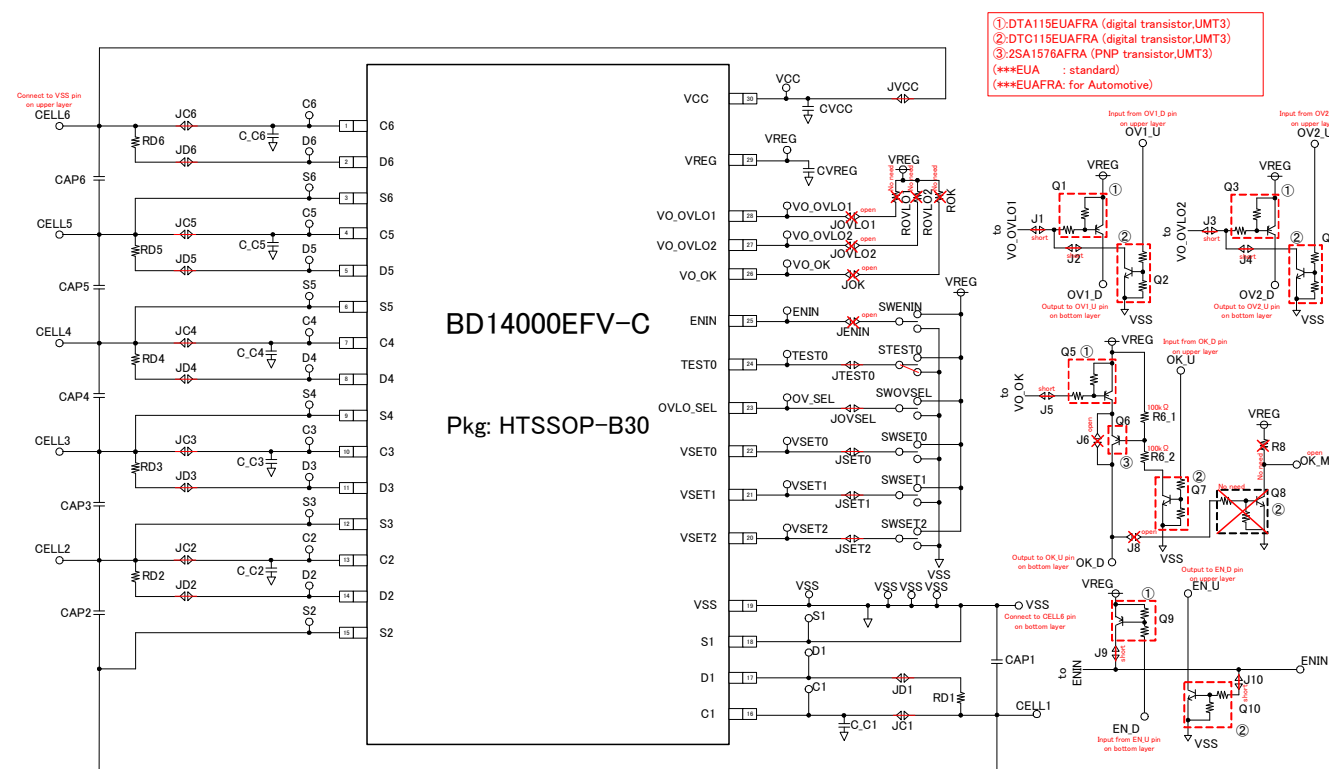


Figure 9. middle LSI 基板回路図

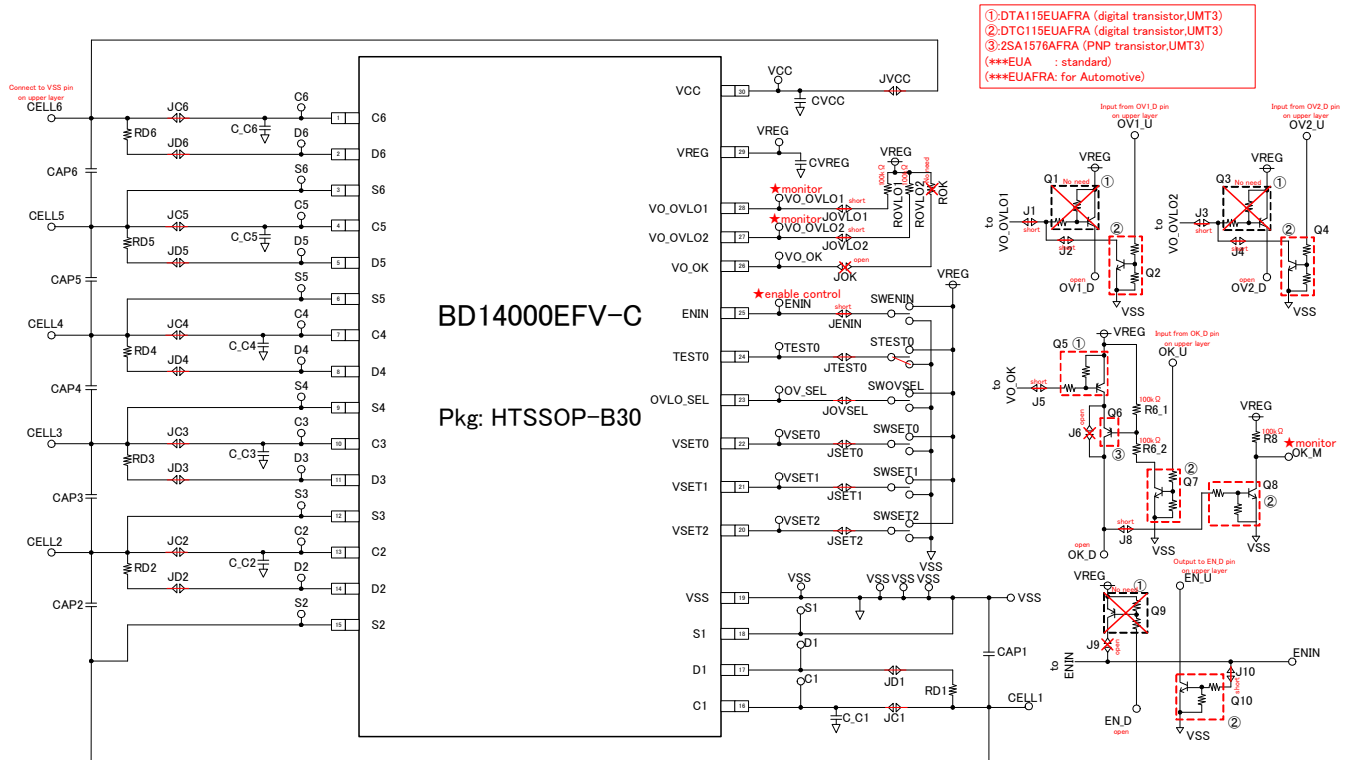
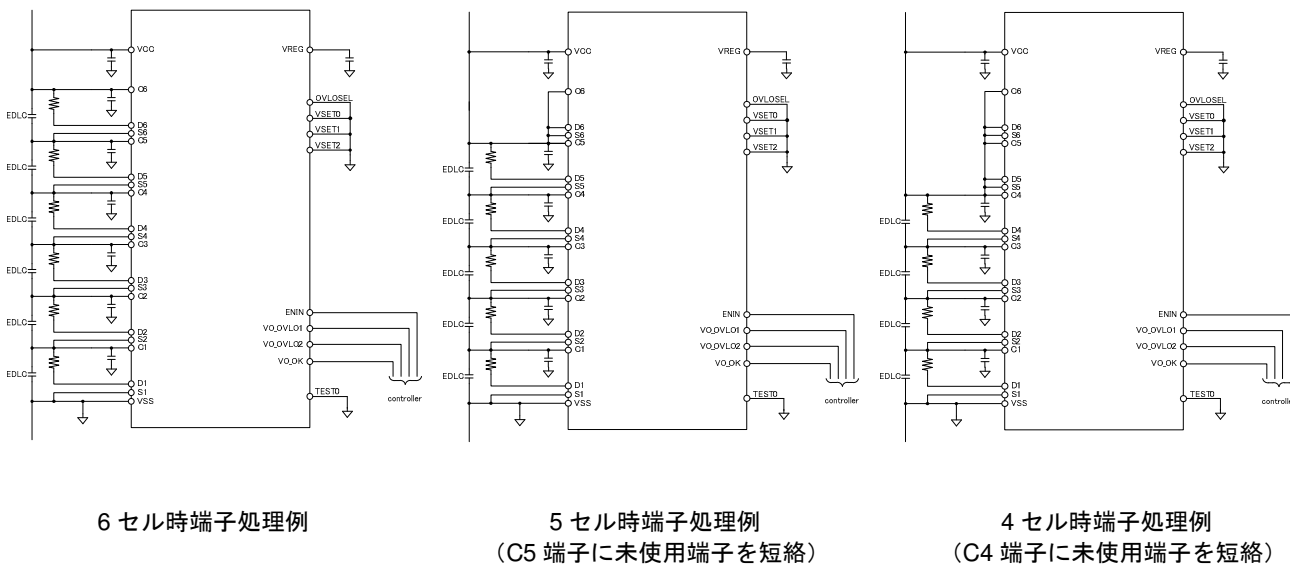


Figure 10. bottom LSI 基板回路図

4~6セル時回路構成について

蓄電素子接続端子における未使用時端子処理方法です。

蓄電素子を4セル及び5セルにて使用する際、未使用となる端子は使用するセルの最高電位となる Cn 端子と接続して下さい。本 LSI は4セル~6セル蓄電素子に対応しており、3セル以下は対応しておりません。



6セル時端子処理例

5セル時端子処理例  
(C5 端子に未使用端子を短絡)

4セル時端子処理例  
(C4 端子に未使用端子を短絡)

Figure 11. 4~6セル時アプリケーション回路例