

## オペアンプ・コンパレータ アプリケーションノート

# オペアンプ、コンパレータの基礎 (Tutorial)

本アプリケーションノートは、オペアンプ、コンパレータを用いて応用回路を構成する際に必要となる一般的な用語や基礎的な技術について解説しています。オペアンプ、コンパレータをご使用になる際の一助として下さい。

## 目次

1	オペアンプ・コンパレータとは？	2
1.1	オペアンプとは？	2
1.2	コンパレータとは？	3
1.3	オペアンプ・コンパレータの内部回路構成	4
2	絶対最大定格	5
2.1	電源電圧・動作電源電圧範囲	5
2.2	差動入力電圧	6
2.3	同相入力電圧	7
2.4	入力電流	8
2.5	動作温度範囲	8
2.6	最大接合部温度、保存温度範囲	8
2.7	許容損失(全損失)	9
3	電気的特性	10
3.1	回路電流	10
3.2	入力オフセット電圧	12
3.3	入力バイアス電流・入力オフセット電流	16
3.4	同相入力電圧範囲	18
3.5	最大出力電圧(High/Low レベル出力電圧)	20
3.6	大信号電圧利得 (開放利得/オープンループゲイン)	22
3.7	同相信号除去比 CMRR(Common Mode Rejection Ratio)	23
3.8	電源電圧除去比 PSRR (Power Supply Rejection Ratio)	27
3.9	スルーレート SR (Slew Rate)	30
3.10	オペアンプの周波数特性について	31
3.11	位相遅れと発振について	33
3.12	オペアンプの位相遅れの原因	35
3.13	安定性の確認方法(増幅回路)	36
3.14	安定性の確認方法(全帰還回路/ボルテージフォロウ)	37
3.15	安定性の確認方法(まとめ)	38
3.16	負荷容量による発振の対策方法(出力分離抵抗 1)	38
3.17	負荷容量による発振の対策方法(出力分離抵抗 2)	39
3.18	全高調波歪率+雑音 THD+N (Total Harmonic Distortion + Noise)	40
3.19	入力換算雑音	44
3.20	応答時間 (立ち上がり/立ち下がり時間、伝搬遅延時間)	48
4	信頼性項目	50
4.1	静電破壊耐圧(ESD 耐圧)	50
4.2	ラッチアップ試験	51

# 1 オペアンプ・コンパレータとは？

## 1.1 オペアンプとは？

オペアンプ(Operational Amplifier：演算増幅器)は高入力抵抗、低出力抵抗、高開放利得(オープンループゲイン)を持ち+入力端子(非反転入力端子)と、-入力端子(反転入力端子)間の差電圧を増幅する機能を持つ差動増幅器です。

オペアンプは 1 回路あたり正側電源端子、負側電源端子、+入力端子、-入力端子、出力端子の 5 端子で構成されます(一般的に端子の呼び名は電源、入力、出力という分類以外は統一されていません)。

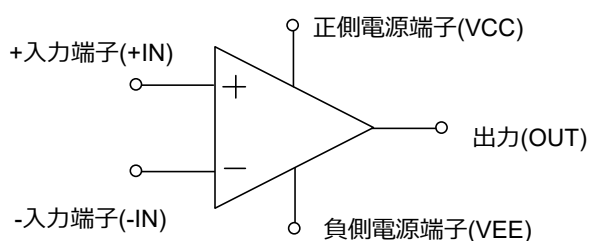


Figure 1.1.1. オペアンプ・コンパレータの図記号

Table 1.1.1. オペアンプの電源端子名の例

	バイポーラタイプ	CMOS タイプ
正側電源端子	VCC	VDD
負側電源端子	VEE	VSS

オペアンプに求められる機能として高入力抵抗(インピーダンス)、低出力抵抗があります。

Figure 1.1.2 電圧制御電圧源増幅器のモデル(オペアンプ)において、 $V_s$ は入力信号源、 $R_s$ は信号源出力抵抗、 $R_i$ はオペアンプの入力抵抗、 $R_o$ はオペアンプの出力抵抗、 $R_L$ は負荷抵抗、 $A_v$ はオペアンプの増幅率とすると、入力電圧と出力電圧の関係は式(1.1.1)で表されます。

$$V_o = \frac{R_i}{R_i + R_s} V_s \times A_v \frac{R_L}{R_o + R_L} \quad (1.1.1)$$

Figure 1.1.2 及び式(1.1.1)より、信号電圧  $V_s$  は信号源抵抗  $R_s$  とオペアンプの入力抵抗  $R_i$  により抵抗分割により分圧されるため減衰した信号がオペアンプに入力されます。しかし、 $R_s$  よりも  $R_i$  が十分に大きい( $R_i = \infty$ )とした時、式(1.1.1)の第 1 項は 1 に近似することができ、 $V_s = V_i$  とみなすことができます。次に第 2 項について、Figure 1.1.2 において増幅された入力電圧  $A_v V_i$  はオペアンプの出力抵抗  $R_o$  と負荷抵抗  $R_L$  により分圧され出力されます。

この時、 $R_L$  よりも  $R_o$  が十分に小さい( $R_o = 0$ )とすると、第 2 項は 1 に近似することができ信号が減衰せずに出力できます。このようなオペアンプは理想オペアンプと呼ばれます。通常オペアンプは高入力抵抗、低出力抵抗が望まれ、理想オペアンプに近くなるよう設計を施された回路構成になっています。

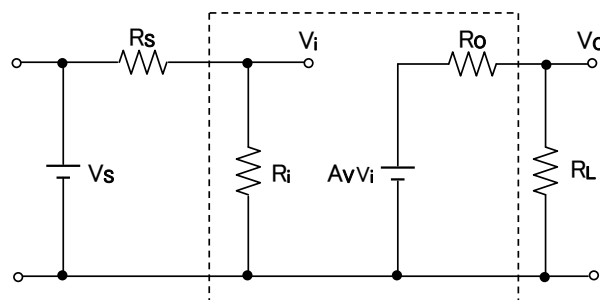


Figure 1.1.2. 電圧制御電圧源増幅器のモデル

Table 1.1.2. オペアンプに求められる理想の入力抵抗と出力抵抗

	入力抵抗	出力抵抗
理想オペアンプ (電圧制御電圧源)	$\infty$	0

オペアンプは+入力端子と-入力端子間の微小な差電圧を増幅し出力します。そのためオペアンプは高い増幅率を持つことを望まれ、その理由を Figure 1.1.3.のボルテージフォロア回路を用いて解説します。ボルテージフォロア回路とは入力電圧と出力電圧が等しくなる回路であり、主に電圧バッファとして使用されます。先に述べた高入力抵抗、低出力抵抗の特性を生かした回路となります。

Figure 1.1.3.においては入力電圧  $V_S$  と  $V_{OUT}$  は等しくなります。

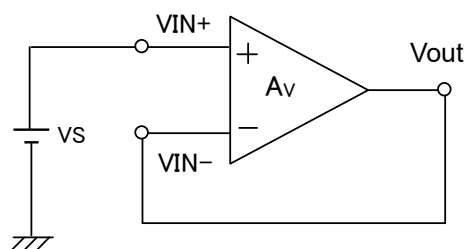


Figure 1.1.3. ボルテージフォロア回路

オペアンプは端子間の差電圧をオペアンプの増幅率で増幅するので出力電圧は式(1.1.2)のように表されます。

$$V_{OUT} = A_V \times (V_{IN+} - V_{IN-}) = A_V \times (V_S - V_{OUT}) \quad (1.1.2)$$

式(1.1.2)を式(1.1.3)へ変形します。

$$\frac{V_{OUT}}{A_V} = V_S - V_{OUT} \quad (1.1.3)$$

式(1.1.3)において、オペアンプの開放利得  $A_V$  が十分に大きいとすると左辺は0と近似することができ、 $V_S = V_{OUT}$  となります。利得が低い場合、式(1.1.3)の左辺は0に近似することができず、出力電圧に誤差が生じることになります。

オペアンプに対して高い開放利得が望まれるのは、この利得により出力電圧誤差を出来るだけ小さくするためです。

開放利得が大きいということに対して別の見方をしますと、+入力端子と-入力端子の電位差をできるだけ小さくすることを意味します。つまり開放利得が大きいほど、 $V_{IN+} = V_{IN-}$  の関係が成立します。この+入力端子と-入力端子の電位がほぼ等しくなる関係をバーチャル・ショート、イマジナリ・ショートあるいは仮想接地と言います。負帰還回路を構成して使用する場合はこの関係が成立しており、仮想接地特性を利用して応用回路を設計します。

## 1.2 コンパレータとは？

コンパレータ(Voltage Comparator : 比較器)の端子構造はオペアンプと同様で+入力端子、-入力端子、正側電源端子、負側電源端子、出力端子の5端子で構成されます。使用方法としては、どちらか一方の入力端子を基準端子とし電圧を固定し、もう一方の端子に入力される電圧の差を増幅し、High または Low を出力します。

+入力端子の電位 > -入力端子の電位

→High レベルを出力

-入力端子の電位 > +入力端子の電位

→Low レベルを出力

オペアンプとコンパレータの大きな違いは位相補償容量の有無です。オペアンプは負帰還回路を構成して使用するためにICの内部に発振防止用の位相補償容量が必要となります。一方、コンパレータは負帰還回路を構成することがないため位相補償容量は内蔵されていません。位相補償容量は入力-出力間の応答時間を制限するため、位相補償容量の無いコンパレータは、オペアンプと比べ応答性が良くなります。

よってオペアンプをコンパレータとして用いると位相補償容量に応答性が制限されコンパレータよりも応答性が非常に悪くなります。

オペアンプをコンパレータとして使用する際は注意が必要です。

### 1.3 オペアンプ・コンパレータの内部回路構成

Figure 1.3.1 にオペアンプの内部回路構成を示します。オペアンプは一般的に入力段、利得段、出力段の3段回路構成となっています。入力段は差動増幅段で構成されており、2つの端子間の差電圧を増幅します。また、同相信号成分(端子間に電位差が無い、等しい電圧が入力されている状態)は増幅せずに打ち消す働きをします。

この差動増幅回路のみでは利得が不十分であるため、利得段によりさらにオペアンプの開放利得を増加させます。

一般的なオペアンプでは利得段の間に発振防止用の位相補償容量が接続されています。

出力段は出力端子に接続される抵抗などの負荷の影響により、オペアンプの特性が変化しないようにバッファとして接続されています。負荷による出力の特性変化(歪、電圧降下など)は、主に出力段の回路構成と電流能力に依存します。

出力段の種類としては一般的に、A級出力段及び、B級、C級、

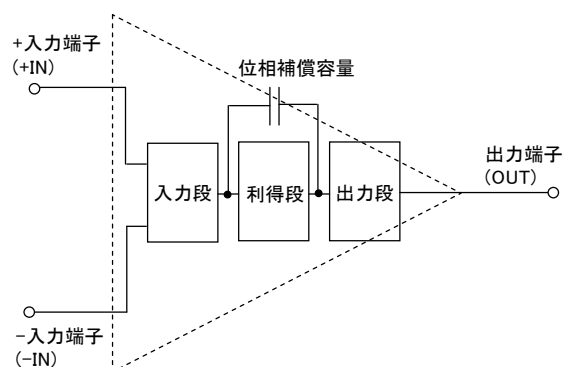
AB級プッシュプル出力段があり、出力回路に流れるドライブ電流の量(バイアス電圧の違い)により分類されています。ドライブ電流量の違いにより出力段で発生する歪率が変わります。一般的に歪率が小さい順に並べるとA級、AB級、B級、C級となります。

Figure 1.3.2 にコンパレータの内部回路構成を示します。回路構成はオペアンプとほぼ同じですが負帰還を構成して使用することは想定していないため、発振防止用の位相補償容量は内蔵されていません。位相補償容量は入出力間の動作速度を制限するため、応答時間はオペアンプに比較して格段に速くなります。

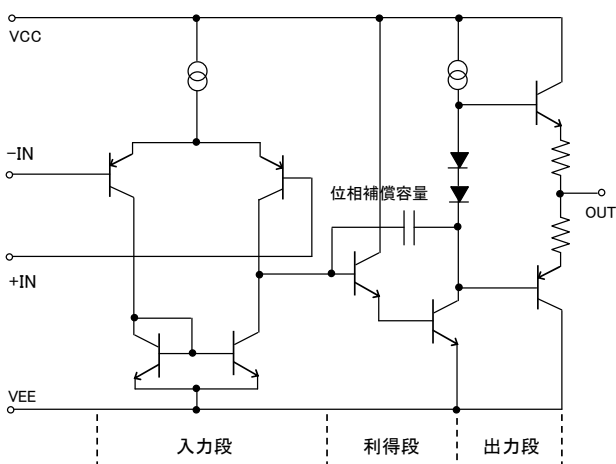
コンパレータの出力回路形式は主にオープンコレクタ(オープンドレイン)タイプ、プッシュプルタイプに分けられます。

Figure 1.3.2(b)はBA2903の内部等価回路を示しています。

BA2903はオープンコレクタタイプの出力回路になっています。

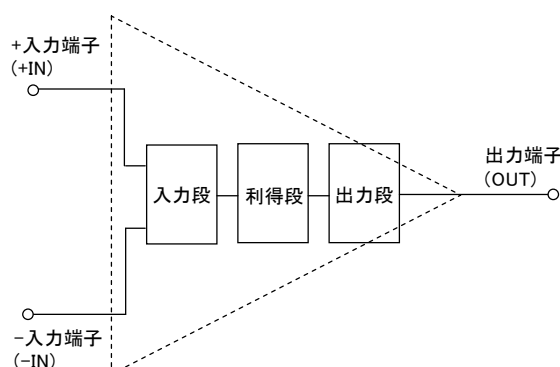


(a) 一般的なオペアンプの内部回路構成

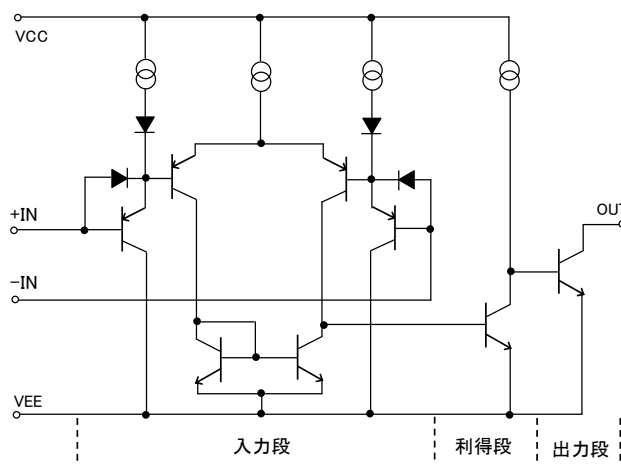


(b) BA4558 内部等価回路

Figure 1.3.1. オペアンプの内部回路構成



(a) 一般的なコンパレータの内部回路構成



(b) BA2903 内部等価回路

Figure 1.3.2. コンパレータの内部回路構成

## 2 絶対最大定格

オペアンプ・コンパレータのデータシートには絶対最大定格が規定されています。

絶対最大定格とは、瞬時であっても超えてはならない条件を示すものです。絶対最大定格を超えた電圧の印加や絶対最大定格で規定された温度環境外での使用は、IC の特性劣化や破壊を生じる原因となります。以下の絶対最大定格項目について説明します。

- 2.1. 電源電圧・動作電源電圧範囲
- 2.2. 差動入力電圧
- 2.3. 同相入力電圧
- 2.4. 入力電流
- 2.5. 動作温度範囲
- 2.6. 最大接合部温度、保存温度範囲
- 2.7. 許容損失(全損失)

### 2.1 電源電圧・動作電源電圧範囲

絶対最大定格の電源電圧とはオペアンプの正側電源端子(VCC 端子)と負側電源端子(VEE 端子)との間に内部回路の特性劣化や破壊なしに印加できる最大電源電圧のことを言います。

Figure 2.1.1 に絶対最大定格電源電圧が 36V のオペアンプ・コンパレータに印加可能な電源電圧の例を示します。

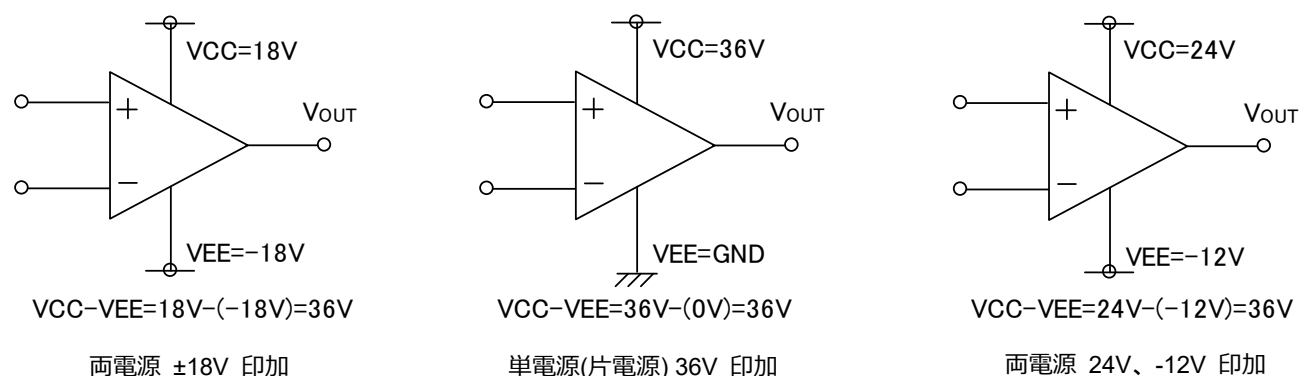


Figure 2.1.1. 絶対最大定格電源電圧 36V の IC に印加できる電源電圧例

注) 両電源とは正、負二つの電圧電源を用いてオペアンプに電源電圧を印加することを言います。

単電源(片電源)とは GND を基準としてオペアンプに電源電圧を印加することを言います。

絶対最大定格電源電圧は VCC 端子と VEE 端子間の電圧差を示しており、(VCC-VEE)の値が絶対最大定格電源電圧値を超えないように使用する必要があります。したがって、VCC 端子に 24V、VEE 端子に -12V を印加する場合、端子間の電圧差は 36V であるため特性劣化や破壊は生じません。

注意しなければならないことは、絶対最大定格の電源電圧と動作電源電圧は異なる意味を持つということです。

絶対最大定格の電源電圧は IC の特性劣化や破壊が起こらない範囲での印加可能な最大電源電圧値を示すものであり、データシートに記載された仕様・特性を維持できる電圧範囲ではありません。仕様で保証された特性を引き出すためには、動作電源電圧範囲内の電圧値で使用する必要があります。ただし、製品によって絶対最大定格の電源電圧と動作電源電圧の最大値が同じ場合もあります。

オペアンプは両電源、単電源(片電源)オペアンプと呼ばれることもあります。これは両電源で使いやすい単電源で使いやすいということもできます。

両電源オペアンプは正電源(VCC)側と負電源(VEE)側の回路構成により、入力もしくは出力電圧を出力できない範囲を持っています。そのため、両電源オペアンプは GND を中点として正電源、負電源を印加して使用されることが多くなります。

一方、単電源オペアンプは、GND を基準として正電源を印加して使用され、ほぼ GND レベルまでの入力・出力が可能となります。

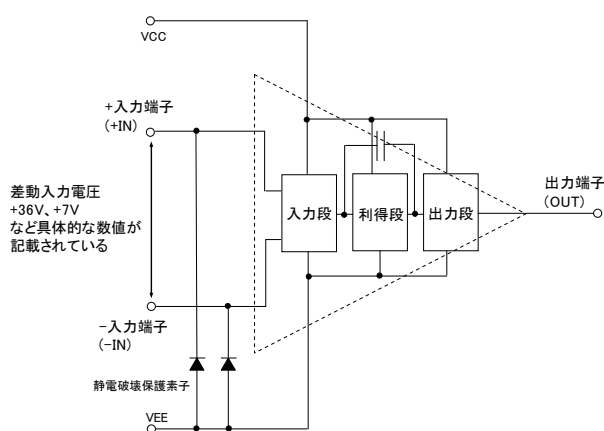
## 2.2 差動入力電圧

差動入力電圧とは+入力端子(非反転入力端子)と-入力端子(反転入力端子)の間に IC の特性劣化や破壊なしに印加できる最大電圧値を示します。この電圧は+入力端子を基準としても、-入力端子を基準としても良く、二つの端子間の電圧差のことを指します。極性はそれほど重要ではありません。

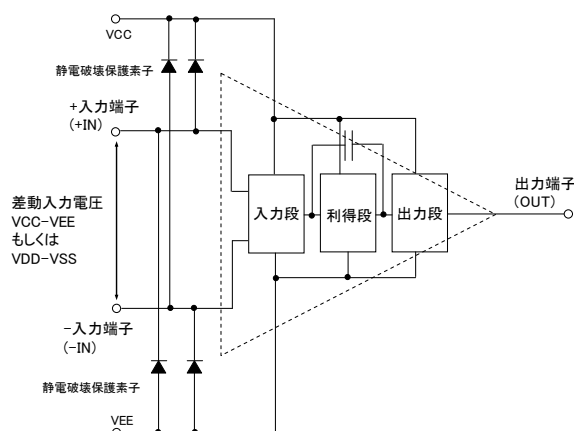
ただし、各入力端子の電位は VEE 端子の電位以上であることが前提となります。理由は IC には静電保護素子が内蔵されており、入力端子の電位が VEE よりも低くなると静電保護素子を通じて端子から電流が流れ出し、劣化や破壊につながる可能性があるからです。

保護素子の形式としては、Figure 2.2.1(a)入力端子と VEE(GND)間に接続されている場合と、Figure 2.2.1(b)入力端子と VCC、

VEE(GND)間の両方に接続された場合の 2 通りが存在します。前者は VCC 側には電流が流れる経路が存在しないため VCC の値に関わらず入力端子に接続されるトランジスタ(NPN トランジスタ、PNP トランジスタ等)の耐圧などによって差動電圧が決まります。後者は、VCC 側にも保護素子が存在し、入力端子は VCC 以下の電位とする必要があるため、VCC-VEE もしくは、VDD-VEE のように差動入力電圧が決定されます。オペアンプの中には、NPN 差動入力段を用いており、これらのトランジスタのベース-エミッタ間の保護のため、入力端子間にクランプ用のダイオードが接続されている場合があり、数ボルト程度の差動入力電圧に規定されている製品も存在します(Figure 2.2.2)。

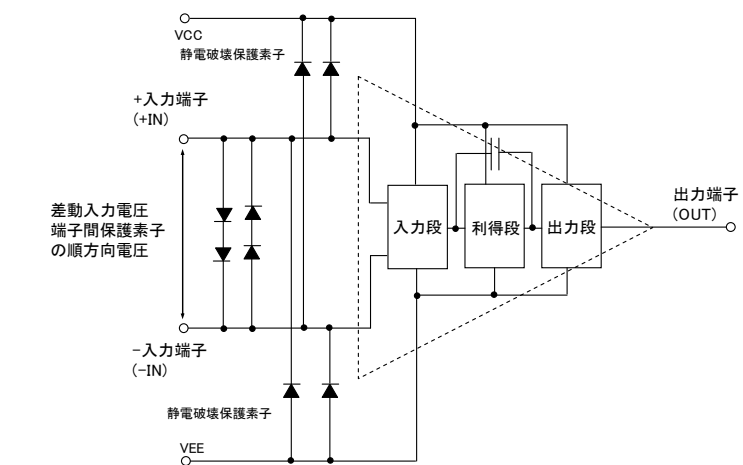


(a) VEE(GND)側のみに静電保護素子がある場合  
(入力端子は VEE の電位以上)



(b) VCC、VEE(GND)両方に静電保護素子がある場合  
(入力端子は VEE の電位以上、VCC の電位以下)

Figure 2.2.1. 差動入力電圧



+入力端子と-入力端子間に過電圧保護用のダイオードが接続されている場合

Figure 2.2.2. 差動入力電圧(端子間保護がある場合)

## 2.3 同相入力電圧

絶対最大定格の同相入力電圧とは+入力端子と-入力端子を同電位に設定した状態で IC の特性劣化や破壊なしに印加可能な最大電圧を示します。絶対最大定格の同相入力電圧は電気的特性項目の同相入力電圧範囲とは異なり、IC の正常な動作を保証するものではありません。

IC の正常な動作を期待する場合は電気的特性項目の同相入力電圧範囲に従う必要があります。一般的に絶対最大定格の同相入力電圧は  $V_{EE}-0.3V$ 、 $V_{CC}+0.3V$  ですが、2.2 差動入力電圧の項に記載したとおり、 $V_{CC}$  側に保護素子が存在しない製品の中には電源

電圧によらず絶対最大定格の電源電圧( $V_{EE}+36V$  等)まで印加可能な製品もあります。

このように同相入力電圧は入力端子の保護回路構成や寄生素子、入力トランジスタの耐圧などによって決まります。Figure 2.3.1 に絶対最大定格の同相入力電圧を示します。

また、 $V_{EE}-0.3V$  や、 $V_{CC}+0.3V$  の  $0.3V$  は静電保護素子(ダイオード)に順方向電圧を印加した場合に素子が動作しない電圧の範囲を示しています。入力電圧範囲外の電圧が印加される場合の保護方法については次項 2.4 入力電流をご参照下さい。

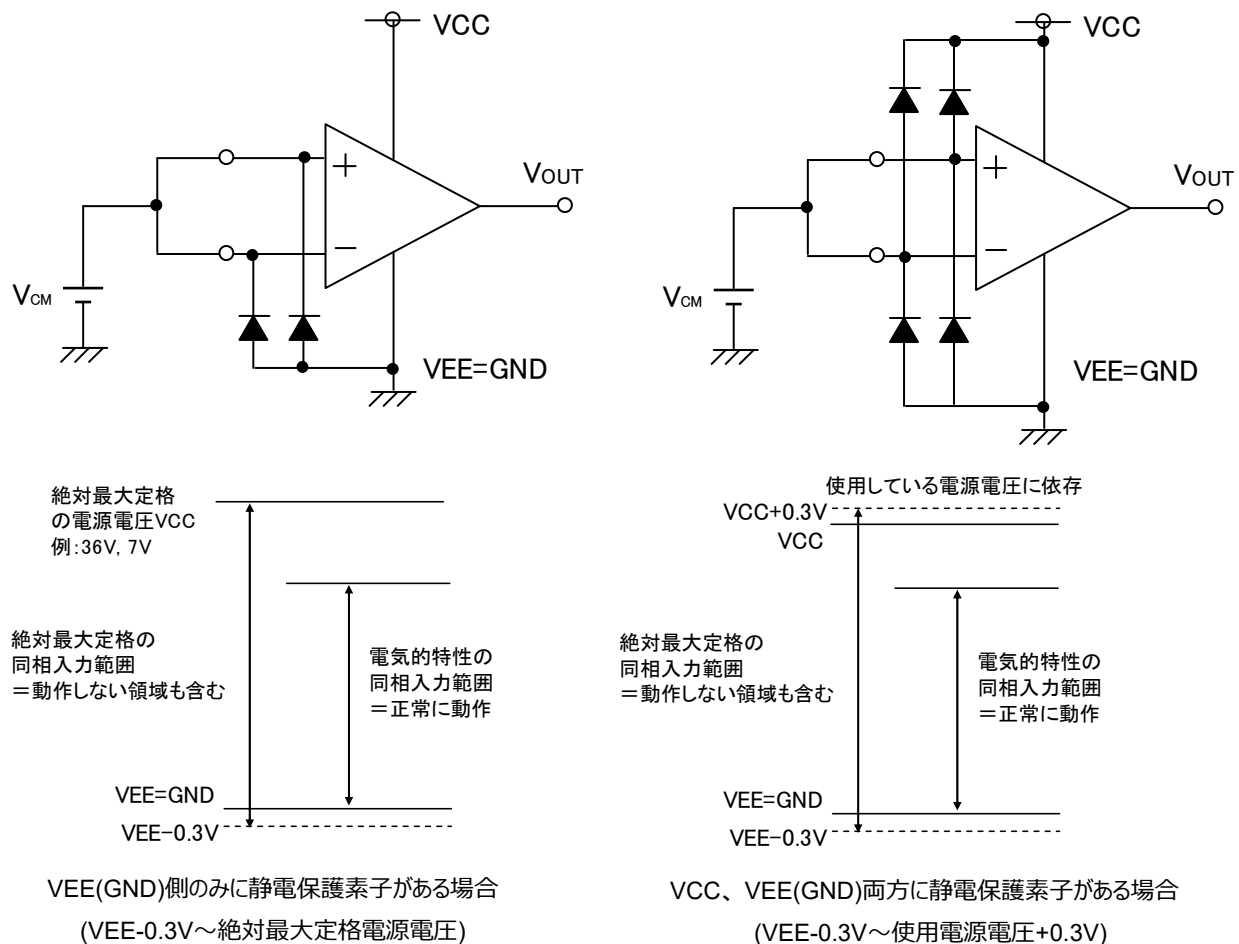


Figure 2.3.1. 絶対最大定格の同相入力電圧



## 2.4 入力電流

2.2 差動入力電圧、及び 2.3 同相入力電圧の項目において、 $V_{EE}-0.3V$  よりも低い電圧もしくは  $V_{CC}+0.3V$  よりも高い電圧を入力した際に入力端子に電流の流れ込みもしくは流れ出しが発生し、特性の劣化や破壊につながると説明しました。

これを防ぐ方法として、入力端子にクランプ用の順方向電圧の小さいダイオードを設ける、もしくは抵抗を挿入して入力端子に流れる電流を制限する方法があります。前者は IC に入力される電圧を制限する方法であり、後者は電流を制限する方法となります。入力電流は 10mA 以下となるように抵抗値を設定して下さい。Figure 2.4.1 の  $V_F$  はダイオードの順方向電圧で約 0.6V 程度として下さい。

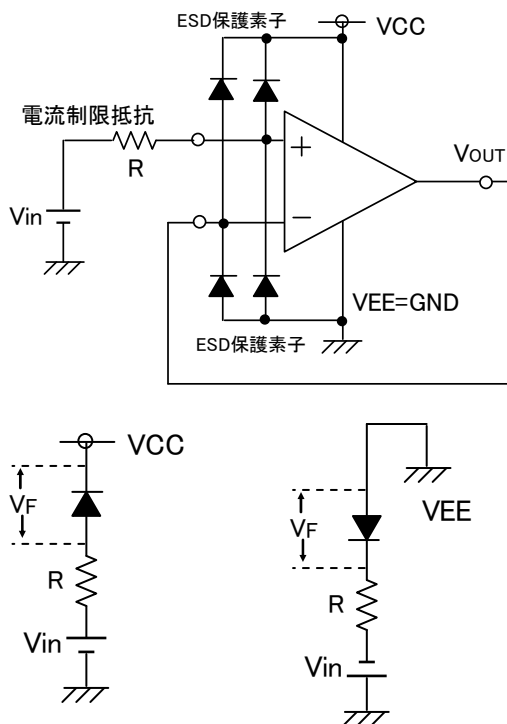


Figure 2.4.1. 入力電流制限抵抗の接続について

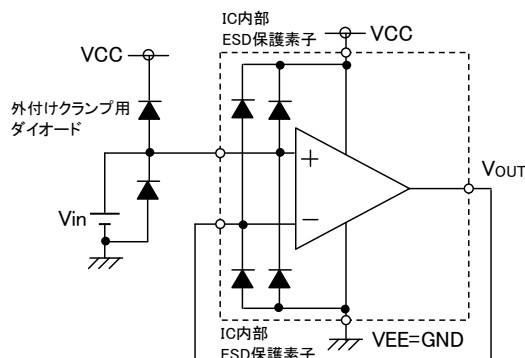


Figure 2.4.2. 入力保護ダイオードの接続

## 2.5 動作温度範囲

動作温度範囲とは、IC が期待された機能を保持し、正常に動作する範囲を言います。IC は温度によりその特性が変動します。そのため、特に指定の無い限り 25℃で規定された規格値がそのまま保証されるものではありません。

温度範囲を保証された項目として、全温度範囲保証項目があります。これは仕様書に規定された動作温度範囲内での IC の特性変動を考慮した規格値となります。データシートには仕様項目の温度特性データが掲載されています。ご使用の際に参考として下さい。

## 2.6 最大接合部温度、保存温度範囲

最大接合部温度(最大ジャンクション温度)とは、半導体が動作する最大の温度を示します。また、ジャンクションとはチップとパッケージの接合部のことを指します。チップ温度がデータシートに規定された最大ジャンクション温度よりも高くなると半導体の結晶において電子正孔対が多数生成されるようになり素子として正常に動作しなくなります。そのため、IC の消費する電力による発熱や、周囲温度を考慮した使用、熱設計が必要となります。最大接合部温度は、製造プロセスにより決定されます。

保存温度範囲は IC が動作していない状態、つまり消費電力の無い状態における保存環境の最大温度を示します。通常は最大接合部温度と同値としています。



## 2.7 許容損失(全損失)

データシートに記載の許容損失(全損失)PD は周囲環境温度  $T_a=25^{\circ}\text{C}$  (常温) で IC が消費できる電力を示しています。IC が電力を消費すると自己発熱し、チップの温度は周囲温度よりも高くなります。チップが許容できる温度は最大接合部温度により決まっているため、消費可能な電力は熱軽減曲線(デレーティングカーブ)により制限されます。

パッケージ内の IC チップが許容できる温度(最大接合部温度)とパッケージの熱抵抗(放熱性)によって  $25^{\circ}\text{C}$  における許容損失が決まります。また接合温度の最大値は製造プロセスにより決定されます。

IC の電力消費により発生した熱はパッケージのモールド樹脂やリードフレームなどを通じて放熱されます。

この放熱性(熱の逃げにくさ)を示すパラメータは熱抵抗と呼ばれ、記号では  $\theta_j\text{-a}[^{\circ}\text{C/W}]$  で表されます。

この熱抵抗からパッケージ内部のジャンクション温度  $T_j$  を推定することができます。

Figure 2.5.1 にパッケージの熱抵抗のモデルを示します。 $\theta_j\text{-a}$  はチップーケース(パッケージ)間の熱抵抗  $\theta_j\text{-c}$  とケース(パッケージ)ー周囲環境間の熱抵抗  $\theta_c\text{-a}$  の和として表されます。熱抵抗  $\theta_j\text{-a}[^{\circ}\text{C/W}]$ 、周囲環境温度  $T_a[^{\circ}\text{C}]$ 、消費電力  $P[\text{W}]$  がわかれば、ジャンクション温度は次式で求められます。

$$T_j = T_a + \theta_j\text{-a} \times P \quad (2.5.1)$$

ジャンクションー周囲環境間熱抵抗:  $\theta_j\text{-a} = \theta_j\text{-c} + \theta_c\text{-a}[^{\circ}\text{C/W}]$   
 $\theta_j\text{-c}$ : ジャンクションーケース間熱抵抗  $[^{\circ}\text{C/W}]$   
 $\theta_c\text{-a}$ : ケースー周囲環境間熱抵抗  $[^{\circ}\text{C/W}]$   
 $T_a$ : 周囲環境温度  $[^{\circ}\text{C}]$   
 $T_j$ : 接合部温度(ジャンクション温度)  $[^{\circ}\text{C}]$   
 デレーティングカーブの傾きは  $\theta_j\text{-a}$  の逆数

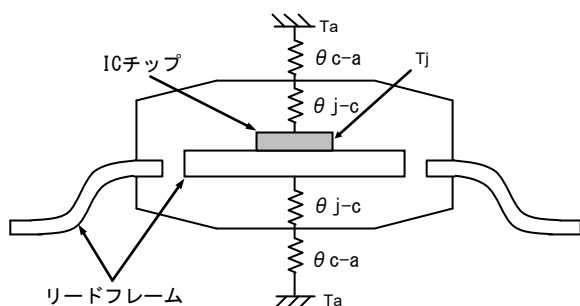


Figure 2.5.1. パッケージの熱抵抗

Figure 2.5.2 に熱軽減曲線(デレーティングカーブ)例を示します。この曲線はある周囲環境温度で IC がどれだけ電力を消費することが可能かを示すグラフであり、IC チップの許容温度を超えることなく消費できる電力を示しています。

例として MSOP8 のジャンクション温度を考えます。この IC の保存温度範囲は  $-55^{\circ}\text{C}$  ~  $150^{\circ}\text{C}$  であるため、チップの最大許容温度は  $150^{\circ}\text{C}$  です。MSOP8 の熱抵抗は  $\theta_j\text{-a} \approx 212.8[^{\circ}\text{C/W}]$  であり、この IC が  $T_a=25^{\circ}\text{C}$  で  $0.58[\text{W}]$  の電力を消費したとするとジャンクション温度は

$$T_j = 25^{\circ}\text{C} + 212.8[^{\circ}\text{C/W}] \times 0.58[\text{W}] \approx 150^{\circ}\text{C} \quad (2.5.2)$$

となり、チップの最大許容温度に到達するためこれ以上の電力を消費すると劣化や破壊の可能性があります。

熱軽減曲線の  $1[^{\circ}\text{C}]$  当たりの軽減値は熱抵抗の逆数で決まります。

ここでは、

SOP8 :  $5.5[\text{mW}/^{\circ}\text{C}]$

SSOP-B8 :  $5.0[\text{mW}/^{\circ}\text{C}]$

MSOP8 :  $4.7[\text{mW}/^{\circ}\text{C}]$

となります。

注) オペアンプの消費電力の計算については次項の回路電流をご参照下さい。

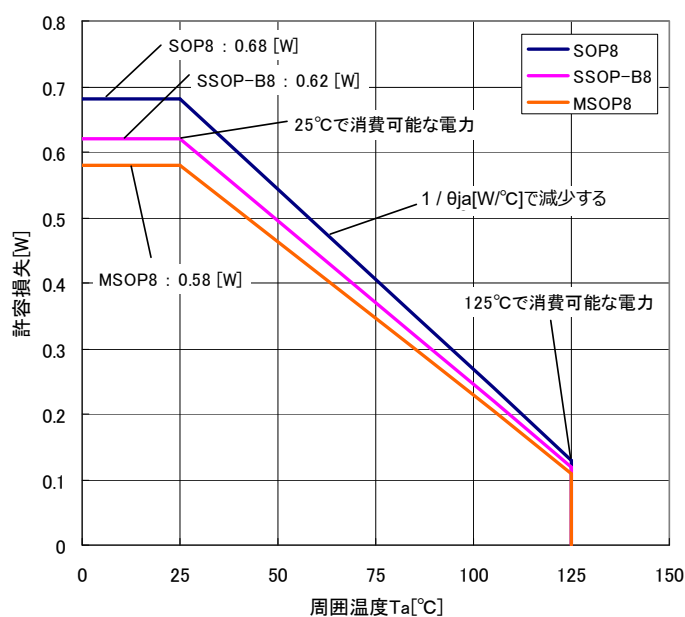


Figure 2.5.2. 熱軽減曲線例

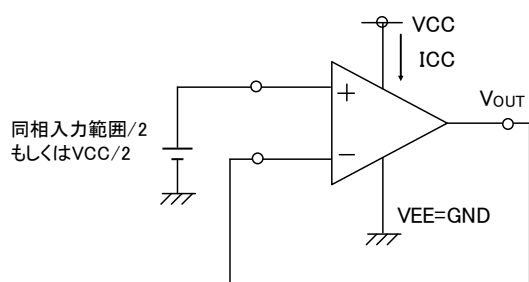
(70mm×70mm×1.6mm 1層 FR4 ガラスエポキシ基板実装時)

### 3 電気的特性

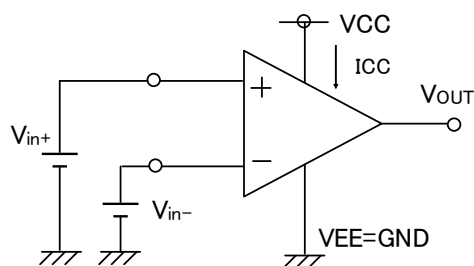
ここではオペアンプ・コンパレータの電気的特性と実使用上の注意点について説明します。

#### 3.1 回路電流

オペアンプ・コンパレータの回路電流は Figure 3.1.1 のように無負荷・定常状態において IC 単体に流れる電流を示します。通常 VCC 端子から VEE 端子に流れる電流をモニターします。回路電流の他に一般的には、無信号時回路電流、静止電流と呼ばれることもあります。製品によって入力範囲、動作電圧範囲が異なるため測定条件は異なります。通常は同相入力電圧範囲の中心、もしくは電源電圧 VCC-VEE の中間となる電圧を印加して測定を行います。また、コンパレータの回路電流は回路構造により出力 High 及び Low の条件で値が異なります。どちらか一方の回路電流が多い条件で規定されます。



(a)オペアンプの回路電流測定回路



(b)コンパレータの回路電流測定回路

Figure 3.1.1. オペアンプ・コンパレータの回路電流

オペアンプの消費電力の計算

オペアンプの消費電力を計算する場合、回路電流だけでなく出力電流を考慮する必要があります。

消費電力の計算について、順を追って説明します。オペアンプの消費電力は回路電流によるものと、出力電流によるものの2種類が存在します。まず初めに回路電流による消費電力の計算を示します。P<sub>AMP</sub> をオペアンプの消費する電力とすると式(3.1.1)は  $P = \text{電流} \times \text{電圧}$  に基づき回路電流×電源電圧となります。

この消費電力はオペアンプに電源電圧が印加されている状態において常に消費され続けます。

$$P_{AMP} = I_{CC} \times (V_{CC} - V_{EE}) \quad (3.1.1)$$

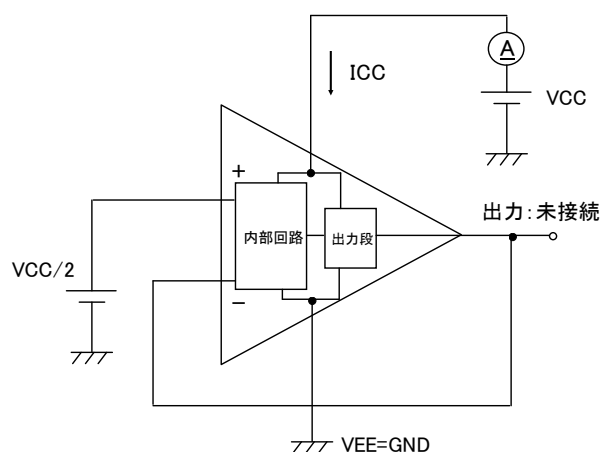


Figure 3.1.2. 回路電流による消費電力

次に、出力電流による消費電力の計算を示します。

Figure 3.1.3(a)において出力シンク電流が流れる場合についての電力計算を行います。

$V_O$  が負荷抵抗  $R_L$  の吊り先である  $V_{CC}/2$  よりも電圧が低い時、出力シンク(吸い込み)電流が流れます。このシンク電流による消費電力を式(3.1.2)に示します。IC 内部へ流れ込む電流と OUT 端子と VEE 端子間の電位差の積により消費電力が求められます。

$$P_{SINK} = I_{SINK} \times (V_O - V_{EE}) \quad (3.1.2)$$

シンク電流時のオペアンプの消費電力の合計は式(3.1.3)で表されます。

$$P = P_{AMP} + P_{SINK} = I_{CC} \times (V_{CC} - V_{EE}) + I_{SINK} \times (V_O - V_{EE}) \quad (3.1.3)$$

次に、Figure 3.1.3(b)において出力ソース電流が流れる場合についての電力計算を行います。

出力電圧  $V_O$  が負荷抵抗  $R_L$  の吊り先である  $V_{CC}/2$  よりも電圧が高い時出力ソース電流(吐出し)が流れます。このソース電流による電力計算を式(3.1.4)に示します。IC 内部から流れ出る電流と  $V_{CC}$  端子と OUT 端子間の電位差の積により消費電力が求められます。

$$P_{SOURCE} = I_{SOURCE} \times (V_{CC} - V_O) \quad (3.1.4)$$

ソース電流時のオペアンプの消費電力の合計は式(3.1.5)で示されます。

$$P = P_{AMP} + P_{SOURCE} = I_{CC} \times (V_{CC} - V_{EE}) + I_{SOURCE} \times (V_{CC} - V_O) \quad (3.1.5)$$

消費電力を見積もる際は、シンク電流、もしくはソース電流のどちらか一方の大きい値で見積りを行います。

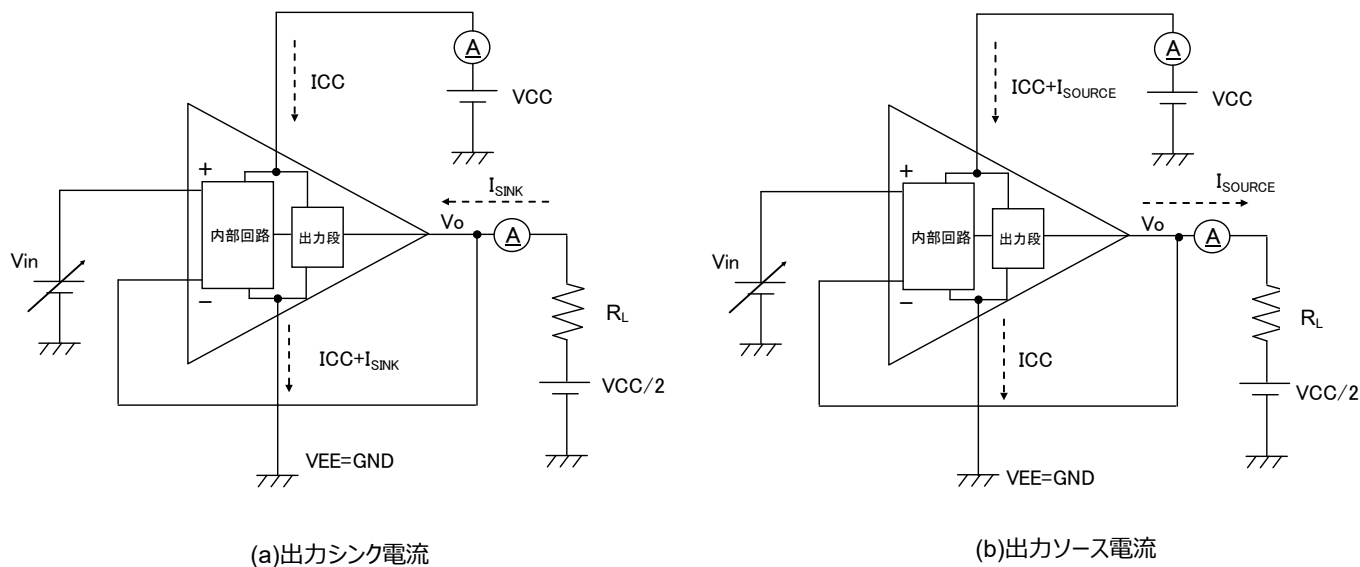


Figure 3.1.3. 出力電流による消費電力

### 3.2 入力オフセット電圧

入力オフセット電圧とは差動入力回路を有する、オペアンプやコンパレータが持つ誤差電圧のことで、理想的なオペアンプやコンパレータでは入力オフセット電圧は 0V となります。オペアンプやコンパレータの入力端子に同相(同じ)電圧を入力した際に理想的なオペアンプでは出力電圧は出力されませんが、入力オフセット電圧が存在する場合、入力オフセット電圧に応じた出力電圧が出力されます。

この出力電圧を 0V にするために必要な入力端子間の電圧差を入力オフセット電圧と言います。この値は入力換算値となります。入力換算として表現する利点は、オペアンプ・コンパレータは様々な増幅率や回路構成で利用されるため、入力換算電圧として表現すれば、出力電

圧への影響を容易に見積ることができます。入力オフセット電圧の単位は通常[mV]もしくは[μV]にて表記され、値は 0 に近いほど理想的な状態となります。同相入力電圧範囲外は入力オフセット電圧が急激に増加し、オペアンプ、コンパレータとして動作しなくなる領域となります。また、入力オフセット電圧の出現頻度を観測すると 0V を中心に正規分布します。つまり、データシートに規定される範囲内で確率的に分布することになります。規格値の表記は絶対値で記載されていますので実際は+極性、-極性両方の入力オフセット電圧を持ちます。次項にて入力オフセット電圧のもたらす具体的な影響について説明します。

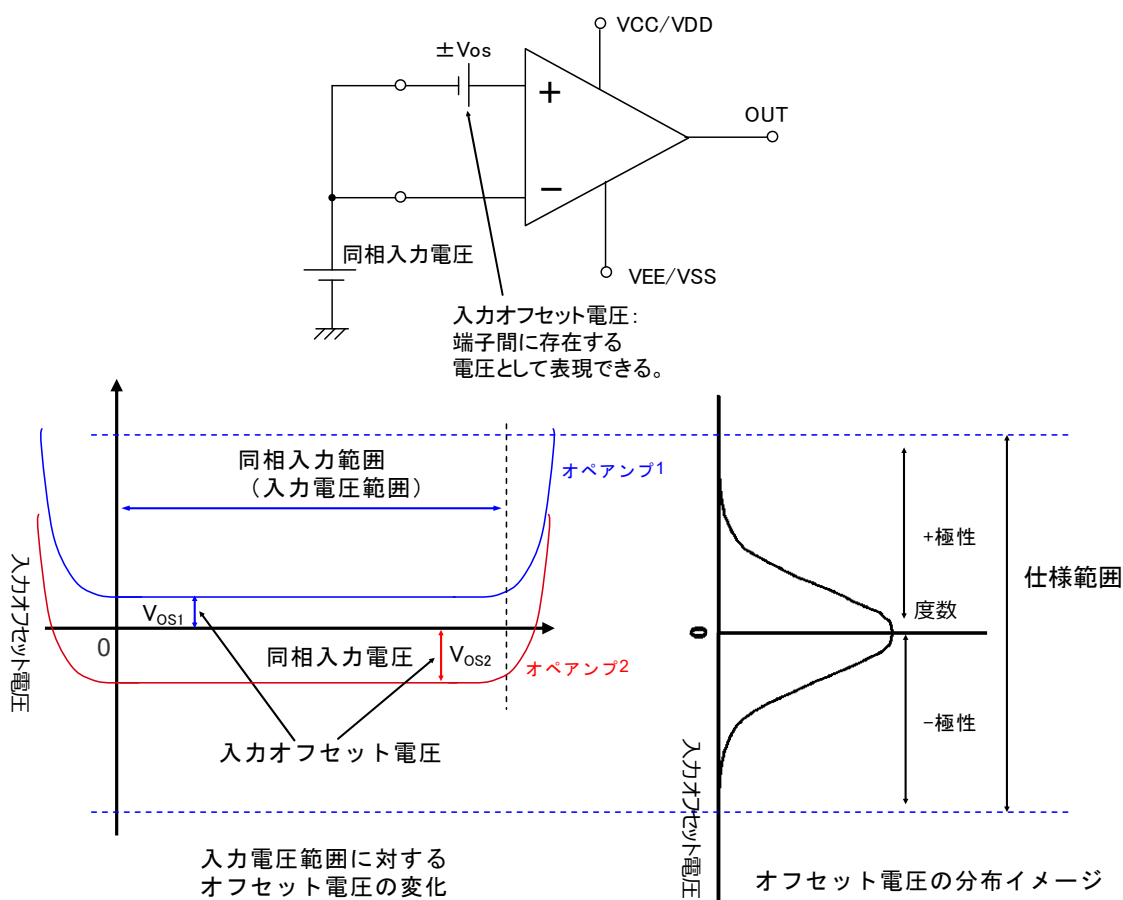


Figure 3.2.1. 入力オフセット電圧のイメージ

## 入力オフセット電圧の影響について

### オペアンプについて

オペアンプを用いて増幅回路を構成した際の入力オフセット電圧の影響について説明します。

Figure 3.2.2(a)非反転増幅回路について入力オフセット電圧の影響を計算すると式(3.2.1)となります。

利得倍された入力オフセット電圧が出力電圧に加算されています。入力オフセット電圧の極性が+の場合、期待した出力電圧よりも値が大きくなり、-極性の場合、出力電圧が期待値よりも小さくなります。

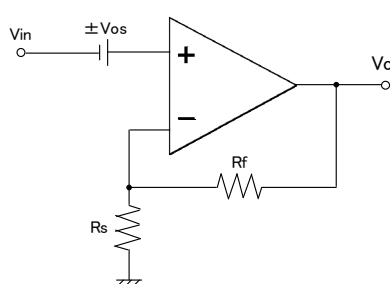
$$V_o = (1 + \frac{R_f}{R_s})V_{in} \pm (1 + \frac{R_f}{R_s})V_{OS} \quad (3.2.1)$$

次に Figure 3.2.2(b)反転増幅回路を構成した場合の入力オフセット電圧の影響を求めます。

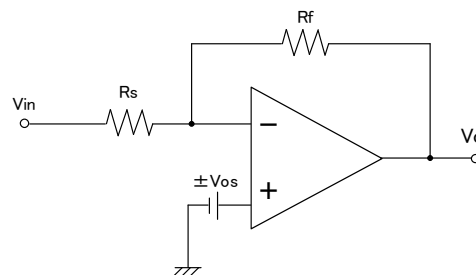
$$V_o = -\frac{R_f}{R_s}V_{in} \pm (1 + \frac{R_f}{R_s})V_{OS} \quad (3.2.2)$$

式(3.2.2)にあわされるように、反転増幅回路の出力に+端子側からみた増幅率、つまり非反転増幅回路の増幅率倍された入力オフセット電圧が加算されています。こちらも先ほどと同様に期待値から利得倍された入力オフセット電圧により出力電圧のずれが発生します。

Figure 3.2.3 では $\pm 5\text{mV}$ の入力オフセット電圧を持つと仮定して計算を行っています。どちらの回路も増幅率倍された入力オフセット電圧(16 倍 $\times 5\text{mV}$ )の分だけ波形の中心がシフトされます。所望の回路利得を考慮して入力オフセット電圧値が適したオペアンプを選択する必要があります。

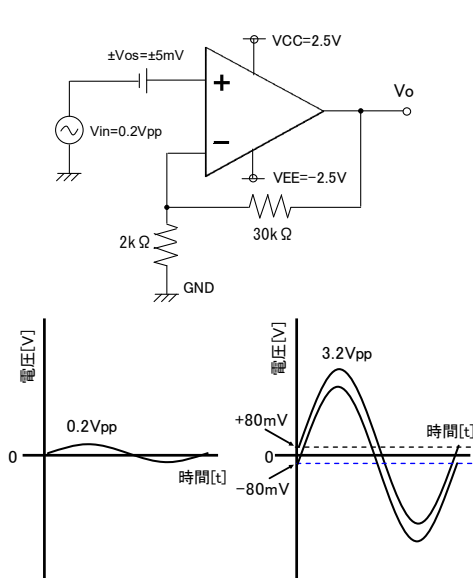


(a)非反転増幅回路

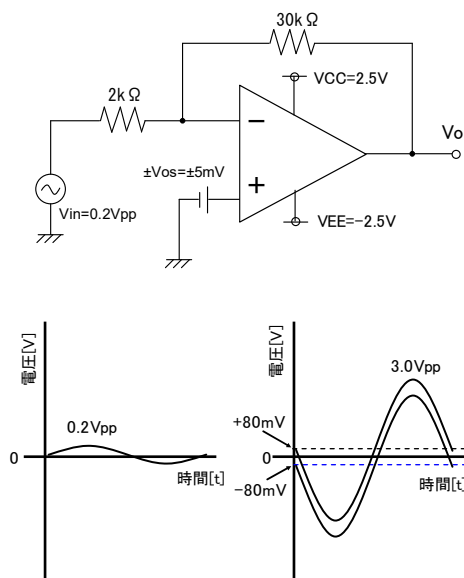


(b)反転増幅回路

Figure 3.2.2. オペアンプを用いた増幅回路



(a)非反転増幅回路



(b)反転増幅回路

Figure 3.2.3. オフセット電圧による影響の具体例

## コンパレータについて

### 入力オフセット電圧のオーバードライブ電圧への影響

比較対象の電圧と基準電圧  $V_{ref}$  の差をオーバードライブ電圧と言います。差が小さいほど応答時間が長くなる傾向があり一般的に 5mV、10mV、50mV、100mV で応答時間が規定されています。例としては、入力オフセット電圧が 6mV のコンパレータがあるとします。入力オフセット電圧の存在しない理想的な状態においては、基準電圧  $V_{ref}$  を少しでも上回るもしくは下回る入力が印加されれば出力電圧は切り替わります。

しかし入力オフセット電圧が 6mV だとすると 5mV のオーバードライブ電圧だとコンパレータが反応しないという現象が発生します。つまり、入力オフセット電圧は基準電圧  $V_{ref}$  に足しあわされたように見えます。入力オフセット電圧の仕様を  $\pm V_{os}$  とすると、 $V_{ref}+V_{os}$  から  $V_{ref}-V_{os}$  の区間は、出力電圧は High が出る個体もあれば、Low が出る個体も存在することになります。データシートの応答時間オーバードライブ電圧特性のグラフは入力オフセット電圧を補正して測定しています。

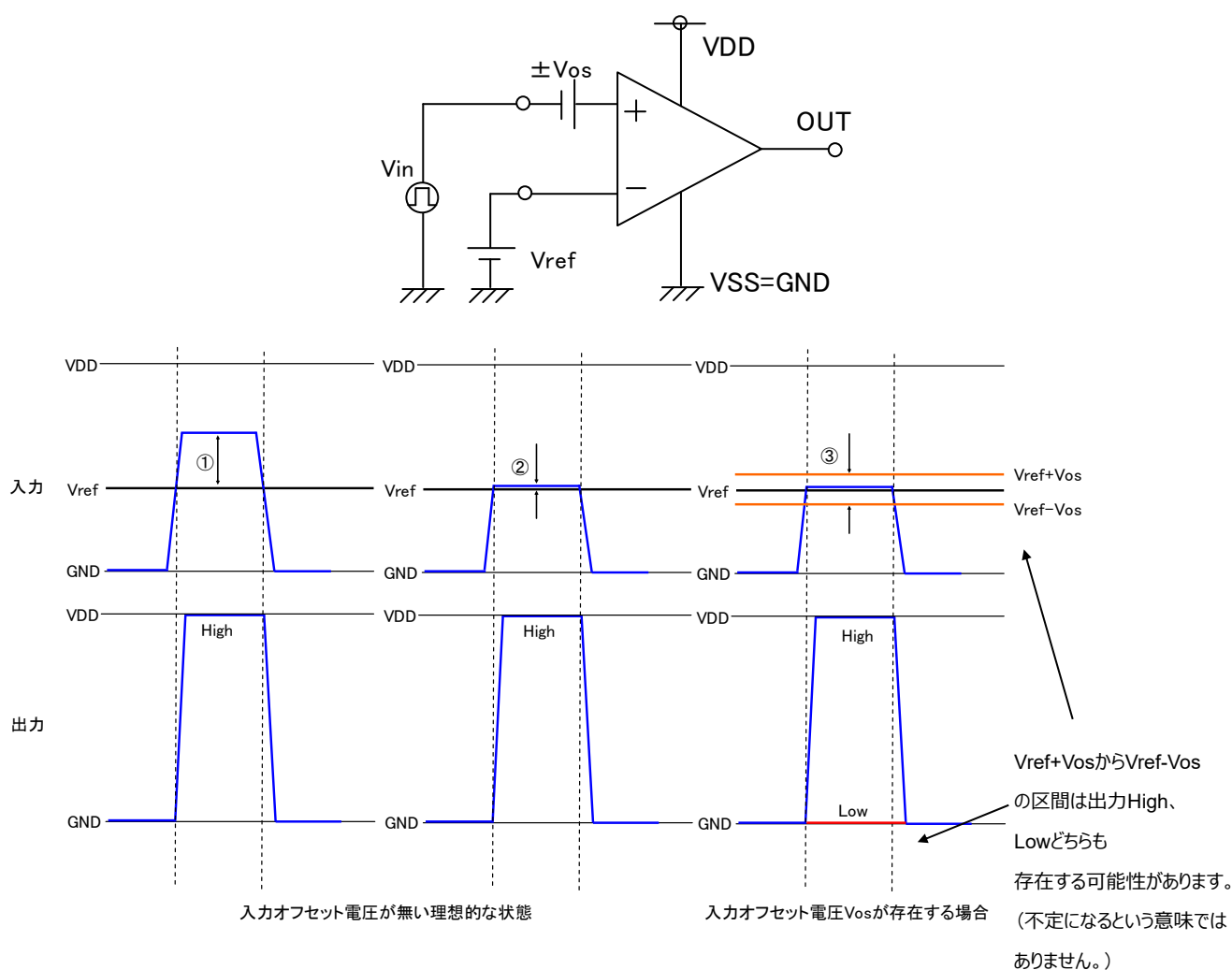


Figure 3.2.4. 入力オフセット電圧のコンパレータへの影響

### 入力オフセット電圧の発生原因について

バイポーラタイプも CMOS タイプも発生原理は同じであるためバイポーラタイプについて解説します。

入力オフセット電圧は Figure 3.2.5 において Q1/Q2、Q3/Q4 のトランジスタの特性差異により発生します。正確に言うと Q1/Q2 のベース-エミッタ間電圧の製造ばらつきと、Q3/Q4 のベース-エミッタ間電圧の製造ばらつきにより Q3/Q4 に流れるコレクタ電流  $I_{c3}/I_{c4}$  が等しくならぬことが入力オフセット電圧発生の一因となります（ただし、Q3/Q4 のベース電流の影響も入力オフセット電圧のセンター値変動として影響を受けますが通常は影響が少ないように設計されるため無視しても考え方に変わりはありません）。

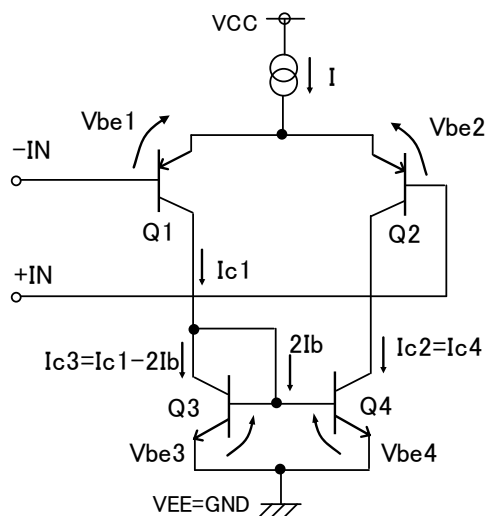


Figure 3.2.5. オペアンプの差動入力段

さらに、入力オフセット電圧の発生原因の一つとして、パッケージや基板からの応力の影響があります。この影響は一般的に小型パッケージになるほど影響を受けやすくなります。応力を受けると半導体素子表面が押されたり、IC チップがたわみを生じることにより、ピエゾ抵抗効果が発生します。このピエゾ抵抗効果によって発生した圧電効果によりトランジスタの特性が変動します。

オペアンプにおいて、主に応力の影響は差動入力段が受けやすく、基板実装後に基板からの応力により入力オフセット電圧が変動する場合があります。対策として、応力は基板の隅に行くほど大きくなるため、基板中央にオペアンプを配置することが挙げられます。また、パッケージサイズが大きい方が比較的応力の影響を受けにくいいため、精度が必要な場合はサイズの大きいパッケージを選ぶことも有効です。

### 入力オフセット電圧の温度ドリフトについて

入力オフセット電圧は温度により変動します。この変動を温度ドリフトと呼びます。温度ドリフト値も入力オフセット電圧同様に一定値ではなくその分布は正規分布に従います。製品によってはデータシートに標準値が記載されている場合があります。注意点として温度変化により実装基板のたわみ具合が変わる場合は、上記のピエゾ抵抗効果により、入力オフセット電圧がドリフトしたかのように観測される場合があります。

### 入力バイアス電流による入力オフセット電圧の増加

バイポーラオペアンプを用いて増幅回路を構成する際に、入力バイアス電流対策を行う必要があります。入力バイアス電流と増幅回路を構成する抵抗の並列合成抵抗値との積の分だけ入力オフセット電圧が増加します。

対策としては同じ合成抵抗をもう片方の入力端子に接続することですが、これについては入力バイアス電流の項目において詳しく説明します。



### 3.3 入力バイアス電流・入力オフセット電流

入力バイアス電流はオペアンプの入力端子から流れ出る、もしくは流れ込む電流のことを言います。バイポーラタイプのオペアンプでは入力端子に接続されるトランジスタのベース電流が入力バイアス電流となります。差動入力段が PNP トランジスタで構成される場合は、電流は流れ出る方向となります。また、NPN トランジスタで構成される場合は、電流は端子へ流れ込む方向となります。おおむね  $\text{nA}$  ( $10^{-9}[\text{A}]$ ) オーダーの電流量となるように設計されている製品が多く、高速タイプの中には  $\mu\text{A}$  ( $10^{-6}[\text{A}]$ ) オーダーの入力バイアス電流を持つものも存在します。入力バイアス電流は理想的には少ない方が使いやすいオペアンプとなります。CMOS タイプ(FET 入力)のオペアンプがこれに当たります。CMOS オペアンプの入力バイアス電流は非常に小さく  $\text{fA}$  ( $10^{-15}[\text{A}]$ ) ~  $\text{pA}$  ( $10^{-12}[\text{A}]$ ) オーダーとなります。そのため、インピーダンスの高いセンサ素子などのセンサアンプに使われます。

Figure 3.3.1(a)に示すように、入力トランジスタが PNP トランジスタで構成されたオペアンプの入力バイアス電流は、入力端子から流れ出る

方向となります。Figure 3.3.1(b)で示す NPN 入力では端子に流れ込む方向となります。Figure 3.3.1(c)に示すバイポーラタイプのフルスイングオペアンプの入力バイアス電流は動作範囲により流れる方向が変わります。PNP トランジスタのみ動いている領域では流れ出る方向、両方が動いている領域では差分電流が流れ、極性はどちらか大きい方になります。NPN のみ動いている状態では流れ込む方向となるため、同相入力電圧範囲内で入力バイアス電流の極性が変化することになります。

Figure 3.3.1(d)の CMOS オペアンプの入力バイアス電流は端子リーク電流となります。その主な要因は IC 内部に接続された静電保護素子となります。この電流はバイポーラタイプと比較すると非常に小さいため、センサなどのハイインピーダンス素子に接続する場合に有利となります。また、特徴として、温度が上昇するに従いリーク電流は増大するため、高温で電流が増加する傾向があります。

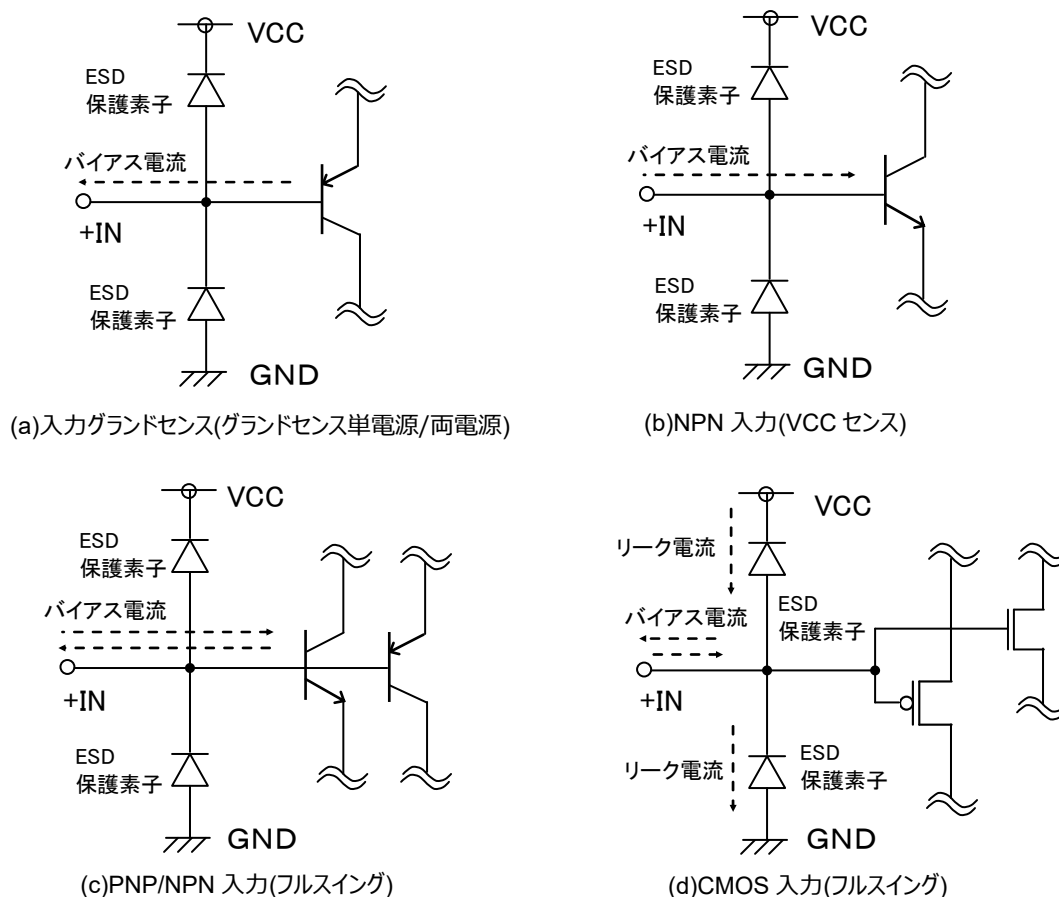


Figure 3.3.1. 入力バイアス電流と入力トランジスタ

## 入力バイアス電流の影響について

入力オフセット電流とは+入力端子と-入力端子の入力バイアス電流の差のことを言います。トランジスタの性能ばらつきによりベース電流やリーク電流は影響を受けるため、必ずしも同じ値になりません。

入力バイアス電流  $I_b$  と入力オフセット電流  $I_{io}$  の定義を式(3.3.1)、式(3.3.2)に示します。

$$I_b = \frac{I_{b+} + I_{b-}}{2} \quad (3.3.1)$$

$$I_{io} = I_{b+} - I_{b-} \quad (3.3.2)$$

## 入力バイアス電流キャンセル

Figure 3.3.3 の反転増幅回路における入力バイアス電流の影響を式(3.3.3)に示します。

$$V_{out} = -\frac{R_2}{R_1} V_{in} - \left(1 + \frac{R_2}{R_1}\right) \left[ \frac{R_1 R_2}{R_1 + R_2} I_{b-} - R_3 I_{b+} \right] \quad (3.3.3)$$

式(3.3.3)を入力バイアス電流と入力オフセット電流の定義式(3.3.1)と(3.3.2)を用いて整理すると式(3.3.4)となります。

式(3.3.4)において入力バイアス電流の影響は、 $I_b$  の項をゼロにするために  $R_3$  を  $R_1$  と  $R_2$  の並列合成インピーダンスと同じ大きさにすれば無くすることができます。また式(3.3.4)から入力オフセット電流が存在すると出力電圧に影響します。

$$V_{out} = -\frac{R_2}{R_1} V_{in} - \left(1 + \frac{R_2}{R_1}\right) \left[ \left( \frac{R_1 R_2}{R_1 + R_2} - R_3 \right) I_b - \left( \frac{R_1 R_2}{R_1 + R_2} + R_3 \right) \frac{I_{io}}{2} \right] \quad (3.3.4)$$

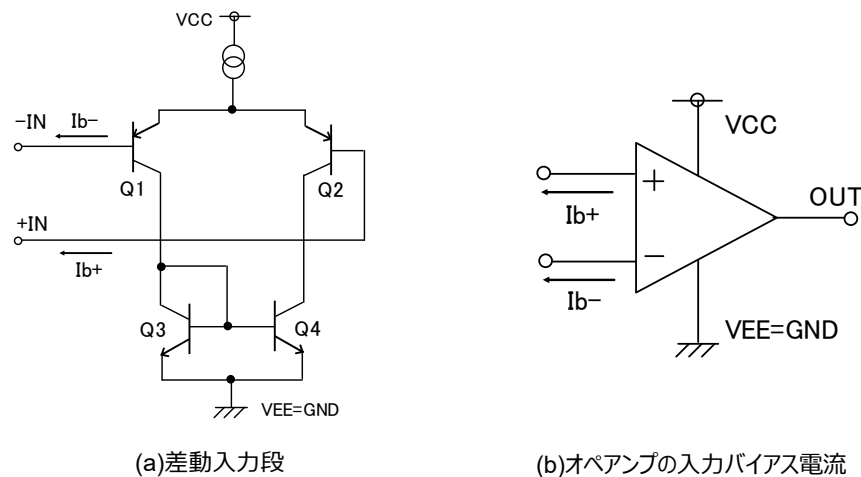


Figure 3.3.2. 入力バイアス電流

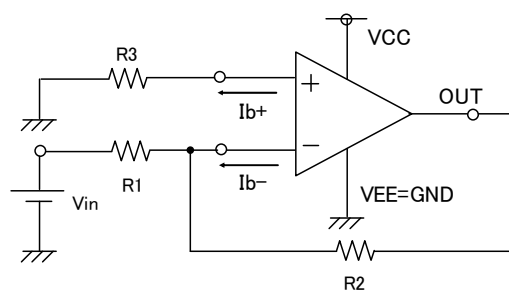


Figure 3.3.3. 反転増幅回路の入力バイアス電流

### 3.4 同相入力電圧範圍

同相入力電圧範囲( $V_{ICM}$ )とはオペアンプが正常に動作する入力電圧範囲のことを言います。同相入力電圧範囲外の信号を入力すると、入力オフセット電圧が急激に増加し、出力電圧が飽和し正常な動作ができません。

同相入力電圧範囲はオペアンプの入力回路である、差動増幅回路の回路構成により決定されます。

Figure 3.4.1 に 4558 系オペアンプの差動入力段、Figure 3.4.2 に 358/2904 系オペアンプの差動入力段を示します。この 2 つのオペアンプの同相入力電圧範囲について考えます。

4558 系オペアンプの同相入力電圧範囲を式(3.4.1)に示します。ここで同相入力電圧を  $V_{ICM}$  とします。同相入力電圧範囲の下限値は Q1、Q2 のトランジスタが飽和せずに動作するのに必要な電圧が下限となります。また、同相入力電圧範囲の上限は Q0 のトランジスタが飽和せずに動作するのに必要な電圧となります。

式(3.4.2)より、4558 系のオペアンプは下限も上限もトランジスタが動作しない領域が存在します。このような形式のオペアンプを両電源オペアンプと言います。通常、正電源と負電源を用いて GND を中点電位として使用しますが、このようなオペアンプでも、バイアス電圧を適切に設定すれば単電源で使用することも可能です。

次に Figure 3.4.2 に示される 358/2904 系オペアンプの同相入力電圧範囲を式 (3.4.3) に示します。358/2904 系のオペアンプは GND (VEE) レベルの入力電圧を扱えるようにするために、レベルシフト回路 Q1、Q2 を用いています。また、回路構成の工夫により、Q3、Q4 のコレクタ電位がほぼ等しくなるように設計されています。これにより Q3、Q4 はほぼ同じ電圧で飽和します。

式(3.4.4)より、同相入力電圧の下限は  $V_{sat}$  と  $V_{be}$  により決まっています。通常  $V_{be}$  よりも  $V_{sat}$  の方が小さくなるため、358/2904 系オペアンプの同相入力電圧範囲は VEE を含むことができ、GND レベルの信号を入力可能としています。

## 4558 系オペアンプの同相入力電圧範囲

$$V_{EE} + V_{be6} + V_{be5} + V_{sat2} - V_{be2} < V_{ICMR} < V_{CC} - V_{sat0} - V_{be2} \quad (3.4.1)$$

式(3.4.1)において  $V_{be}$  及び  $V_{sat}$  が全て等しいとすると、

$$V_{EE} + (V_{be} + V_{sat}) < V_{ICMR} < V_{CC} - (V_{sat} + V_{be}) \quad (3.4.2)$$

### 358/2904 系オペアンプの同相入力電圧範囲

$$V_{FE} + V_{be5} + V_{Vsat3} - V_{be3} - V_{be1} < V_{ICMR} < V_{CC} - V_{sat0} - V_{be3} - V_{be1} \quad (3.4.3)$$

式(3.4.3)において  $V_{be}$  及び  $V_{sat}$  が全て等しいとすると、

$$V_{EE} + (V_{Vsat} - V_{be}) < V_{ICMR} < V_{CC} - (V_{sat} + 2V_{be}) \quad (3.4.4)$$

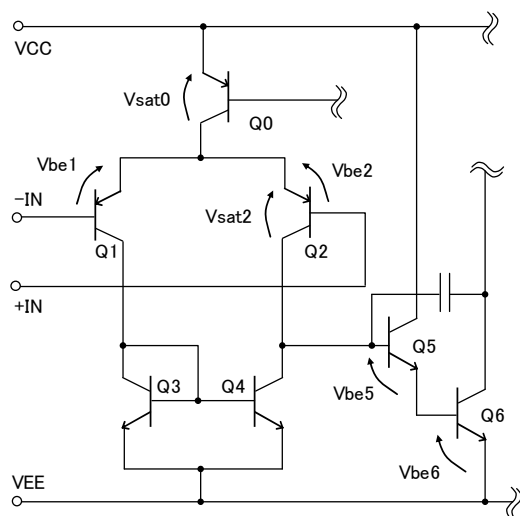


Figure 3.4.1. 4558 系オペアンプの差動入力段

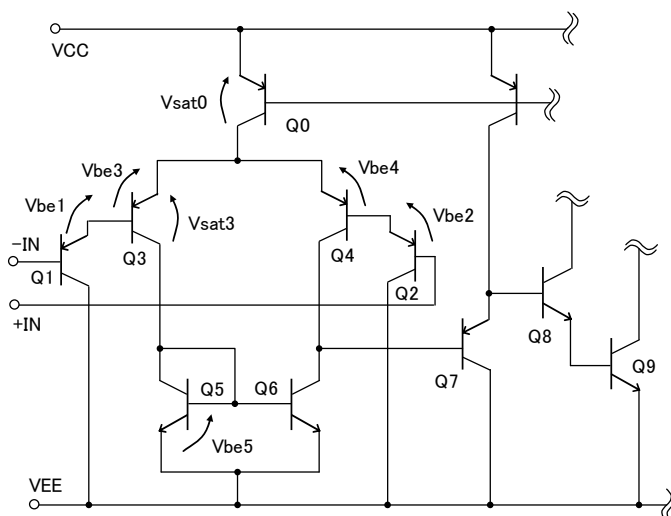


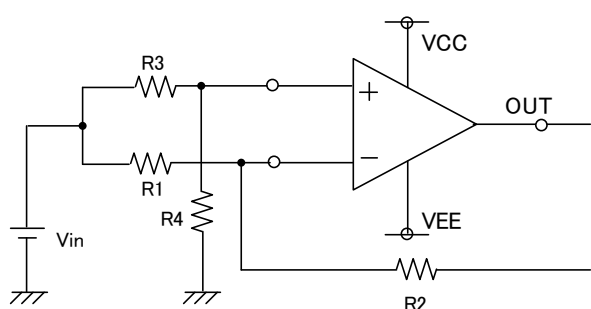
Figure 3.4.2. 358/2904 系オペアンプの差動入力段

次に同相入力電圧の特性例と測定方法について説明します。

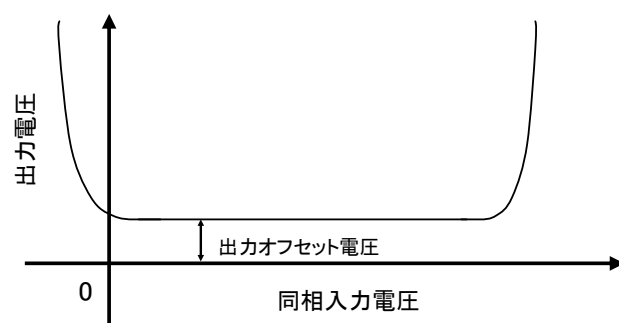
Figure 3.4.3(a)に同相入力電圧測定回路を示します。差動増幅回路の入力端子を共通とし、入力電圧を変化させます。

同相電圧を入力しているので理想的には出力電圧は 0 となりますが、実際には入力オフセット電圧が存在するため、Figure 3.4.3(b)に示されるような入力オフセット電圧が増幅率倍された出力オフセット電圧が出力されます。

次に前項で同相入力電圧範囲の考察を行った、358/2904 系オペアンプ及び、4558 系オペアンプの同相入力電圧範囲のイメージを示します。



(a)測定回路図



(b)同相入力電圧 vs 出力電圧

Figure 3.4.3. 同相入力電圧測定回路

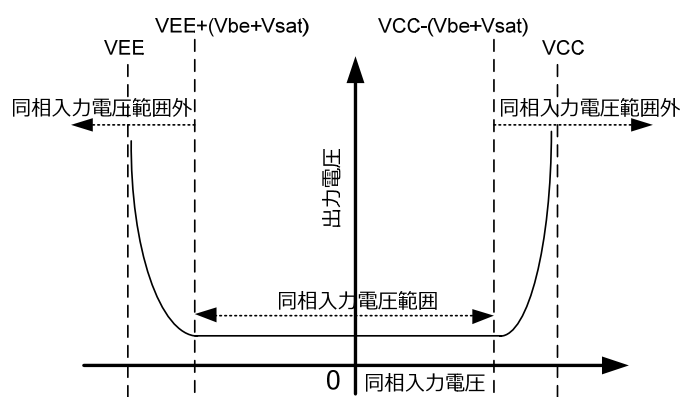
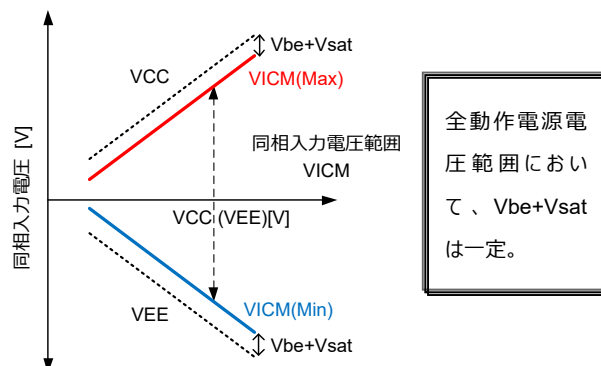


Figure 3.4.4. 4558 系オペアンプの同相入力電圧範囲



全動作電源電圧範囲において、 $V_{be} + V_{sat}$  は一定。

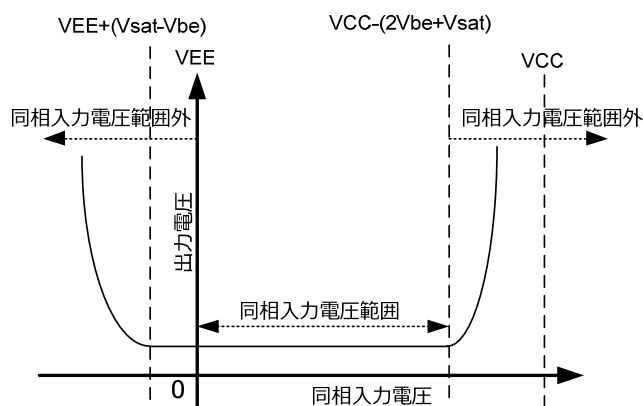
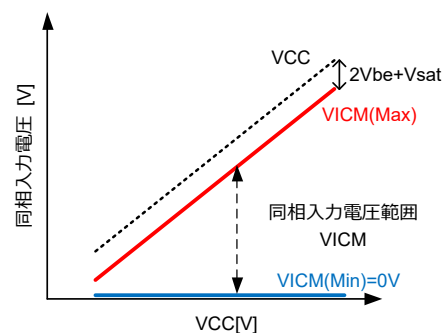


Figure 3.4.5. 358/2904 系オペアンプの同相入力電圧範囲



### 3.5 最大出力電圧(High/Low レベル出力電圧)

最大出力電圧(出力電圧範囲)とはオペアンプが出力可能な電圧範囲を示します。電圧値は最大出力電圧 High(Highレベル出力電圧)と最大出力電圧 Low (Lowレベル出力電圧)に分けられます。

出力電圧範囲は出力回路構成、電源電圧、負荷条件(出力電流量)によって制限されます。

次に、両電源オペアンプとして最も標準的な 4558 系ローノイズオペアンプの出力電圧範囲について説明します。

出力電圧範囲とはオペアンプの出力回路構成に依存すると記載しましたが、回路を構成するトランジスタ等の素子が正常に動作するために必要となる電圧があるため制限が生じます。

Figure 3.5.1 に 4558 の出力等価回路を示します。まず初めに最大出力電圧 High について考えます。出力端子から VCC 端子までの経路にはトランジスタ Q1、Q2 出力保護抵抗 R1 が存在します。正常に動作するために必要な電圧は Q1 のコレクタ-エミッタ間電圧  $V_{ce1}$ 、Q2 のベース-エミッタ間電圧  $V_{be2}$ 、さらに出力ソース電流  $I_{source}$  が流れている場合 Q2 のエミッタからさらに  $R1 \times I_{source}$  の分だけ電圧降下が発生します。負荷  $R_L$  が重く(抵抗値が小さい)流れるソース電流が大きいほど、出力電圧は狭くなります。

最大出力電圧 High は次の式で表されます。

$$\text{最大出力電圧 High} = VCC - V_{ce1} - V_{be2} - (R1 \times I_{source}) \quad (3.5.1)$$

さらに、最大出力電圧 Low について考えます。出力端子から VEE 端子までの経路にはトランジスタ Q3、Q4、短絡保護抵抗 R2 が存在します。考え方は最大出力電圧 High と同様で、最大出力電圧 Low はトランジスタ Q4 のコレクタ-エミッタ間電圧  $V_{ce4}$ 、Q3 のベース-エミッタ間電圧  $V_{be3}$ 、さらに出力シンク電流  $I_{sink}$  が流れている場合、保護抵抗 R2 により電圧降下が発生します。

最大出力電圧 Low は次の式で表されます。

$$\text{最大出力電圧 Low} = VEE + V_{ce4} + V_{be3} + (R2 \times I_{sink}) \quad (3.5.2)$$

Figure 3.5.2 に 4558 系オペアンプの最大出力電圧例を示します。

Figure 3.5.2 に示されるように、正電源(VCC)、負電源(VEE)の両側に動作しない不感領域が存在します。

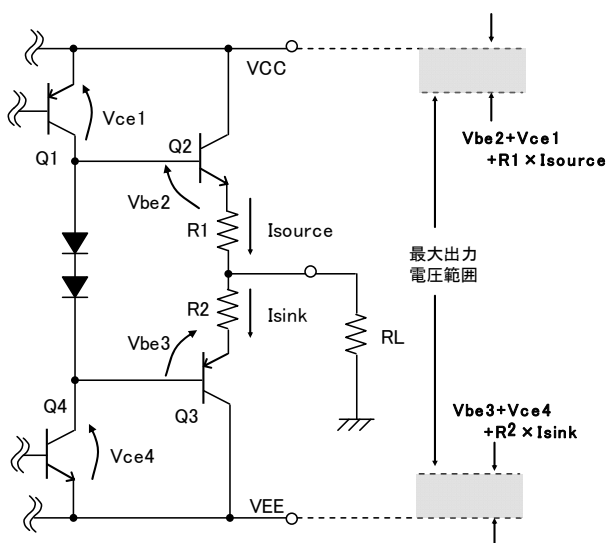
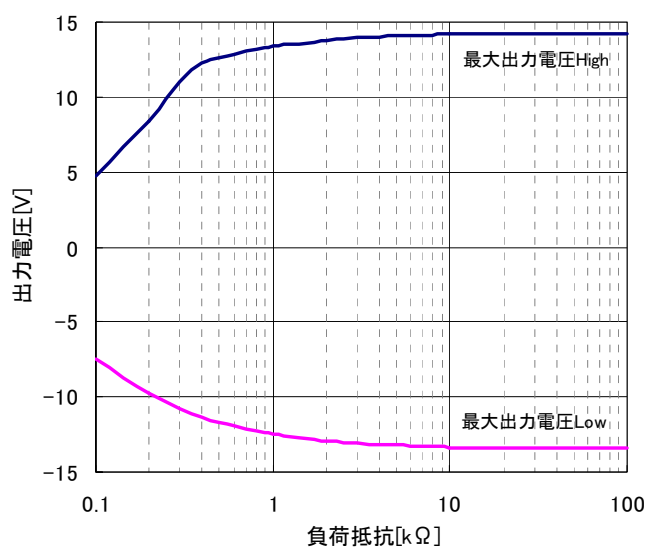


Figure 3.5.1. 4558 系オペアンプの出力等価回路図



VCC/VEE=+15V/-15V、Ta=25°C、VRL=VCC/2

Figure 3.5.2. 4558 系オペアンプの最大出力電圧例

次に単電源オペアンプとして最も標準的な 358/2904 系のオペアンプの出力電圧範囲について考えます。

Figure 3.5.3 は 358/2904 系オペアンプの出力等価回路となります。最大出力電圧 High についてですが、出力端子から VCC 端子までの経路にはトランジスタ Q1、Q2、Q3 及び電流制限抵抗 R1 が存在します。この回路が動作するために必要な電圧は Q1 のコレクタ-エミッタ間電圧  $V_{ce1}$ 、Q2、Q3 のベース-エミッタ間電圧  $V_{be2}$ 、 $V_{be3}$  さらに出力ソース電流  $I_{source}$  により  $R1 \times I_{source}$  の分だけ電圧降下が発生します。負荷  $R_L$  が重く(抵抗値が小さい)流れるソース電流が大きいく、出力電圧が狭くなります。

最大出力電圧 High は次の式で表されます。

$$\text{最大出力電圧 High} = VCC - V_{ce1} - V_{be2} - V_{be3} - (R1 \times I_{source}) \quad (3.5.3)$$

さらに、最大出力電圧 Low について考えます。358/2904 の特長として出力端子から VEE 端子までの経路が 2 系統存在します。一つはトランジスタ Q4、Q5 の経路。もう一つは Q6 の経路となります。Q6 の経路はトランジスタ Q6 により出力電圧 Low 時に定電流  $40\mu A$  が常に出力端子から流れる構造となっています。この定電流のことを Low レベルシンク電流と呼びます。この  $40\mu A$  より出力電流が十分に小さい場合は、出力電圧 Low は Q6 のコレクタ-エミッタ間電圧  $V_{ce6}$  により

決定されます。この時の Low レベル出力電圧は非常に小さく  $10mV$  前後となるため、ほぼ GND レベルまで出力電圧が出力可能となります。ここで出力シンク電流  $I_{sink}$  が  $40\mu A$  よりも大きくなった時、出力シンク電流は Q4 に流れ始めます。Q4 が動作するのに必要な電圧は Q5 のコレクタ-エミッタ間電圧と、Q4 のベース-エミッタ間電圧となります。

最大出力電圧 Low は次の式で表されます。

$$\text{最大出力電圧 Low} = VEE + V_{ce6} \quad (I_{sink} < 40\mu A) \quad (3.5.4)$$

$$\text{最大出力電圧 Low} = VEE + V_{ce5} + V_{be4} \quad (I_{sink} > 40\mu A) \quad (3.5.5)$$

このように、358/2904 系のオペアンプは出力シンク電流の量により動作する回路が異なるため、負荷による電流が  $40\mu A$  の Low レベルシンク電流付近の値で使用すると、出力回路の切り替わりにより Low レベル電圧が変わるため波形に歪が発生します。

この歪をクロスオーバー歪と呼びます。この歪については後ほど詳しく説明します。

Figure 3.5.4 に 358/2904 系オペアンプの最大出力電圧例を示します。Figure 3.5.4 に示されるように、正電源(VCC)に動作しない不感領域が存在します。負電源(VEE)側は条件によっては VEE(GND)付近の電圧を出力可能であることが分かります。

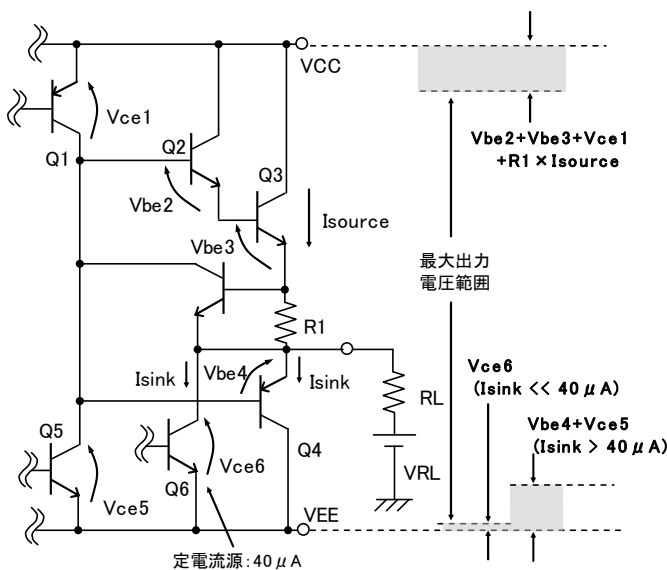


Figure 3.5.3. 358/2904 系オペアンプの出力等価回路

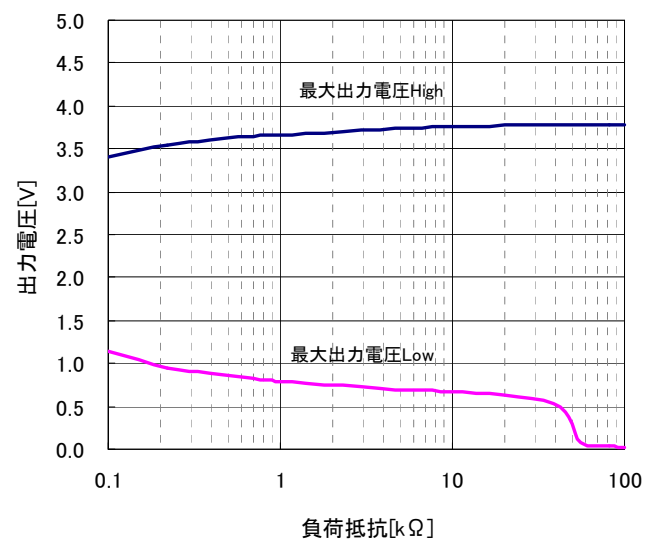


Figure 3.5.4. 358/2904 系オペアンプの最大出力電圧例  
VCC/VEE=5V/0V、Ta=25°C、VRL=VCC/2

### 3.6 大信号電圧利得 (開放利得/オープンループゲイン)

オペアンプ・コンパレータの+入力端子、-入力端子の差電圧に対する利得を示します。

データシートで規定される規格値では直流電圧に対する電圧利得を示しています。帰還回路を構成した際に生じる利得誤差を可能な限り小さくするため、一般的には高電圧利得(高開放利得)が理想的とされます。出力電圧を  $V_{OUT}$ 、入力電位差を  $V_{IN\_d}$  とすると電圧利得  $A_v$  は次式で与えられます。

$$A_v = \frac{V_{OUT}}{V_{IN\_d}} \quad (3.6.1)$$

Figure 3.6.1 の非反転増幅回路を例に利得誤差を考えます。

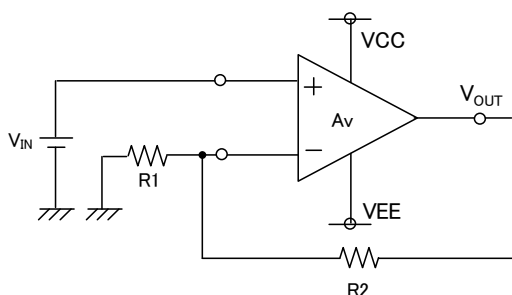


Figure 3.6.1. 非反転増幅回路

出力電圧  $V_{OUT}$  は次式となります。

$$V_{OUT} = \left(1 + \frac{R_2}{R_1}\right) \times \frac{1}{1 + \left(1 + \frac{R_2}{R_1}\right) \times \frac{1}{A_v}} \times V_{IN} \quad (3.6.2)$$

式(3.6.2)において  $A_v$  が  $\infty$  と考えると回路の利得は  $1 + R_2/R_1$  で決まります。つまり開放利得  $A_v$  が有限である場合に利得誤差が生じることになります。ここで  $R_1=1[k\Omega]$ 、 $R_2=10[k\Omega]$ 、 $A_v=80dB(10000 \text{ 倍})$  とすると理想的状態では増幅率は 11 倍となります。

$$V_{OUT} = (11) \times \frac{1}{1 + (11) \times \frac{1}{10000}} \times V_{IN} = \frac{11}{1.0011} \cong 10.988 \quad (3.6.3)$$

$V_{OUT}$  は式(3.6.3)となり、11 倍より小さい値となります。この差を利得誤差と言います。Figure 3.6.2 に出力電圧と大信号電圧利得の増幅率の関係を示します。

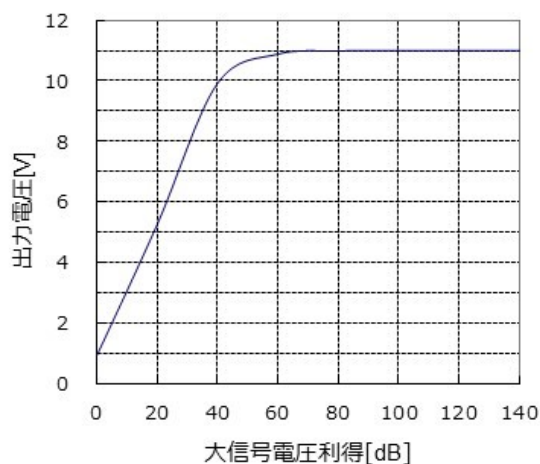


Figure 3.6.2. 出力電圧と大信号電圧利得の関係

電圧利得は周波数に依存し、入力信号周波数が高くなるほど減衰します。したがって、周波数が高くなるほど利得誤差が大きくなります。

Figure 3.6.1 の回路における電圧利得周波数特性例を Figure 3.6.3 に示します(オペアンプは BA2904 を使用)。

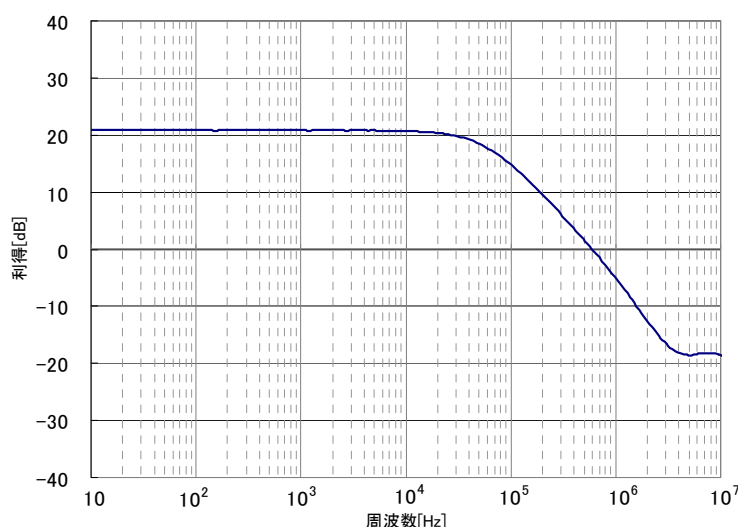


Figure 3.6.3. 電圧利得周波特性



### 3.7 同相信号除去比 CMRR(Common Mode Rejection Ratio)

同相信号除去比 CMRR(CMRR<sub>AMP</sub>)とは同相入力電圧を変化させた際の出力電圧変動量の比をデシベル表記したものとなります。一般的にデータシートに規定されている CMRR とは直流同相入力電圧と、それを変化させた際の入力オフセット電圧の変動と  $\Delta V_{IO}$  の比を表しており、オペアンプ自身の CMRR を示します。詳細は次項で説明します。

$$CMRR_{AMP} = 20 \log \left( \frac{\Delta V_{ICM}}{\Delta V_{IO}} \right) \quad (3.7.1)$$

次に、増幅回路を構成した際の同相信号除去比の考え方を説明します。

外付け抵抗を用いて増幅回路を構成した際に、抵抗の誤差(ペアミスマッチ)が存在すると増幅回路上でオフセット電圧が発生します。この抵抗誤差によるオフセット電圧は、オペアンプの持つ入力オフセット電圧と同様に同相信号除去比に影響を与えます。増幅回路の抵抗誤差による CMRR<sub>RES</sub> は以下の式で計算できます。この時オペアンプの CMRR(CMRR<sub>AMP</sub>)は理想的( $\infty$ )であるとします。ここでいう誤差は R1 と R3、R2 と R4 のミスマッチのことです。

Gは増幅回路の利得  $R_2/R_1$  を表します。ここで

$CMRR_{RES} = G_{DIFF}$ (差動電圧増幅率)/ $G_{CM}$ (同相電圧増幅率)とします(導入は省略します)。

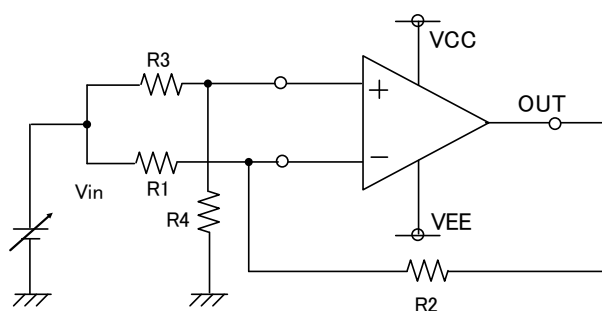
$$CMRR_{RES} = \frac{1 + G}{1 - \frac{R_2 R_3}{R_1 R_4}} \quad (3.7.2)$$

Figure 3.7.1(a)における回路全体の CMRR<sub>ALL</sub> は式(3.7.3)で表されます。

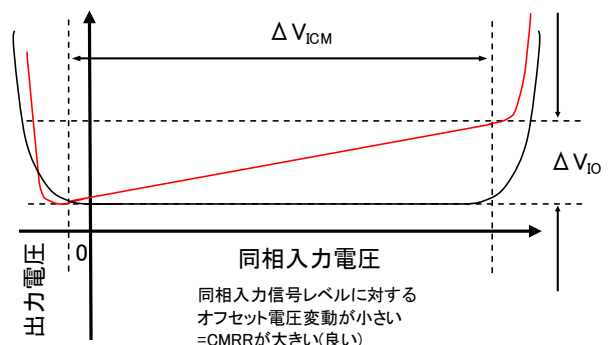
$$CMRR_{ALL} = \frac{1 + G}{\frac{1 + G}{CMRR_{AMP}} + \left( 1 - \frac{R_2 R_3}{R_1 R_4} \right)} \quad (3.7.3)$$

このように、抵抗のミスマッチは増幅回路の同相信号除去比に影響を与え CMRR(CMRR<sub>AMP</sub>)の大きいオペアンプを使用しても抵抗のミスマッチにより制限されることが分かります。

次項にてオペアンプの持つ同相信号除去比の意味についてさらに考えます。



(a)測定回路図



(b)入力オフセット電圧変動

Figure 3.7.1. 入力オフセット電圧と CMRR の関係

オペアンプの同相信号除去比について

オペアンプの回路設計入門書などに記載されているオペアンプ自身の持つ CMRR の定義としては、オペアンプの入力電圧差に対する利得、差動電圧利得  $Ad$  と同相入力電圧に対する利得、同相電圧利得  $Ac$  との比である  $CMRR=Ad/Ac$  をデシベル表記したものです。これは式(3.7.1)と同じことを意味します。

オペアンプは+入力端子と-入力端子の差電圧をアンプが持つ利得分だけ増幅することが理想ですが、実際のオペアンプでは同相入力電圧が変わることにより回路内部の直流動作点(電流・電圧)が変化するため差動電圧利得や同相電圧利得が変化します。これらの結果、入力オフセット電圧が変動し出力電圧の変動として観測されることになります。

オペアンプの入力の差電圧に対する利得を差動電圧利得  $Ad$ 、同相入力電圧に対する利得を同相電圧利得  $Ac$ 、+入力端子の電位を  $V_{in\_p}$ 、-入力端子の電位を  $V_{in\_n}$  とすると、オペアンプの出力電圧は次式で表すことができます。

$$V_{OUT} = Ad \times (V_{in\_p} - V_{in\_n}) + Ac \times V_{ICM} \quad (3.7.4)$$

$$V_{OUT} = Ad \times \left( (V_{in\_p} - V_{in\_n}) + \frac{Ac}{Ad} \times V_{ICM} \right) \quad (3.7.5)$$

ここで、 $V_{ICM}$  は同相入力電圧で  $(V_{in\_p} + V_{in\_n})/2$  です。

式(3.7.5)の  $(Ac/Ad) \times V_{IC}$  の項は同相入力電圧による誤差項を表しており、入力オフセット電圧とみなせます。

$$V_{IO} = \frac{Ac}{Ad} \times V_{ICM} \quad (3.7.6)$$

式(3.7.6)より、同相入力電圧の変化に対する入力オフセット電圧の変動は

$$\frac{\Delta V_{ICM}}{\Delta V_{IO}} = \frac{Ad}{Ac} = CMRR \quad (3.7.7)$$

式(3.7.7)となり、先に述べた同相入力電圧と入力オフセット電圧の比と等価になります。

例として式(3.7.7)を用いて同相入力電圧の変化による出力への影響を計算します。

同相入力電圧  $V_{IC}=0[V]$  の時のオフセット電圧、 $V_{IO\_0}=1[mV]$ 、 $CMRR=80[dB]=10000[倍]$  の時  $V_{IC}=10[V]$  での入力オフセット電圧  $V_{IO\_10}$  を求めます。

$$CMRR = \frac{V_{IC\_10} - V_{IC\_0}}{V_{IO\_10} - V_{IO\_0}} \quad (3.7.8)$$

$$V_{IO\_10} = \frac{10[V]}{CMRR[倍]} 1[mV] = 2[mV] \quad (3.7.9)$$

従って、 $CMRR=80[dB]$  の時、 $10[V]$  の同相入力電圧変動により入力オフセット電圧は  $1[mV]$  増加します。

次項にて同相入力電圧の変化により入力オフセット電圧が変動するメカニズムについて説明します。

同相入力電圧による入力オフセット電圧変動の原理 (参考)

Figure 3.7.2 に差動入力段の等価回路を示します。同相入力電圧変化により入力オフセット電圧が増加するメカニズムを解説します。まず初めに、トランジスタ M1 と M2、M3 と M4 の特性が同一であると仮定します。このことは、差動入力段と能動負荷で発生する入力オフセット電圧が無い事を意味します。特性が全く等しいのでゲートソース間電圧は等しくなり、差動入力トランジスタ M1、M2 に流れる電流は等しくなります。つぎに能動負荷 M3、M4 も特性が等しいため、流れる電流も等しくなります。流れる電流が等しく、特性が同じということは能動負荷 M3 と M4 のドレイン電圧は等しくなります。これにより、Figure 3.7.2(b)小信号等価回路 1 において  $V_x$  と  $V_o$  を仮想的に短絡していき考えることができます。この点を踏まえて小信号等価回路を記述すると Figure 3.7.2(c)小信号等価回路 2 となります。各トランジスタの成分が並列に接続されていると見なすことができるため、回路を合成し簡略化が可能となります。この回路から同相電圧利得を求めます。同相電圧利得を求めるに当たり  $g_m$  をトランジスタのトランスコンダクタンス、 $r_d$  をドレインインピーダンス、 $g_d$  をドレインコンダクタンス、 $V_{ICM}$  を同相入力電圧、 $V$  を M5 のドレイン電圧とします。

また  $1/r_d = g_d$  とします。ノード  $V_o$  と  $V$  について式を立てます。式(3.7.10)を整理して、 $g_{m4}$ 、 $g_{m2} \gg g_{d4}$ 、 $g_{d2}$  において近似すると式(3.7.11)となります(導出は省略します)。

式(3.7.11)より、同相電圧利得  $A_c$  はトランジスタ M5 のインピーダンスと能動負荷の  $g_m$  により決まります。次に、差動電圧利得は式(3.7.12)で表すことができます(導出は省略します)。

入力オフセット電圧を  $V_{IO}$  とし、式(3.7.11)及び式(3.7.12)より CMRR を求めると式(3.7.13)となります。

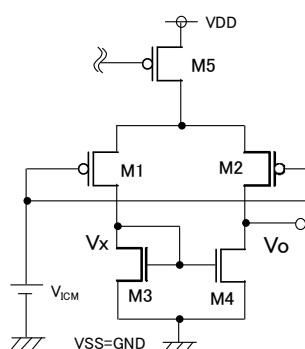
以上より、同相電圧利得  $A_c$  を小さくするには  $r_{d5}$  や  $g_{m4}$  を大きくする必要があります。 $r_{d5}$  が大きいということはトランジスタ M5 に流れる電流が同相入力電圧の影響を受けにくくなるのと同じ意味を持ちます。しかし実際は  $r_{d5}$  や  $g_{m4}$  は有限の値であり、CMRR が制約を受けることが分かります。つまり、CMRR が有限であるため同相入力電圧の変化により入力オフセット電圧も変動を起こすことになります。

$$\begin{aligned} g_{d5}V + 2g_{m2}(V_{ICM} - V) + 2g_{d2}(V - V_o) &= 0 \\ 2g_{m4}V_o + 2g_{d4}V_o + 2g_{m2}(V_{ICM} - V) + 2g_{d1}(V - V_o) &= 0 \end{aligned} \quad (3.7.10)$$

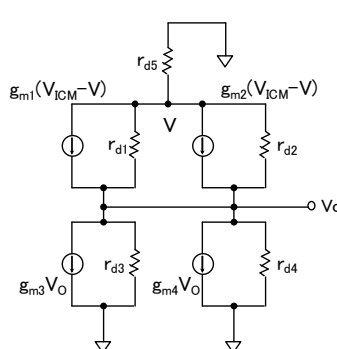
$$A_c = \frac{V_o}{V_{ICM}} = \frac{1}{2g_{m4}r_{d5}} \quad (3.7.11)$$

$$A_d = \frac{V_o}{V_{ind}} = g_{m1}(r_{d2} // r_{d4}) \quad (3.7.12)$$

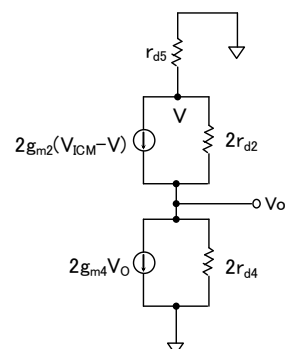
$$CMRR = \frac{A_d}{A_c} = \frac{V_{ICM}}{V_{ind}} = \frac{V_{ICM}}{V_{IO}} = 2g_{m4}g_{m1}r_{d5}(r_{d2} // r_{d4}) \quad (3.7.13)$$



(a)差動入力段等価回路



(b)小信号等価回路 1



(c)小信号等価回路 2

Figure 3.7.2. オペアンプ差動入力段等価回路図

次に CMRR の周波数特性について説明します。式(3.7.13)に示される差動電圧利得は、直流電圧に対するものであり、実際は周波数特性を持ちます。これは式(3.7.13)から示されるようにオペアンプの差動電圧利得は CMRR と密接に関係しています。オペアンプの差動電圧利得は差動入力段が持つ第 1 の極(1st ポール)により周波数が高くなるにつれ-6dB/oct (= -20dB/dec)で減少します。

これにより CMRR も同時に減少することになります。Figure 3.7.3 に CMRR の周波数特性を示します。

実際にオペアンプを使用する際は CMRR の周波数特性を考慮することが重要となります。

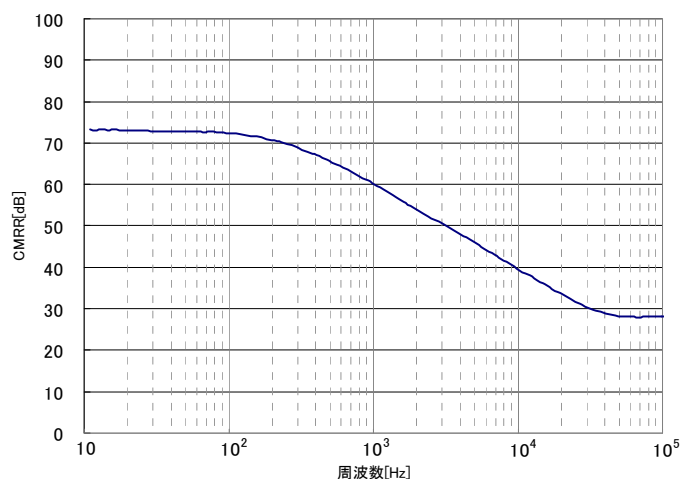


Figure 3.7.3. CMRR 周波数特性

### 3.8 電源電圧除去比 PSRR (Power Supply Rejection Ratio)

電源電圧除去比 PSRR とは電源電圧を変化させた時の入力オフセット電圧の変動量を比で表したものです。一般的にデータシートに記載される規格値は直流電源を変化させた場合の入力オフセット電圧の変動の比を示しています。

$$PSRR = 20 \log \left( \frac{\Delta V_{CC}}{\Delta V_{IO}} \right) \quad (3.8.1)$$

一般的な PSRR の定義としては、アンプの入力差電圧に対する利得である差動電圧利得  $A_d$  と電源電圧に対する電源変動利得  $A_p$  との比  $PSRR = A_d / A_p$  で表されますが、これは式(3.8.1)と同じ意味を持ちます。

オペアンプは+入力端子と-入力端子の差電圧をアンプが持つ利得分だけ増加することが理想ですが、実際のオペアンプでは電源電圧を変えることによって回路内部の直流動作点(電流・電圧)が変化するため差動電圧利得や電源変動利得が変化します。これらの結果、入力オフセット電圧が変化し出力電圧の変動として観測されることになります。

オペアンプの入力の差電圧に対する利得を差動電圧利得  $A_d$ 、電源電圧に対する利得を電源電圧利得  $A_p$ 、+入力端子の電位を  $V_{in\_p}$ 、-入力端子の電位を  $V_{in\_n}$  とすると、オペアンプの出力電圧は次式で表すことができます。

$$V_{OUT} = A_d \times (V_{in\_p} - V_{in\_n}) + A_p \times V_{CC} \quad (3.8.2)$$

$$V_{OUT} = A_d \times \left( (V_{in\_p} - V_{in\_n}) + \frac{A_p}{A_d} \times V_{CC} \right) \quad (3.8.3)$$

式(3.8.3)の  $(A_p/A_d) \times V_{CC}$  の項は電源電圧による誤差項を表しており、入力オフセット電圧とみなすことができます。

$$V_{IO} = \frac{A_p}{A_d} \times V_{CC} \quad (3.8.4)$$

この関係式より、電源電圧の変化に対する入力オフセット電圧の変動は式(3.8.5)となり、PSRR は先に述べた電源電圧変動に対する入力オフセット電圧変動の比と等価になります。

$$\frac{\Delta V_{CC}}{\Delta V_{IO}} = \frac{A_d}{A_p} = PSRR \quad (3.8.5)$$

例として式(3.8.5)を用いてオペアンプの  $V_{CC}=10[V]$  での入力オフセット電圧を  $V_{IO\_10}=1[mV]$  とし、 $V_{CC}=20[V]$  での入力オフセット電圧  $V_{IO\_20}$  を求めます。ここで  $PSRR=80[dB](=10000 \text{ 倍})$  とします。

$$PSRR = \frac{V_{CC\_20} - V_{CC\_10}}{V_{IO\_20} - V_{IO\_10}} = 10000[\text{倍}] \quad (3.8.6)$$

$$V_{IO\_10} = \frac{10[V]}{10000[\text{倍}]} + 1[mV] = 2[mV] \quad (3.8.7)$$

従って、 $PSRR=80[dB]$  の時  $10[V]$  の電源電圧変動により入力オフセット電圧は  $1[mV]$  増加します。

増幅回路を構成している場合は、出力電圧に誤差として増幅回路の利得倍された誤差電圧が出力されます。

$100[\text{倍}]$  の非反転増幅回路を構成している場合は、出力電圧は電源電圧が  $10[V]$  変動すると出力電圧が  $100[mV]$  変動することになります。

電源電圧による入力オフセット電圧変動の原理 (参考)

Figure 3.8.1 に差動入力段の等価回路を示します。電源電圧変化により入力オフセット電圧が増加するメカニズムを解説します。まず初めに、トランジスタ M1 と M2、M3 と M4 の特性が同一であると仮定します。このことは、差動入力段と能動負荷で発生する入力オフセット電圧が無い事を意味します。特性が全く等しいのでゲートソース間電圧は等しくなり、差動入力トランジスタ M1、M2 に流れる電流は等しくなります。ただし、電源電圧変動を考える場合、電源の変動により同相入力電圧範囲も変わるため、常に入力電圧のレベルは同相入力電圧範囲の中間に調整します。

つぎに能動負荷 M3、M4 も特性が等しいため、流れる電流も等しくなります。流れる電流が等しく、特性が同じということは能動負荷 M3 と M4 のドレインの電圧は等しくなります。これにより、Figure 3.8.1(b) 小信号等価回路 1 において  $V_x$  と  $V_o$  を仮想的に短絡していると考えることができます。この点を踏まえて小信号等価回路を記述すると Figure 3.8.1(c) 小信号等価回路 2 となります。各トランジスタの成分が並列に接続されていると見なすことができるため、回路を合成し簡略化が可能となります。この回路から電源から出力までの電源電圧利得を求めます。

電源電圧利得を求めるに当たり  $g_m$  をトランジスタのトランスコンダクタンス、 $r_d$  をドレインインピーダンス、 $g_d$  をドレインコンダクタンス、 $V_{ICM}$  を同相入力電圧、 $V$  を M5 のドレイン電圧とします。また  $1/r_d = g_d$  とします。ノード  $V_o$  と  $V$  について式(3.8.8)を立てます。

式(3.8.8)を整理して、 $V - V_{ps} = V_{ds}$ 、 $g_{m4}$ 、 $g_{m2} \gg g_{d4}$ 、 $g_{d2}$  において近似すると式(3.8.9)となります(過程は省略します)。

式(3.8.9)より、電源電圧利得  $A_P$  はトランジスタ M5 のインピーダンスと能動負荷の  $g_m$  により決まります。次に、差動電圧利得は式(3.8.10)で表すことができます。(導出は省略します)

入力オフセット電圧を  $V_{IO}$  とし、式(3.8.9)及び式(3.8.10)より PSRR を求めると式(3.8.11)となります。

以上より、電源電圧利得  $A_P$  を小さくするには  $r_{d5}$  や  $g_{m4}$  を大きくする必要があります。 $r_{d5}$  が大きいということはトランジスタ M5 に流れる電流が同相入力電圧の影響を受けにくくなるのと同じ意味を持ちます。しかし実際は  $r_{d5}$  や  $g_{m4}$  は有限の値であり、PSRR が制約を受けることが分かります。つまり、PSRR が有限であるため同相入力電圧の変化により入力オフセット電圧も変動を起こすことになります。

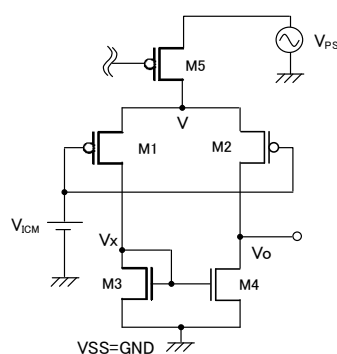
$$g_{d5}(V - V_{ps}) + 2g_{m1}(V_{ICM} - V) + 2g_{d1}(V - V_o) = 0 \quad (3.8.8)$$

$$2g_{m4}V_o + 2g_{d4}V_o + 2g_{m1}(V_{ICM} - V) + 2g_{d1}(V - V_o) = 0$$

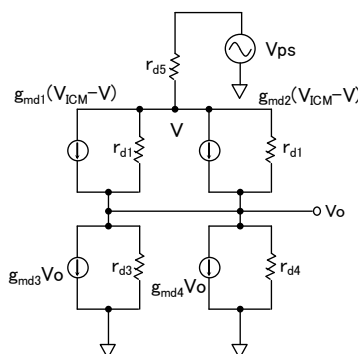
$$A_P = \frac{V_o}{V_{ds}} = \frac{g_{e5}}{2g_{m4}} = \frac{1}{2g_{m4}r_5} \quad (3.8.9)$$

$$A_d = \frac{V_o}{V_{ind}} = g_{m1}(r_{d2} // r_{d4}) \quad (3.8.10)$$

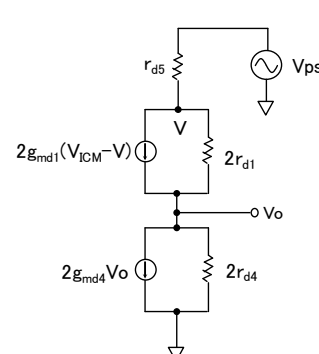
$$PSRR = \frac{A_d}{A_P} = \frac{V_{ds}}{V_{ind}} = \frac{V_{ds}}{V_{IO}} 2g_{m4}r_5g_{m1}(r_{d2} // r_{d4}) \quad (3.8.11)$$



(a)差動入力段等価回路



(b)小信号等価回路 1



(c)小信号等価回路 2

Figure 3.8.1. オペアンプ差動入力段等価回路図

PSRRはCMRRと同様に入力される信号周波数が高くなると値が小さくなります。これは式(3.8.11)から示されるようにオペアンプの差動電圧利得はPSRRと密接に関係しています。オペアンプの差動電圧利得は差動入力段が持つ第1の極(1st ポール)により周波数が増加するにつれ-6dB/oct (= -20dB/dec)で減少します。これによりPSRRも同時に減少することになります。

そのため電源ラインに周波数の高いリップルノイズが存在すると出力電圧を大きく変動させ、出力ノイズの原因となります。電源ノイズ対策として、オペアンプの電源端子近くにバイパスコンデンサを接続することでこの影響を抑制できます。Figure 3.8.2 に電源電圧除去比周波数特性例を示します。

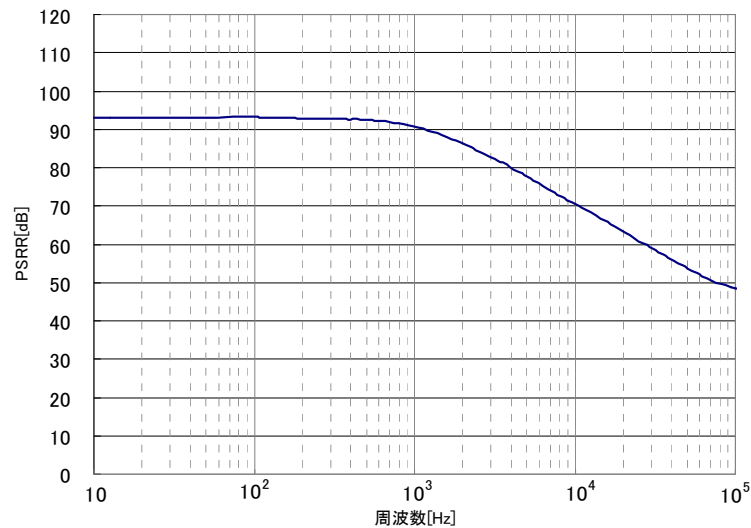


Figure 3.8.2. PSRR一周波数特性



### 3.9 スルーレート SR (Slew Rate)

スルーレートとはオペアンプの動作速度を表すパラメータです。出力電圧が規定した単位時間当りに変化できる割合を表しています。例としては、1[V/μs]は1[μs]で1[V]電圧を変動させることができるという意味です。

理想的なオペアンプはどのような入力信号に対しても忠実に出力信号を出力可能ですが、実際にはスルーレートという制限が存在します。入力に立ち上がり、立ち下がりが急峻な方形波パルス印加した際に、出力電圧が単位時間当りにどの程度変化可能であることを示しています。Figure 3.9.1 にスルーレートの定義を示します。

立ち上がりとしち下がりスルーレートは式(3.9.1)で計算されます。

$$SR_r = \frac{\Delta V}{\Delta Tr} \quad SR_f = \frac{\Delta V}{\Delta Tf} \quad (3.9.1)$$

データシート上でのスルーレートの規定は「立ち上がり」もしくは「立ち下がり」の遅い方を基準に規定されています。スルーレートはオペアンプ出力信号の傾きの最大値を意味します。それ以上急峻な変化を持つ信号に対しては、出力波形は追従できずに歪むことになります。増幅回路を構成した際も、スルーレートは出力変化の割合であるため変わることはありません。

オペアンプを実際に使用するにあたり、スルーレートの持つ意味合いについて考えます。オペアンプは直流/交流、両方の信号増幅に用いられます。先にも述べたように、オペアンプには応答速度の限界があり、どのような信号でも扱えるわけではありません。Figure 3.9.1 に示されるボルテージフォロア構成について説明します。直流電圧入力では入力電圧範囲、出力電圧範囲に制限をうけます。さらに、周波数を持った交流信号については利得帯域幅積及びスルーレートの制約が加わります。ここでは、振幅と周波数の関係つまりスルーレートについて考えます。

オペアンプが出力可能な最大周波数を求めます。Figure 3.9.2 に示すような波形を出力するのに必要なスルーレートを求めます。

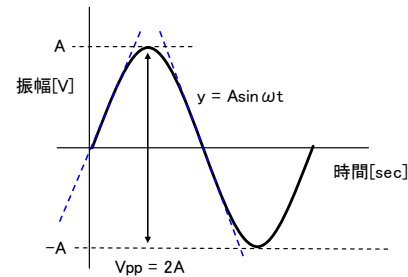


Figure 3.9.2 sin 波形の波形

$$y = A \sin \omega t \quad (3.9.2)$$

スルーレートは sin 波の接線の傾きなので式(3.9.2)を微分します。

$$\frac{dy}{dt} = A \omega \cos \omega t \quad \omega t = 0 \quad (3.9.3)$$

スルーレートは式(3.9.3)より

$$SR = A \omega \quad \omega = 2\pi f \quad (3.9.4)$$

さらに sin 波の振幅は Peak to Peak で  $V_{pp}=2A$  となるので式(3.9.4)は以下のように変形できます。

$$f = \frac{SR}{2\pi \times A} = \frac{SR}{\pi V_{pp}} [Hz] \quad V_{pp} = \frac{SR}{\pi f} [V] \quad (3.9.5)$$

この周波数  $f$  をフルパワーバンド幅といいます。これらは、オペアンプに増幅率を設定していない状態つまり、ボルテージフォロアにおけるオペアンプの出力可能な振幅(出力電圧範囲内において)と周波数の関係となります。

ex.  $SR=1V/\mu s$  のオペアンプにおいて  $1V_{pp}$  の信号を出力可能な周波数を求めます。

$$f = \frac{SR}{\pi V_{pp}} = \frac{1}{10^{-6}} \times \frac{1}{\pi \times 1} = 318.4 kHz \quad (3.9.6)$$

振幅一定のまま、式(3.9.6)で求めた周波数を超えると波形はスルーレートに制限され sin 波は三角波となり歪を生じます。

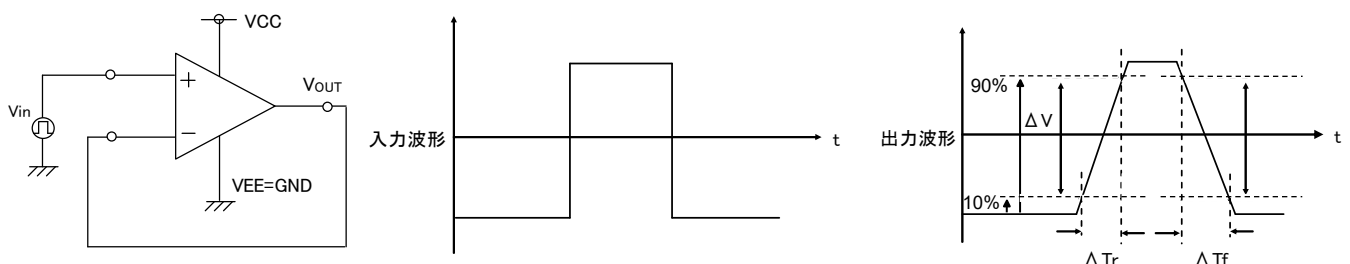


Figure 3.9.1. スルーレート測定回路と波形の例

### 3.10 オペアンプの周波数特性について

・利得周波数特性：

増幅回路の利得は周波数特性を持っています。オペアンプ内部の位相補償容量や端子容量、基板の寄生容量、回路定数により決定されます。

・位相周波数特性：

オペアンプの入力波形と出力波形の位相差を表しています。利得と同様にオペアンプの特性や回路定数、寄生容量の影響を受けます。

・開放利得 (Av)：

オープンループ利得とも言い、直流に対する電圧利得を表します。

・単一利得周波数 (fr)：

利得が 0dB(1 倍)となる周波数を単一利得周波数と呼びます。

・利得帯域幅積(GBW)：

増幅回路の周波数特性は極(ポール)1 つにつき-6dB/oct で減衰します。-6dB/oct で減衰する領域における利得と任意の周波数の積を利得帯域幅積と言います。これは小信号におけるオペアンプの使用可能な周波数帯域を表しています。

$$\text{帯域幅積[Hz]} = \text{周波数[Hz]} \times \text{利得[倍]}$$

・1st ポール：

1 つ目の極のことで、1 つのポールから振幅は-6dB/oct で減衰しポールの 1/10 倍の周波数から位相遅れがはじまりポールの周波数で 45deg、10 倍の周波数で 90deg 位相が遅れます。

・2nd ポール：

2 つ目の極のことで、振幅の減衰量は-12dB/oct となり位相はさらに 45deg 遅れ、さらに 10 倍の周波数で 90deg 位相が遅れます。  
注)-6dB/oct=周波数が 2 倍になった時に-6dB 下がることを意味しています。(oct = octave)

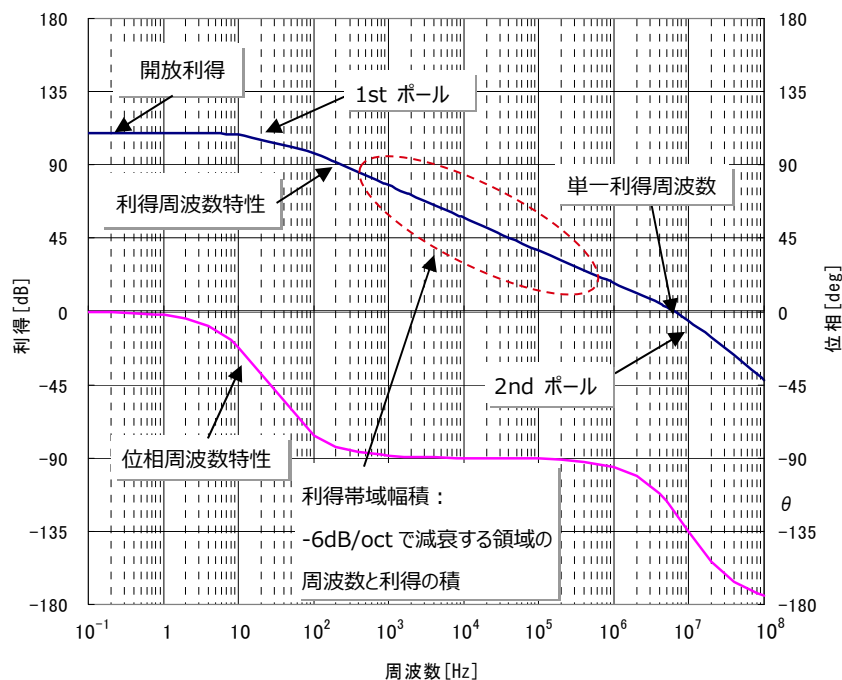


Figure 3.10.1. オペアンプのオープンループ利得・位相周波数特性例

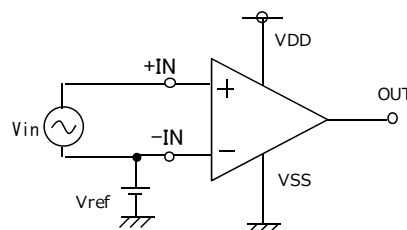


Figure 3.10.2. 測定回路 (概念図)

・位相余裕：

利得が 0dB(1 倍)になる周波数における入出力信号の位相差を位相余裕と呼びます。位相余裕は発振への余裕度を表す指標の一つで、通常 40deg~60deg 程度に設計されています。

反転増幅回路は  $\theta_1$ 、入出力の位相差がそのまま位相余裕となり、反転増幅回路の位相が 180deg から始まることにより。

非反転増幅回路は位相が 0deg から始まるため位相余裕は 180deg からの余裕度ということで、 $180+\theta_2$  となります。

反転増幅回路 位相余裕： $\theta_1$

非反転増幅回路 位相余裕： $180+\theta_2$

・ゲイン余裕：

位相遅れが 180deg となった周波数における利得の 0 dB までの余裕度です。通常は -7dB 以上程度で設計されており、位相余裕と同様に発振に対する余裕度として使用されます。

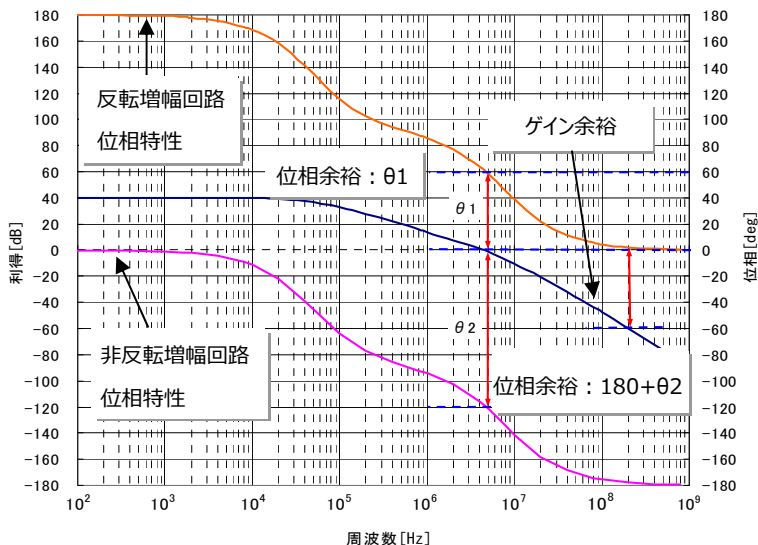


Figure 3.10.3. 反転(非反転)増幅回路40dB\*(100倍)の周波数特性例

\*オペアンプの直流付近の開放利得は 100dB 以上と非常に大きく、出力から抵抗で直流帰還をかけることで出力直流電圧が安定します。利得周波数特性を測定する場合、反転または非反転増幅回路で 40dB 程度に設定し安定に測定します。1st pole 周波数領域より高い周波数の特性は同等となるため、位相余裕やゲイン余裕はこのグラフから読み取ることができます。

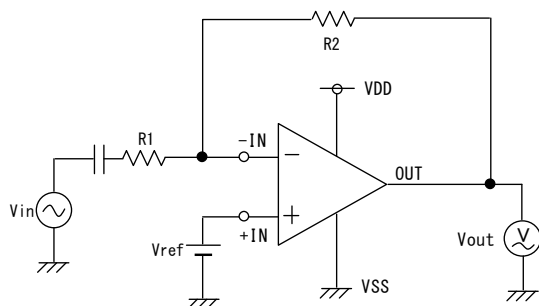


Figure 3.10.4. 反転増幅回路

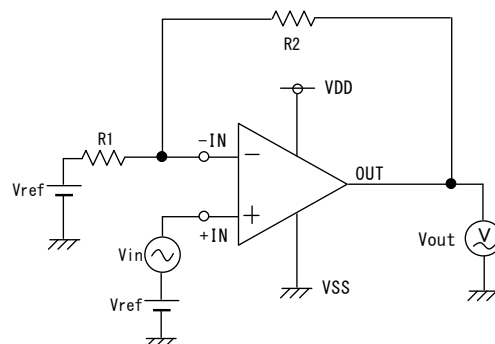


Figure 3.10.5. 非反転増幅回路

### 3.11 位相遅れと発振について

位相遅れによる発振の概念について最も一般的なバルクハウゼンの定理を示します。

負帰還回路、Figure 3.11.1.の伝達関数を求めます。

$$A(s)(V_{in} - V_{in-}) = V_{out}$$

$$V_{in-} = \beta V_{out}$$

上記の二つの式から伝達関数を求めると以下のようになります。

$$\frac{V_{out}}{V_{in}} = \frac{A(s)}{1 + \beta A(s)}$$

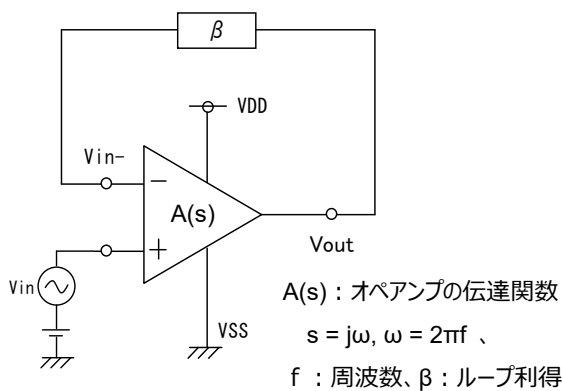


Figure 3.11.1. 負帰還回路

・位相が 180deg 遅れると正帰還がかかっている状態と同じ条件になるため発振が起きます。

伝達関数の分母  $1 + \beta A(s)$  に注目します。

$\beta \cdot A(s) = -1$  のとき分母は 0 となり利得は無限大となることがわかります。

つまり  $\beta \cdot A(s) = -1$  のとき伝達関数は発散します。

言い代えると  $\beta \cdot A(s) = -1$  とは、負帰還を介して戻った信号が反転(位相遅れ 180deg)となることを意味しており、正帰還がかかっている状態と同等になります。そのため回路は不安定となり発振が起きます。

以下にループ利得を 1 として発振条件をまとめます。(ループ利得 1 とは全帰還を表します)

$$|\beta A(s)| = 1$$

$$\angle \beta A(s) = -180\text{deg}$$

この条件において  $\angle \beta A(s)$  は位相遅れを表し、 $s = j\omega$  とすると、ループ利得  $\beta A(\omega) = 1$  のとき位相が 180deg 遅れると、 $\omega$  の角周波数で発振することを表します。

・安定性の指標として、位相余裕、ゲイン余裕の 2 種類があります。位相余裕は利得が 1 倍 (0dB) になった時に位相遅れ 180deg からどの程度余裕があるかを表し、ゲイン余裕は位相遅れが 180deg (位相余裕が 0deg) になったとき利得がどの程度 1 倍から下がっているかを表します。

位相が遅れる原因はポール(極)が存在するためです。RC フィルタの周波数特性を例に示します。

Figure 3.11.2.の RC フィルタの伝達関数より、Figure 3.11.3.を見るとキャパシタンスにより伝達関数に1つのポールが生じていることがわかります(1次特性)。

このポールにより位相はポールの周波数： $f_c$  で 45deg 遅れが生じ、10 倍付近の周波数では約 90deg 位相が遅れます。

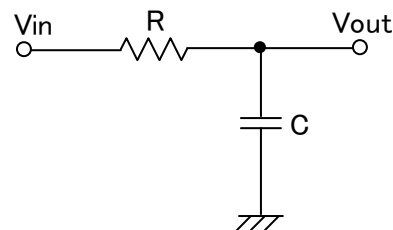


Figure 3.11.2. RC フィルタ回路

- ・ポール 1 つで 90deg 位相が遅れます。
- ・キャパシタンスの容量によりポールの周波数は変わります。
- ・ポールの位置の周波数が高い場合でも、ポールの 1/10 倍の周波数から位相が遅れ始めます。

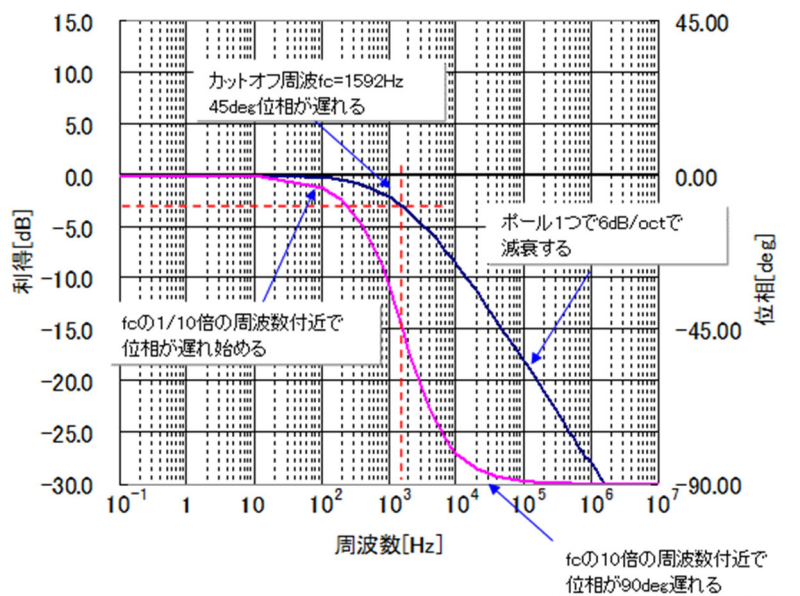


Figure 3.11.3. RC フィルタ回路

RC フィルタの伝達関数

$$\frac{V_{out}(j\omega)}{V_{in}(j\omega)} = \frac{1}{1 + j\omega RC}$$

信号振幅

$$H(\omega) = \frac{1}{\sqrt{1 + (\omega RC)^2}}$$

位相

$$\theta = -\text{ArcTan}(\omega RC)$$

RC フィルタの伝達関数より、ポールカットオフ周波数は次のように表されます。

$$\omega_0 = \frac{1}{RC} \quad f_c = \frac{1}{2\pi RC}$$

### 3.12 オペアンプの位相遅れの原因

オペアンプの位相遅れの原因を、負荷容量を含めて検討していきます。

最も発振が起きやすい全帰還回路(ボルテージフォロア)について位相遅れの原因を Figure 3.12.1.の回路の伝達関数より示します。

$$A(s)(V_{in} - V_{o1}) = V_o$$

$$V_{o1} = \frac{\frac{1}{sC_p}}{r_o + \frac{1}{sC_p}} = \frac{1}{1 + r_o C_p s} V_o$$

上記より、出力インピーダンス(ro)と端子容量を考慮した伝達関数(寄生容量はまとめて Cp としています) は、

$$\frac{V_{o1}}{V_{in}} = \frac{A(s)}{1 + r_o C_p s + A(s)} = \frac{1}{1 + \frac{1 + C_p r_o s}{A(s)}}$$

Cp と ro によりポールが形成されています。

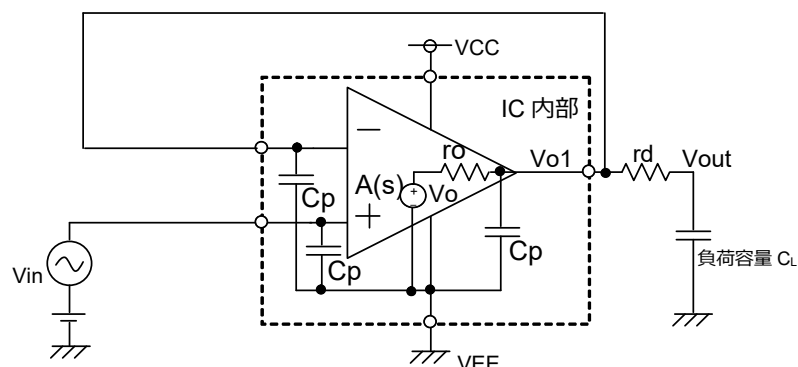
オペアンプはこの影響を考慮して設計されています。

上記の式で Cp = Cp + CL とすると負荷容量を接続した際の伝達関数は

$$\frac{V_{o1}}{V_{in}} = \frac{A(s)}{1 + r_o (C_p + C_L) s + A(s)} = \frac{1}{1 + \frac{1 + (C_p + C_L) r_o s}{A(s)}}$$

と、なります。

Cp+CL と ro によりポールが形成されています。Cp は IC 内部の寄生容量のためほとんど変化はありませんが、負荷容量 CL が大きいとポールの発生する周波数は低くなります。



A(s): オペアンプの伝達関数  $s = j\omega$ ,  $\omega = 2\pi f$

f : 周波数、ro : 出力インピーダンス、Cp : 端子寄生容量、

CL : 負荷容量

Figure 3.12.1. 全帰還回路

#### 位相遅れの原因

- ・出力インピーダンスと端子寄生容量によるポール
- ・出力インピーダンスと負荷容量によるポール  
(意図して付けたもの)
- ・増幅回路を構成した際に帰還抵抗と入力端子寄生容量により発生するポール

### 3.13 安定性の確認方法(増幅回路)

実例として BA2904 の負荷容量  $C_L$  の値による位相と周波数特性の変化を示します。

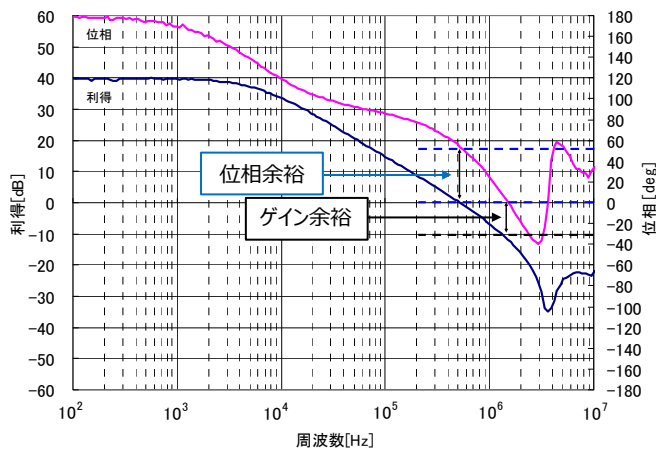


Figure 3.13.1. BA2904 周波数特性( $C_L=25\text{pF}$ )

・ $C_L=25\text{pF}$  のとき

位相余裕 : 55deg → 利得が 0dB になるときの位相

ゲイン余裕 : -10dB → 位相が 0deg になるときの利得

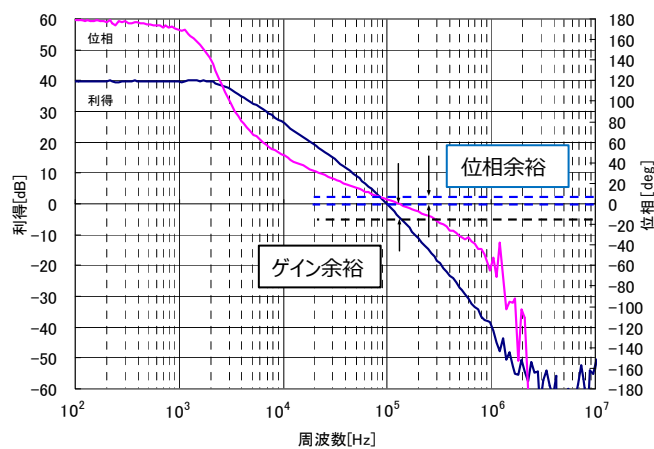


Figure 3.13.2. BA2904 周波数特性( $C_L=0.01\mu\text{F}$ )

・ $C_L=0.01\mu\text{F}$  のとき

位相余裕 : 7deg → 利得が 0dB になるときの位相

ゲイン余裕 : -5dB → 位相が 0deg になるときの利得

位相余裕度は小さいが発振は生じていません。

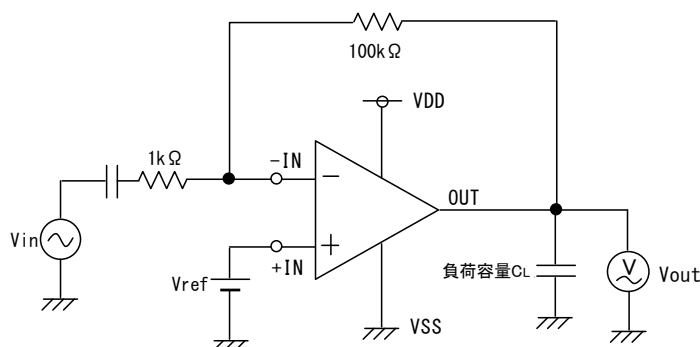


Figure 3.13.3. 反転増幅回路 40dB(100 倍)

- ・増幅回路の発振安定性の確認は位相余裕とゲイン余裕で行います。
- ・反転増幅回路は位相が 180deg から始まるため位相余裕は利得 0dB の位相になります。
- ・非反転増幅回路の位相は 0deg から始まるため位相余裕は 180deg から利得 0dB 時の位相の値の差分になります。
- ・バラツキや温度変化などを考慮し位相余裕は 35deg 以上、ゲイン余裕は -7dB 以下になるように設計を行います。



### 3.14 安定性の確認方法(全帰還回路/ボルテージフォロウ)

位相余裕の考え方を再確認します。

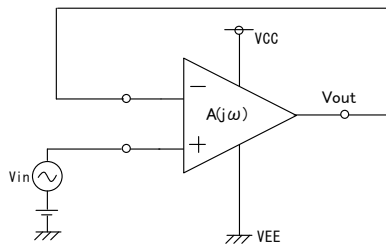


Figure 3.14.1. 全帰還回路

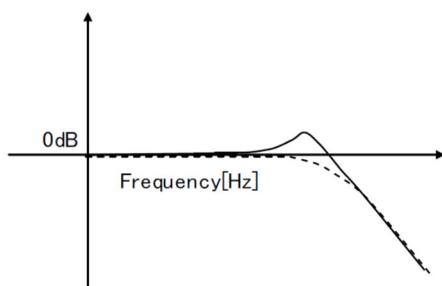


Figure 3.14.2. 測定結果

- ・位相余裕は利得が 1 倍(0dB)になった時に位相遅れ 180deg からどの程度余裕があるかを表します。
- ・ゲイン余裕は位相遅れが 180deg(位相余裕が 0deg)になったとき利得が 1 倍からどの程度、下がっているかを表します。

今まで説明した方法では全帰還回路（利得 0dB）の位相余裕は確認できません。安定性が低下すると、Figure 3.14.2.に示すように周波数特性に利得のピークが発生します。伝達関数を用いて発生するピーク量から位相余裕を計算します。

ボルテージフォロア(全帰還回路)の伝達関数

$$\frac{V_{out}}{V_{in}}(j\omega) = \frac{A(j\omega)}{1 + \beta A(j\omega)}$$

$A(j\omega)$ を複素表示し伝達関数に代入します。

$$A(j\omega) = \exp(j\theta)$$

$$\frac{V_{out}}{V_{in}}(j\theta) = \frac{\frac{1}{\beta} \exp(j\theta)}{\frac{1}{\beta} + \exp(j\theta)} = \frac{\frac{1}{\beta} (\cos \theta + j \sin \theta)}{\frac{1}{\beta} + \cos \theta + j \sin \theta}$$

上記の式に以下の値を代入し計算を行った結果を Figure 3.14.3.に示します。

$$\theta(\omega_1) = -175\text{deg}(5\text{deg}), \theta(\omega_2) = -135\text{deg}(45\text{deg}), \theta(\omega_3) = -120\text{deg}(60\text{deg})$$

$\beta=1$ 、Figure 3.14.3.の結果のように位相余裕 60deg のときピークは 0dB となり最適であるということが分かります。

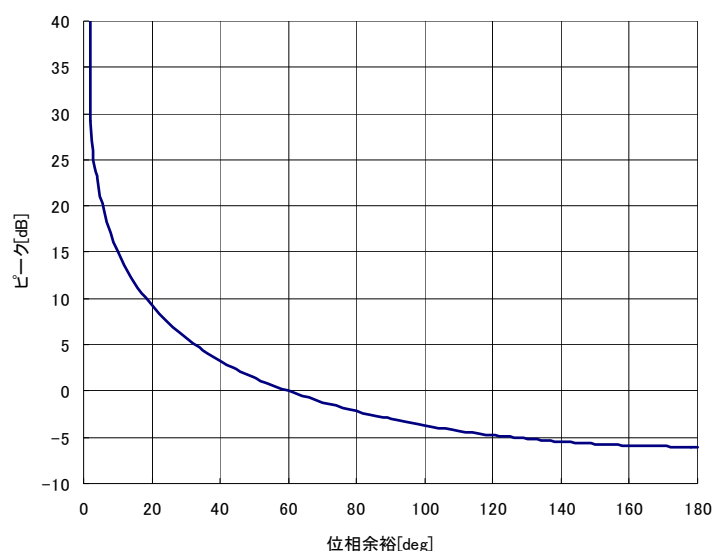


Figure 3.14.3. 利得ピーク計算結果

位相余裕	計算結果[倍]	ピーク[dB]
5deg	11.5	21
45deg	1.3	2
60deg	1	0

- ・ボルテージフォロアの周波数特性を測定し利得のピークから位相余裕を算出できます。
- ・一般的なオペアンプすべてに適用できます。
- ・位相余裕が小さいときは実際にオシロスコープ等で発振の有無を確認します。

### 3.15 安定性の確認方法(まとめ)

増幅回路を構成した場合

- ・増幅回路の発振の確認は位相周波数特性を測定し、位相余裕とゲイン余裕の確認を行います。
- ・反転増幅回路は位相が 180deg から始まるため位相余裕は利得 0deg のときの位相が読み値になります。
- ・非反転増幅回路は位相が 0deg から始まるため、位相余裕は 0dB 時の位相の 180deg との差分になります。
- ・バラツキや温度変化などを考慮し、位相余裕は 35deg 以上を目安に、またゲイン余裕は-7dB より低くなるように設計を行います。  
(一般的に、オペアンプ単体で位相余裕は 60deg~40deg 程度で設計されています。)

### 3.16 負荷容量による発振の対策方法(出力分離抵抗 1)

基本的には前項までの発振を回避する条件を満足することにより発振を防ぐことが可能ですが、出力端子に大容量のコンデンサを接続する場合の発振対策を示します。

Figure 3.16.1.の伝達関数を計算します。

$$A(s)(V_{in} - V_{o1}) = V_o$$

$$V_{o1} = \frac{\frac{1}{sC_p}}{r_o + \frac{1}{sC_n}} = \frac{1}{1 + r_o C_p s} V_o$$

$$\frac{V_{ol}}{V_{in}} = \frac{A(s)}{1 + r_o C_p s + A(s)} = \frac{1}{1 + \frac{1 + C_p r_o s}{A(s)}}$$

$$\frac{V_{out}}{V_{in}} = \frac{1}{1 + r_d C_L s}$$

$$\frac{V_{ol}}{V_{in}} \frac{V_{out}}{V_{ol}} = \frac{A(s)}{1 + r_o C_p s + A(s)} \frac{1}{(1 + r_d C_l s)}$$

全帰還回路(ボルテージフォロア)を構成した場合

- ・入出力間の周波数特性を測定し利得のピークを確認することで、本資料の Figure 3.14.3 より位相余裕を見積もることができます。
- ・Figure 3.14.3 は一般的なオペアンプ全てに適用できます。
- ・位相余裕が小さいときに実際に発振の有無を確認します。
- ・位相余裕はバラツキや温度変化などを考慮し、35deg 以上を目安に設計を行います。

以上の発振の確認は計算では複雑になるため、実験により確認することが一般的です。

$$\frac{V_{out}}{V_{in}} = \frac{A(s)}{(1 + r_o C_p s + A(s))} \frac{1}{(1 + r_d C_L s)}$$

これに対し、Figure 3.12.1 で計算した分離抵抗の無い伝達関数は

$$\frac{V_{ol}}{V_{in}} = \frac{A(s)}{1 + r_o(C_n + C_L)s + A(s)}$$

と、なります。

二つの伝達関数を比較すると出力に接続した容量 CL が分離抵抗 rd により別の伝達関数に分離されていることがわかります。

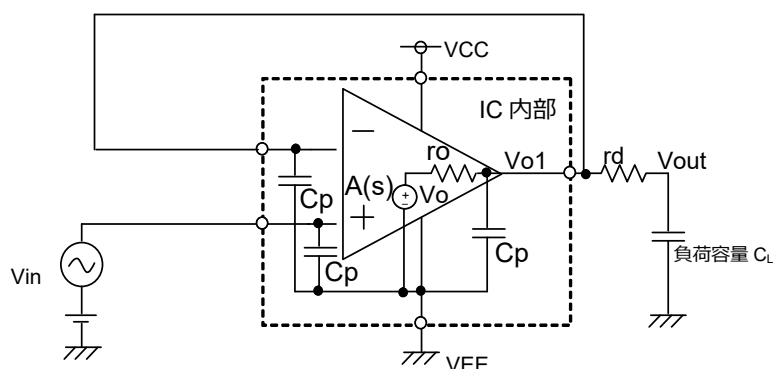


Figure 3.16.1. 出力分離抵抗接続例 1

- ・分離抵抗の値は容量と必要な周波数帯域幅に応じて  $50\Omega \sim$  数百  $\Omega$  程度に設定します。
- ・rd と CL でローパスフィルタを構成するため負荷容量が大きいと回路の帯域が狭くなります。

### 3.17 負荷容量による発振の対策方法(出力分離抵抗 2)

前項で述べた出力分離抵抗を挿入する方法では、出力にローパスフィルタが構成されるため使用方法によっては不都合がある可能性があります。容量と直列に抵抗を挿入することにより、利得のピークを下げます。

Figure 3.17.1.の伝達関数を計算します。

$$A(s)(V_{in} - V_{out}) = V_o$$

$$V_o = A(s)V_{in} - A(s)V_{out}$$

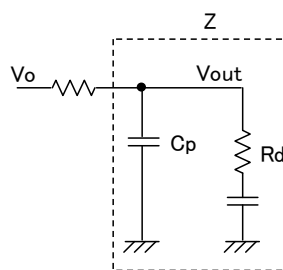
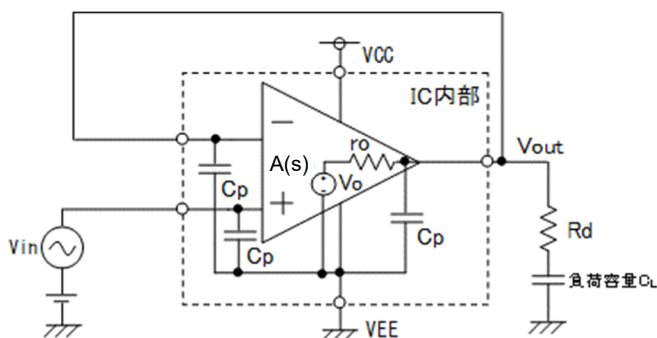
$$V_{out} = \frac{Z}{r_o + Z} V_o$$

$$(1 + \frac{r_o}{Z})V_{out} = A(s)V_{in} - A(s)V_{out}$$

$$(A(s) + 1 + \frac{r_o}{Z})V_{out} = A(s)V_{in}$$

$$\frac{V_{out}}{V_{in}} = \frac{A(s)}{A(s) + \frac{1}{Z}r_o + 1}$$

$$\frac{V_{out}}{V_{in}} = \frac{1}{A(s) + \frac{1 + sC_p(R_d + \frac{1}{sC_L})}{R_d + \frac{1}{sC_L}}r_o + 1}$$



$$Z = \frac{1}{sC_p + \frac{1}{R_d + \frac{1}{sC_L}}} = \frac{R_d + \frac{1}{sC_L}}{1 + sC_p(R_d + \frac{1}{sC_L})}$$

$$\frac{V_{out}}{V_{in}} = \frac{1}{A(s) + r_o \frac{C_L + C_p(sC_L + 1)}{sC_L R_d + 1} s + 1}$$

これに対し、Figure 3.12.1 で計算した分離抵抗の無い伝達関数は

$$\frac{V_{ol}}{V_{in}} = \frac{A(s)}{1 + r_o(C_p + C_L)s + A(s)}$$

伝達関数のこの部分が異なります。

式Aの下線部分の周波数特性を解析します。

$s = j\omega = j2\pi f$  とします。

$$X = \frac{C_L + C_p(sC_L + 1)}{sC_L R_d + 1}$$

$f \rightarrow 0$  のとき  $s \rightarrow 0$ ,  $X \rightarrow C_L + C_p$

$f \rightarrow \infty$  のとき  $s \rightarrow \infty$ ,  $sC_L R_d \gg 1$ ,  $C_L \ll C_p(sC_L + 1)$ ,  $sC_L \gg 1$  より  $X \rightarrow C_p/R_d$  に収束します。

以上より負荷容量  $C_L$  の影響が除去できていることが分かります。

・分離抵抗の値は容量と必要な周波数 帯域幅に応じて  $50\Omega \sim$  数百  $\Omega$  程度に 設定します。

Figure 3.17.1. 出力分離抵抗接続例 2

### 3.18 全高調波歪率+雑音 THD+N (Total Harmonic Distortion + Noise)

全高調波歪率+雑音とは入力される信号に対し、出力信号に含まれる高調波成分と雑音成分の割合を表したものです。

高調波成分や雑音が含まれるということは、入力信号と比較した場合に波形が忠実に再現されていない、つまり歪が生じているということになります。

$THD+N = (\text{高調波成分と雑音成分の和}) / (\text{出力電圧})$

高調波成分はオペアンプ回路の非線形性から生じます。たとえばバイポーラトランジスタの電流-電圧の静特性は指数関数となっているため増幅率が入力電圧に対して非線形な関数になることなどに起因します。

雑音は 3.19 入力換算雑音の項にて詳細に説明しますが、IC 内部の半導体素子や抵抗などの周辺部品からも生じます。

オペアンプの出力信号には、これらの成分が混在しており波形を歪ませています。

オペアンプで増幅回路を構成する際の増幅率と雑音の影響について説明します。増幅回路は入力信号だけでなく雑音成分も増幅します。信号を増幅する際に増幅率の大きい回路を構成し、同じ大きさの出力振幅を得た場合、雑音電圧は利得倍に増幅されるため、回路利得が大きいほど出力信号の歪率は大きくなります (Figure 3.18.1)。

また、増幅率が一定である場合、出力振幅が小さい方が雑音電圧の割合が多くなるため、歪率は悪化します。

スルーレートの項でも述べましたが、信号周波数が高くなるにつれ出力可能な振幅は小さくなるため、波形がスルーレートにより制限され歪率が増加します。

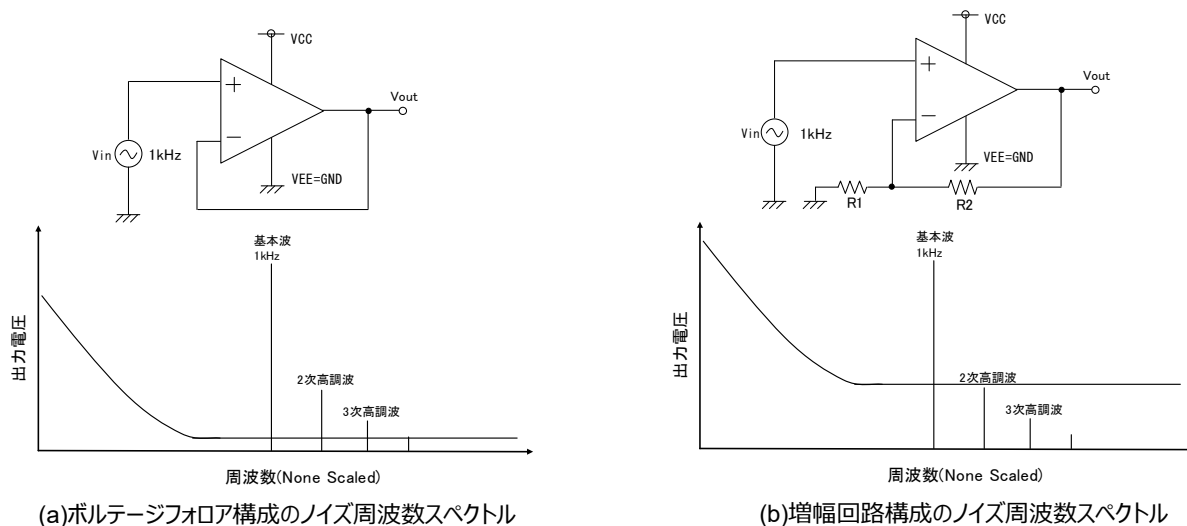


Figure 3.18.1. THD+N のノイズ周波数スペクトル

次に Figure 3.18.2 に THD+N vs. 出力電圧の特性例を示します。

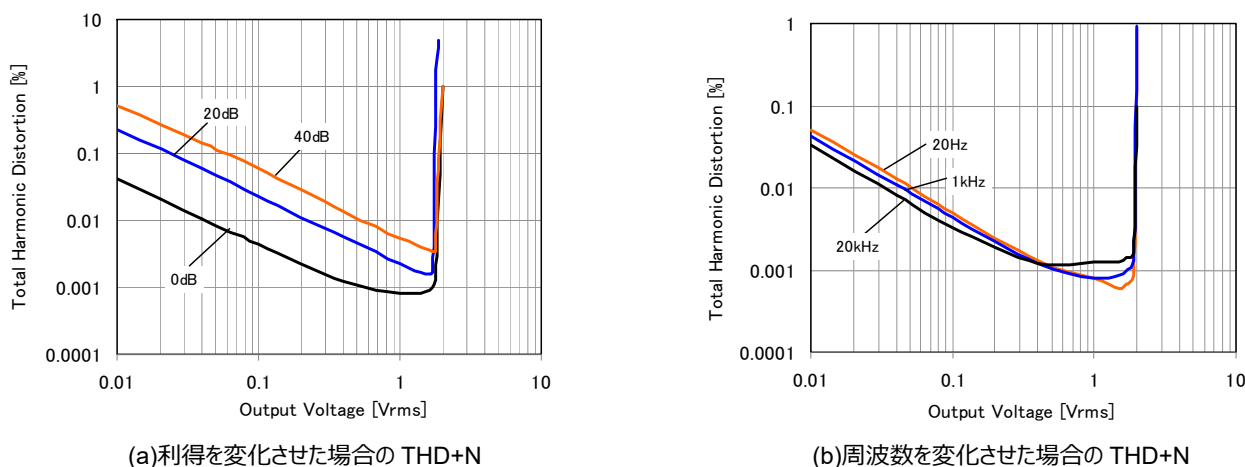


Figure 3.18.2. THD+N vs. 出力電圧特性例

次に、オペアンプの出力波形を歪ませる原因について説明します。

#### 入力クロスオーバー歪

入力フルスイングオペアンプ、特に差動入力段を 2 種類(PMOS/NMOS、PNP/NPN)持ったオペアンプはそれぞれの差動入力段の動作領域において独立した入力オフセット電圧を持つため、図に示すように同相入力電圧範囲内で入力オフセット電圧の変動が起こります。この段差を入力信号が横断(クロスオーバー)することにより、出力信号に歪が発生します。

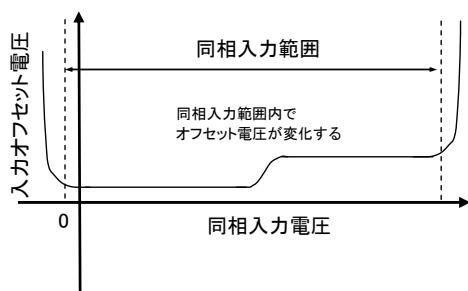


Figure 3.18.3. 同相入力範囲内のオフセット電圧変動

出力クロスオーバー歪とオペアンプの出力回路について

出力クロスオーバー歪とはオペアンプの出力回路構成により発生する歪であり、別名スイッチング歪とも言われます。3.11 の負帰還システムの効果で示したように、出力で発生する歪は負帰還の効果により式 (3.11.5) に示されるように、低周波数においてオペアンプの開放利得  $A(s)$  が大きい時は帰還量により抑制されます。開放利得  $A(s)$  が高周波において小さくなるにつれ抑制効果は薄れ歪は次第に大きくなります。ただし、次項の C 級動作の説明に記載されているように 358/2904 系のオペアンプの出力段は A 級動作と C 級動作が出力シンク電流量により切り替わるため、このような歪は帰還により抑制することはできません。

以下にクロスオーバー歪が発生する原理とオペアンプの出力段の種類について A 級出力段及び、B 級、C 級、AB 級プッシュプル出力段を説明します。Figure 3.18.4 にクロスオーバー歪のイメージを示します。

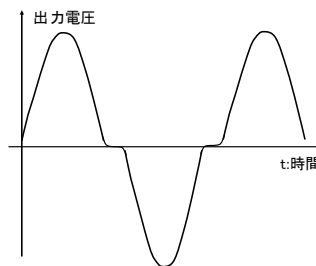


Figure 3.18.4. 出力クロスオーバー歪

#### A 級出力段

A 級出力段は定電流源により常に出力段にドライブ電流が流されている出力段です。利点としては常に電流が流れており Q1 はつねに動作領域にあるためクロスオーバー歪は発生しませんが、無信号時にもドライブ電流を流し続けるため消費電力が大きいたことが挙げられます。定電流源により出力をドライブしているため、ソース電流(アンプから流れ出る電流)は定電流源の能力に制限され重い負荷はドライブすることはできません。(負荷が重い場合は波形が歪みます)

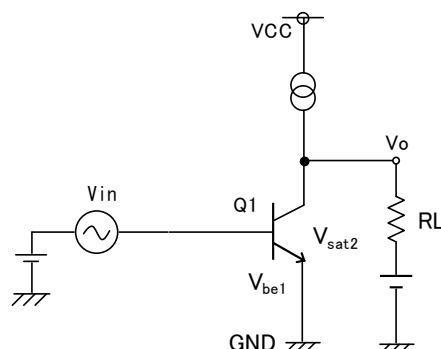


Figure 3.18.5. A 級出力段

## B 級プッシュプル出力段

Figure 3.18.6 の(a)B 級プッシュプル出力段において縦軸を出力電圧、横軸を入力電圧とした時 Q1 が動作する領域と Q2 が動作する領域が不連続になっているため、出力波形に歪が発生します。このように  $2V_{be}$  分の不連続な出力特性を持つ出力段を B 級出力段といいます。特長としては、出力段にアイドリング電流が流れないため低消費電流であることが挙げられます。

## C 級プッシュプル出力段

Figure 3.18.6 の(b)C 級プッシュプル出力段について、この回路は 2904 や 358 と言った一般的な単電源オペアンプに採用されています。単電源でオペアンプを使用する場合、回路の DC 動作点を決めるバイアス電圧を与えて使用します。さらに、オペアンプの出力に負荷抵抗を接続した場合、特に負荷の吊り先がバイアス電圧に近い状態においては、抵抗  $R_L$  の両端に電位差が無い状態に近いためアンプの出力段には電流は流れ込みません。この状態からアンプの出力電圧振幅が変動すると抵抗の両端に電位差が生じアンプへの流れ込み電流が発生します。この流れ込み電流が定電流源の電流値である  $40[\mu A]$  以下の時は A 級出力段として動作しますが、 $40[\mu A]$  を超えると、トランジスタ Q2 が動

作を始め、C 級に動作が遷移しトランジスタの動作が不連続となります。これがクロスオーバー歪を発生させる原因となります。歪を緩和するためには、オペアンプの出力に流れ込む電流量を定電流源の電流値以下に減少させることが挙げられます。また、出力に接続された負荷抵抗以外にも、帰還抵抗も負荷として働くため注意が必要です。

## AB 級プッシュプル出力段

Figure 3.18.6 の(c)AB 級プッシュプル出力段は 4558/4560 と言った両電源のローノイズオペアンプに採用されています。AB 級プッシュプル出力段とは B 級プッシュプル出力段にダイオード接続されたトランジスタ 2 個を接続することによりトランジスタ Q1、Q2 が常時 ON するようにバイアス電圧を設定しており、出力段にドライブ電流が流れるように改良した出力段です。出力段の NPN、PNP トランジスタはドライブ電流により常に動作しているため、切り替わり動作はスムーズに行われ、クロスオーバー歪は発生しにくくなっています。ただし、出力段の電流能力でドライブしきれない重い負荷抵抗を接続した場合、AB 級出力段においても歪は発生する場合があります。

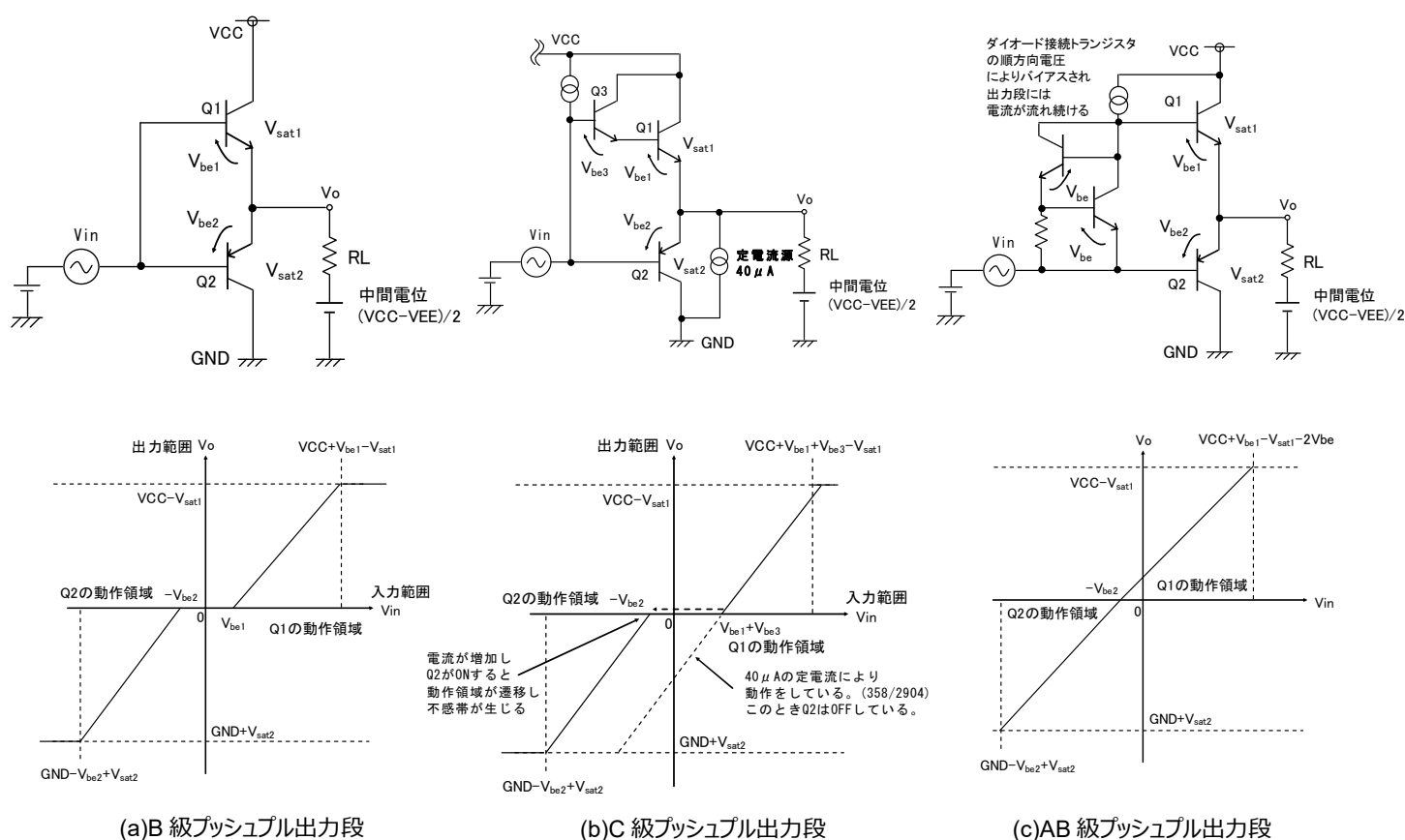


Figure 3.18.6. オペアンプ出力等価回路

負荷が重い場合の出力歪みについて

負荷抵抗、負荷容量などをオペアンプの出力端子に接続した場合、その値によっては歪の原因となります。ここでは出力へ RC フィルタを接続した際に発生する歪について説明します。原因としては、容量への充放電電流があげられオペアンプのソース電流、シンク電流能力を上回った場合に歪が発生します。Figure 3.18.7 に RC フィルタ回路を示します。

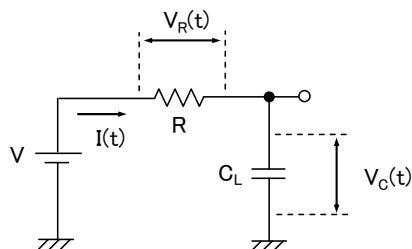


Figure 3.18.7. RC フィルタ

Figure 3.18.7 よりコンデンサに充電される電流の初期値(最大値)を求めます。ただしコンデンサの初期電荷はゼロとします。

コンデンサに流れる初期電流は式(3.18.1)となります。

$$I(t) = \frac{V}{R} \exp\left(-\frac{1}{CR}t\right) \quad (3.18.1)$$

上記の式より初期充電電流は抵抗と電圧のみで決まるため充電電流の最大値がオペアンプの出力電流能力を上回るか確認可能です。過剰な電流が流れた際に出力電圧に影響を及ぼすことは 3.5 節の最大出力電圧でも取り上げています。

例として 2904 の出力電流について考えてみます。R=100Ω にてフィルタを構成する際に 5Vpp の振幅を出力するには電流は 50mA 必要となります。2904 の電流能力は 20mA 標準であり、能力をオーバーしているため出力電圧範囲が狭くなり、波形に歪が発生すると考えられます。R=10kΩ であれば 0.5mA なので波形は歪むことはありません。放電電流についても考え方は同様となります。Figure 3.18.8 に出力電流と歪みの関係を、Figure 3.18.9 に波形歪みの例を示します。

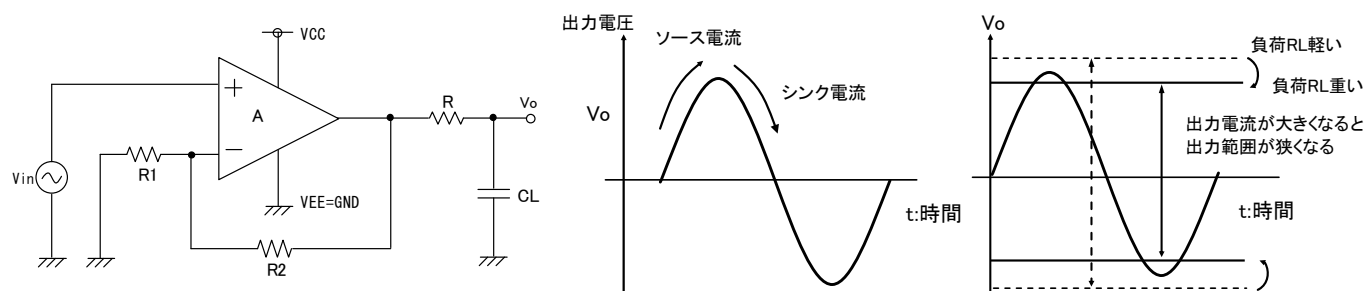


Figure 3.18.8. 出力電流と歪みの関係

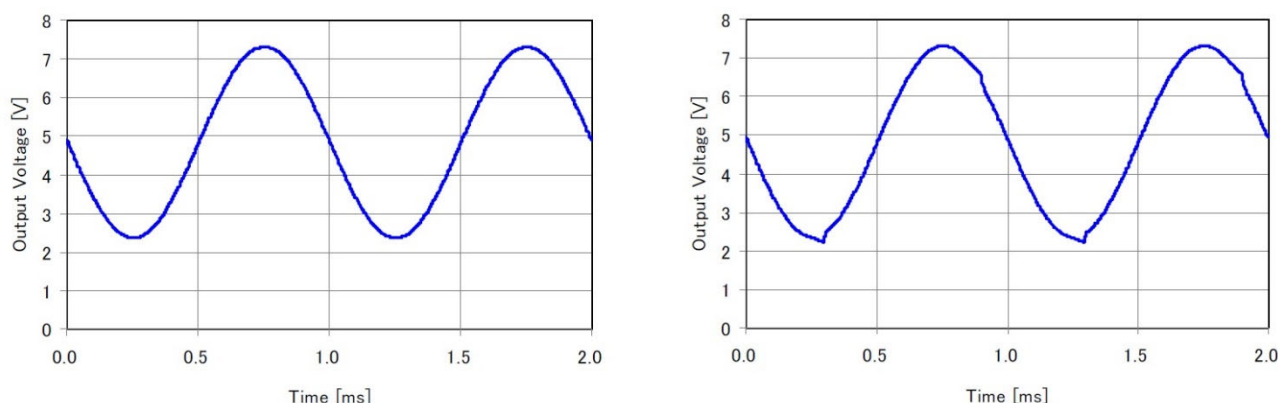


Figure 3.18.9. BA2904 での波形歪みの例



### 3.19 入力換算雑音

ノイズには外来雑音と内部雑音の 2 種類があり、オペアンプの内部雑音は電子回路の内部で生じる雑音で、熱雑音、 $1/f$  雑音、ショット雑音、分配雑音などがありオペアンプの出力で雑音として観測されます。出力雑音を入力雑音に換算したものを、入力換算雑音電圧と言います。入力換算雑音電圧は通常  $V_{RMS}$  などの単位で表され、規定された周波数帯域におけるノイズの大きさを表します。入力換算雑音電圧密度は  $nV/\sqrt{Hz}$  の単位で表され、単位周波数あたりのノイズ電圧密度を表します。雑音密度に雑音帯域を掛け合わせたものが雑音電圧となります。入力オフセット電圧と同様に、オペアンプはさまざまな回路構成、増幅率で使用されるため、入力換算値として表現することにより利便性が良くなります。

#### 雑音の種類について

雑音は電子の時間的に不連続なランダム運動により生じます。抵抗器や半導体素子から発生する雑音は主に熱雑音、ショット雑音、 $1/f$  雑音(フリッカ雑音)です。雑音が発生する主なメカニズムとしては、以下の内容があげられます。

#### 熱雑音(サーマルノイズ)

自由電子のランダムな熱運動により生じる雑音です。導体中の自由電子はブラウン運動によりランダムに動き回ります。これにより微小ですが電圧の揺らぎが発生します、これが熱雑音です。広範囲の周波数帯に分布し白色雑音とも呼ばれます。導体に流れる電流量に依存せず、温度変化によりノイズ量が変わります。

抵抗  $R[\Omega]$  に発生する熱雑音  $V_{nT}$  は次式で表されます。

$k$ :ボルツマン定数  $1.38 \times 10^{-23} [J/K]$ 、 $T$ :絶対温度[K]、 $\Delta f$ :雑音を見積もる帯域幅[Hz]とします。

$$\overline{V_{nT}^2} = 4kTR\Delta f \quad (3.19.1)$$

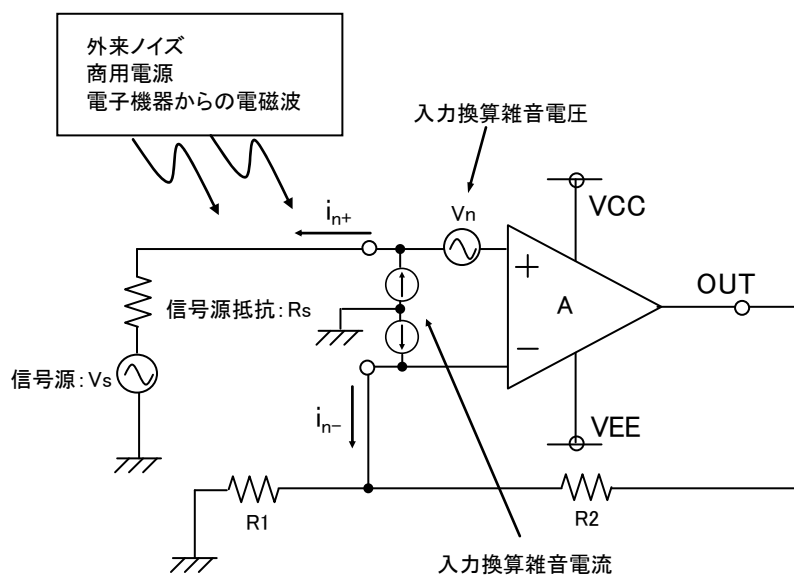


Figure 3.19.1. オペアンプの雑音

### ショット雑音

半導体内部で電流が流れる際に、個々のキャリア(電子や正孔)は不規則に運動しながら空乏層(PN 接合)を通過しているため、川の水面が波立つように電流にも揺らぎが生じています。発生する雑音の大きさは接合に流れる平均電流値に依存します。また、キャリアの走行時間に関係し、走行時間が無視できる(周波数が高くなると無視できない)領域まではほぼ一定となります。

広範囲の周波数領域に分布(白色雑音)しています。接合を流れる電流を  $I_D$ 、 $q$ :電荷素量  $1.6 \times 10^{-19}[\text{C}]$ 、 $\Delta f$ :雑音を見積もる帯域幅 [Hz]とすると、発生するショット雑音の雑音電流  $i_{ns}$  は式(3.19.2)で表されます。

$$\overline{i_{ns}^2} = 2qI_D\Delta f \quad (3.19.2)$$

### 1/f 雑音(フリッカノイズ)

半導体界面に発生している未結合手にキャリアが捕獲(トラップ)、放出(リリース)されることにより通常のキャリア走行とは異なる電流が発生

します。これがフリッカノイズと呼ばれ低周波になるほど発生する頻度が高くなるため、周波数に反比例するという意味で  $1/f$  ノイズと呼ばれています。原理としては  $\text{SiO}_2$  とシリコン結晶の界面にダングリングボンドと言われる未結合手が存在することに起因すると言われていています。これは、シリコン分子が共有結合をしている結合手が  $\text{SiO}_2$  の界面で不連続となっているため、キャリアがシリコン界面を走行する際にトラップ、リリースが発生します。これにより電流に揺らぎが生じ、ノイズとなります。

$K_f$ : 製造プロセスに依存して決まる定数、 $I$ : 直流電流、 $f$ : 周波数、 $\Delta f$ :雑音を見積もる帯域幅 [Hz]とすると、

$$\overline{i_{nf}^2} = K_f \frac{I}{f} \Delta f \quad (3.19.3)$$

これらの他にも半導体で発生するノイズが存在します。電流が異なった経路に分流する事により発生する分配雑音やオーディオ帯域付近の低周波数領域で発生するバーストノイズ(ポップコーンノイズ)などがあります。

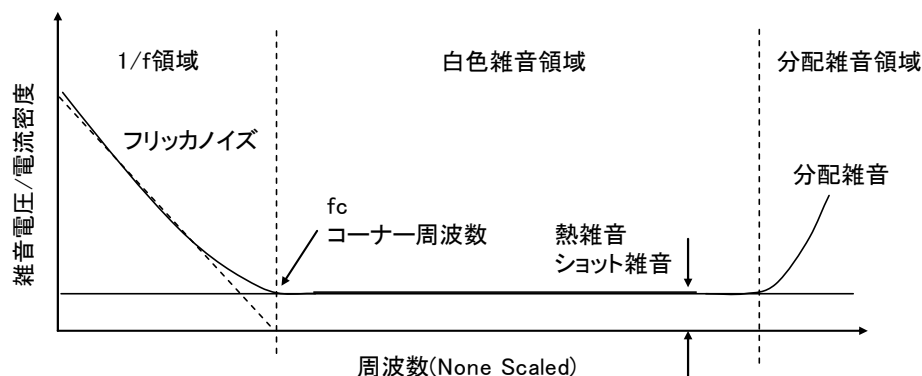


Figure 3.19.2. 入力換算雑音電圧の周波数スペクトルイメージ

先にも述べたようにオペアンプ内部では、さまざまな雑音が発生し、出力にノイズとして現れます。Figure 3.19.3 の非反転増幅回路を用いてオペアンプの入力換算雑音がどのように応用回路に影響を与えるかを考えます。

#### オペアンプの入力換算雑音電圧/雑音電圧密度

入力端子を短絡した際にオペアンプ内部(主に差動増幅段)で発生するノイズが増幅され、雑音として出力に現われます。この出力ノイズを回路の増幅率で除したものが入力換算雑音電圧  $V_n$  となります。これはあたかもアンプにノイズが入力され増幅されているように見えることから入力換算としていますが、実際は Figure 3.19.3 のようにオペアンプの内部で発生しており、入力端子にノイズ電圧が発生しているわけではありません。

#### オペアンプの入力換算雑音電流/雑音電流密度

入力換算雑音電流は、先にも述べましたがトランジスタの電流のゆらぎや分配電流によるノイズにより発生します。

これは実際にオペアンプの入力端子から外部へ出力されるため、外付け抵抗や信号源抵抗により電圧に変換され入力換算雑音電圧の一部として影響を与えます。回路定数、回路構成などの外部環境により影響が異なります。Figure 3.19.3 では  $R_1$ 、 $R_2$ 、 $R_s$  により雑音電圧

に換算されます。反転端子のノイズ電流  $i^-$  と非反転端子のノイズ電流  $i^+$  には相関性は無く、それぞれランダムに発生します。そのため打ち消されることはありません。

#### 外付け抵抗と信号源抵抗の熱雑音

外付け抵抗や信号源は熱雑音源となります。熱雑音電圧はそれぞれの抵抗に直列に雑音電圧源として表現されます。

これらを考慮して入力換算雑音電圧密度を求めます。抵抗の熱雑音電圧密度は式(3.19.1)を用います。それぞれの抵抗で発生する雑音電圧を計算し、オペアンプの入力換算雑音電流を外付け抵抗にて雑音電圧に変換します。雑音は電力として扱うため2乗平均で与えられます。また Figure 3.19.3 において利便性のため  $i_{n+}=i_{n-}=i_n$  と仮定します。またノイズはランダムに発生するためそれぞれの項には極性はありませぬ。 $V_n$  : オペアンプの入力換算雑音電圧密度、 $i_n$  : オペアンプの入力換算雑音電流密度とすると入力換算雑音電圧密度は式(3.19.4)となります。この式は Figure 3.19.4 に示されるように雑音源をすべて1つにまとめ、非反転入力端子に接続しているのと同義となります。

$$V_{na}^2 = V_n^2 + [R_s^2 + (R_1 // R_2)^2] i_n^2 + 4kT[R_s + (R_1 // R_2)] \quad (3.19.4)$$

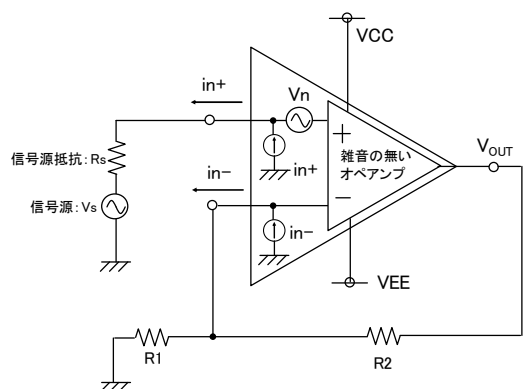


Figure 3.19.3. 非反転増幅回路雑音等価回路

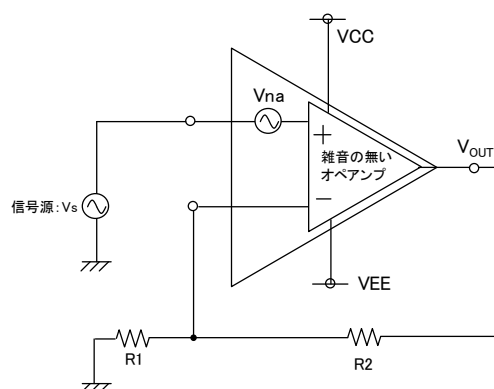


Figure 3.19.4. 非反転増幅回路雑音等価回路  
(雑音源をIN+に集約)

次に非反転増幅回路の出力雑音電圧を求めます。

抵抗による出力雑音電圧を式(3.19.5)に示します。

オペアンプの入力換算雑音電圧による出力雑音電圧を式(3.19.6)に示します。

オペアンプの入力換算雑音電流による出力雑音電圧を式(3.19.7)に示します。

非反転増幅回路のノイズゲイン $(1+R_2/R_1)$ を  $G_1$ 、 $(R_2/R_1)$ を  $G_2$  と置き  $i_{n+}=i_{n-}=i_n$  と仮定します。合計の出力雑音電圧は式(3.19.8)で表されます。

ノイズゲインは雑音源が存在する場所から出力までの利得となります。

式(3.19.7)の各項をノイズゲインの 2 乗で除せば先に求めた式(3.19.4)入力換算雑音電圧と同等になります。

応用回路のノイズを減少させるには、フリッカノイズが発生しない金属皮膜抵抗を用いることや、回路定数(抵抗値)を大きくすぎないこと、ローノイズオペアンプを使用するなどが挙げられます。ローノイズオペアンプと呼ばれている製品はオペアンプ自身の持つ入力換算雑音電圧が小さく設計されており、おもにセンサなどの高精度増幅用途やオーディオ用途に用いられます。

$$V_{n2} = \sqrt{4kTR_2} \quad V_{n1} = \sqrt{4kTR_1} \left( \frac{R_2}{R_1} \right) \quad V_{ns} = \sqrt{4kTR_s} \left( 1 + \frac{R_2}{R_1} \right) \quad (3.19.5)$$

$$V_{nOP} = V_n \left( 1 + \frac{R_2}{R_1} \right) \quad (3.19.6)$$

$$V_{ni-} = i_{n-} (R_1 // R_2) \quad V_{ni+} = i_{n+} R_s \left( 1 + \frac{R_2}{R_1} \right) \quad (3.19.7)$$

$$V_{no}^2 = (V_n G_1)^2 + (i_n R_s G_1)^2 + (i_n R_1 // R_2)^2 + 4kTR_2 + \left( \sqrt{4kTR_1} G_2 \right)^2 + \left( \sqrt{4kTR_s} G_1 \right)^2 \quad (3.19.8)$$

## コンパレータ固有の項目

### 3.20 応答時間 (立ち上がり/立ち下がり時間、伝搬遅延時間)

コンパレータの応答時間とは立ち上がり時間、立ち下がり時間、立ち上がり伝搬遅延時間、立ち下がり伝搬遅延時間にて規定されます。立ち上がり時間とは出力信号振幅の 10% から 90% に達するまでの時間を言い、立ち下がり時間とは出力信号振幅の 90% から 10% に達するまでの時間を言います。伝搬遅延時間とは基準電圧から出力電圧振幅の 50% の値に達するまでの時間で規定されます。伝搬遅延時間を評価する際は、Figure 3.20.1 に示すように基準電圧と信号レベルの電位差(オーバードライブ電圧)を変化させて評価を行います。オーバードライブ電圧が小さければ小さいほど伝搬遅延時間は遅くなります。また、TTLレベルの入力信号(3.5[Vpp])を印加して評価する場合もあります。Figure 3.20.1 にコンパレータの入力・出力波形を示します。

コンパレータにはオープンコレクタタイプ(CMOS はオープンドレイン)とプッシュプルタイプ(CMOS)が存在しています。

オープンコレクタ(ドレイン)タイプの特徴として、コンパレータ出力段に High を出力するための回路が無いため、外付け抵抗にてプルアップする必要があります。プルアップ電圧  $V_{RL}$  の値を変えることによりコンパレータの電源とは異なる出力 High 電圧を設定することができます。また注意点としてオープンコレクタタイプの立ち上がり時間は外付けプルアップ抵抗と負荷容量あるいは寄生容量による時定数に影響を受けます。

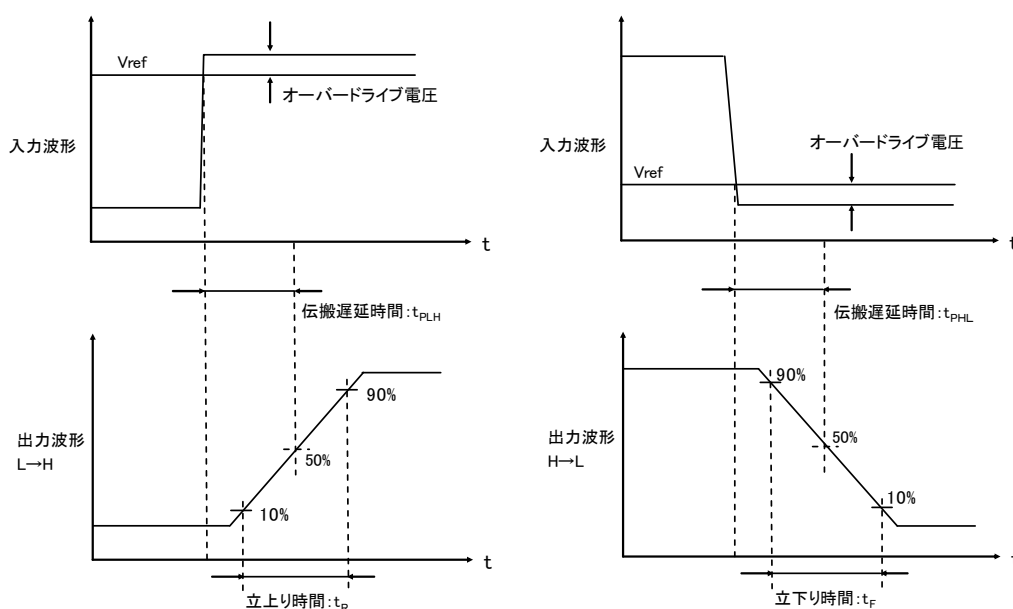


Figure 3.20.1. コンパレータの応答時間

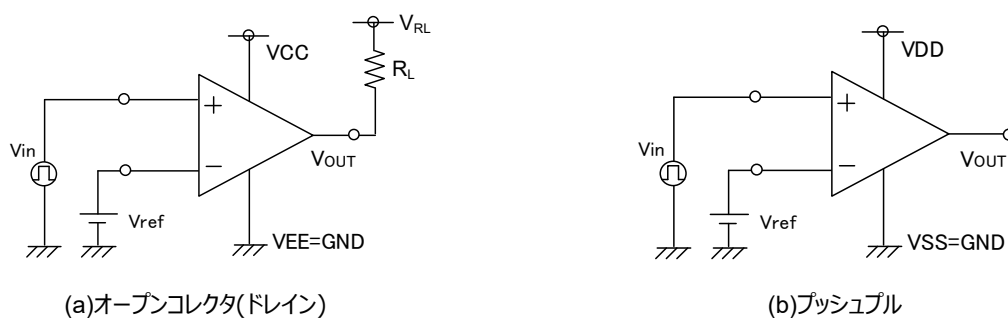


Figure 3.20.2. コンパレータ応答時間測定回路

## オペアンプをコンパレータとして使用する際の注意点

位相補償容量を内蔵しているオペアンプの出力波形はスルーレートにより立ち上がり時間と立ち下がり時間が制限されます。スルーレートは位相補償容量を充電・放電する時間により決まります。コンパレータの場合、位相補償容量がないため、オペアンプよりも早い立ち上がり時間、立ち下がり時間で応答します。また、内部の回路構造によってはコンパレータとして使用するのに適さないものも存在します。

一般的にオペアンプには立ち上がり時間や伝搬遅延時間の規定は存在しませんが、立ち上がり時間、立ち下がり時間については出力振幅が分かればスルーレート( $SR=[V/\mu s]$ )より推定することが可能です。

また、伝搬遅延時間については規定がされていないため高速応答が必要な場合や、ばらつきを懸念する場合はコンパレータを使用することを推奨します。

オペアンプの中には端子構造の2.2 差動耐圧の項で説明したように端子間にクランプ用の保護ダイオードが接続されているものもあり、その場合は端子間に電流が流れるためコンパレータとして使用できません。また、これと同義ですが、差動入力耐圧が電源の最大定格電圧よりも低い機種はコンパレータとして使用する際は最大定格を超えないように注意が必要となります。

## 4 信頼性項目

### 4.1 静電破壊耐圧(ESD 耐圧)

信頼性試験項目の一つとして静電気に対する破壊耐性があります。IC に静電気が印加された際の破壊現象の例として以下のような現象が挙げられます。

- ・酸化膜の絶縁破壊  
トランジスタが MOS 構造の場合、ゲート酸化膜に高電界がかかることによって生じます。
- ・PN 接合の熱破壊  
静電気により IC 内部の PN 接合に過大な電流が流れ、接合部の熱破壊を生じます。
- ・配線の溶断  
配線の許容電流量を超えた過電流が流れた場合、熱破壊を生じます。

半導体製品の取り扱い時に受ける静電気ストレスのモデルとして以下の項目が挙げられます。

- ・HBM ( Human Body Model 人体モデル)  
人体モデルは人体に帯電した電荷が半導体製品に接触した時に放電される現象をモデル化したもので容量と抵抗によりモデリングされます。  
 $C_{ESD}=100[pF]$ 、 $R_{ESD}=1.5[k\Omega]$

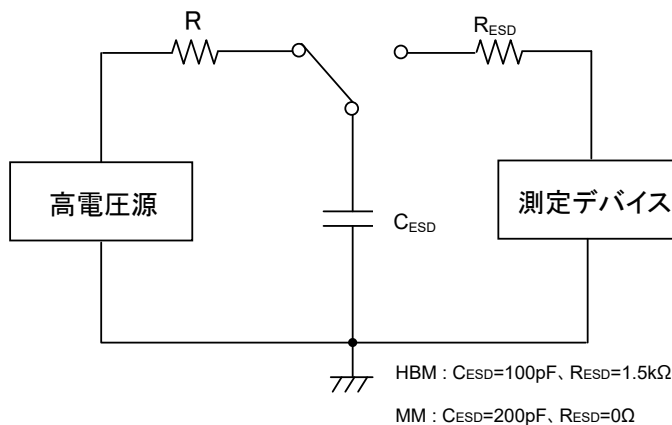


Figure 4.1.1. HBM、MM 簡易試験回路

- ・MM (Machine Model マシンモデル)  
マシンモデルは人体モデルよりも容量が大きく、電気的抵抗が小さい金属でできた機器などに帯電した電荷が半導体製品に接触した時に放電される現象をモデル化したものです。  
 $C_{ESD}=200[pF]$ 、 $R_{ESD}=0[\Omega]$   
古い規格であるため現在は主流ではなくなりつつあります。
- ・CDM (Charged Device Model )  
半導体製品自体が帯電した場合に、金属などと接触した際に放電される静電気に対する耐性を評価する方法です。

Figure 4.1.1 に人体モデルとマシンモデルの簡易試験回路を示します。

容量  $C_{ESD}$  を高電圧源で充電し、 $R_{ESD}$  の抵抗を通して電荷を放電させ、破壊の有無を確認します。

試験は正・負両極性に対し行われます。静電気を印加する時のコモン端子は VEE 端子 (GND 端子) あるいは VCC 端子が一般的です。通常、IC には静電気に対する保護回路が設けられており、回路内部に過大な電流が流れないように対策がとられています。保護回路の役割は静電気によるサージをコモン端子に逃がすことであり、低インピーダンスの電流経路を確保しています。また、CMOS デバイスのゲートに対しホットキャリアのチャージを防ぐために端子に直列に抵抗を接続する場合があります。保護回路例を Figure 4.1.2 に示します。

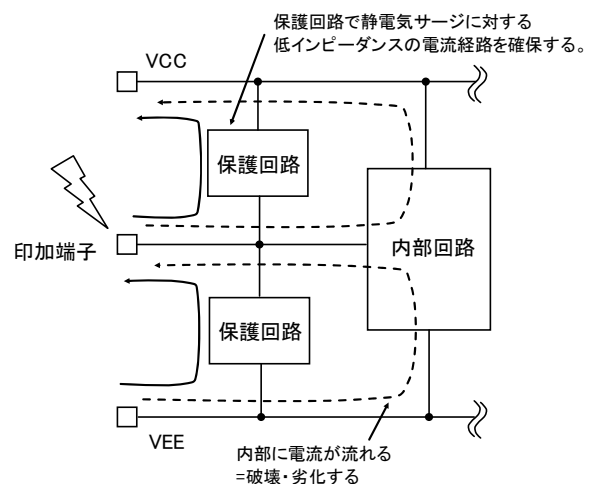


Figure 4.1.2. IC の静電気保護回路例



Figure 4.1.3 に CDM 試験等価回路を示します。

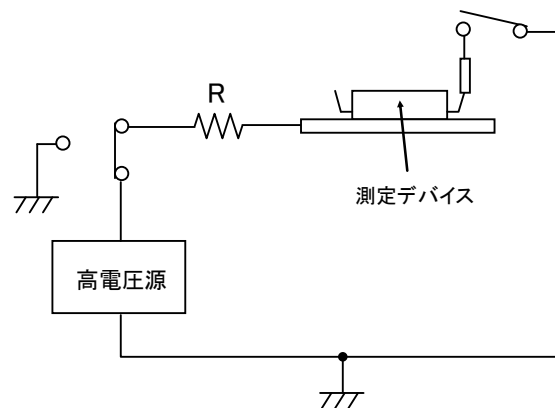


Figure 4.1.3. CDM 試験等価回路

## 4.2 ラッチアップ試験

ラッチアップとは、主に CMOS デバイスにより構成された IC で起きる現象であり、素子間に発生した寄生バイポーラトランジスタが電氣的なノイズや静電気試験などのパルス電流や電圧により動作し、異常な動作を起こす現象です。

過電流が流れ続け破壊してしまう場合や、回路電流が増加し出力電圧が固定してしまうなど症状は多岐にわたり、破壊が起きない場合は電源を一度 OFF にすると正常動作に復帰するなどの特徴もあります。どの場合も回路電流が増加するため、回路電流をモニターすることによりラッチアップが起きているか判定を行うことができます。

通常ラッチアップは、IC の設計段階においてレイアウトの手法により寄生素子の能力を抑制するように設計されます。

ラッチアップに対する IC の耐性を評価する方法として以下の方法が挙げられます。

### ・電流ラッチアップ試験

電流パルスによるトリガを IC に与え、ラッチアップ発生の有無を確認します。正・負の両極性の電流を印加します。

### ・電圧ラッチアップ試験

過電圧パルスによるトリガを IC に与え、ラッチアップ発生の有無を確認します。

どちらの試験においても回路電流をモニターすることによりラッチアップの判定を行います。

Figure 4.2.1 にラッチアップ試験回路を示します。

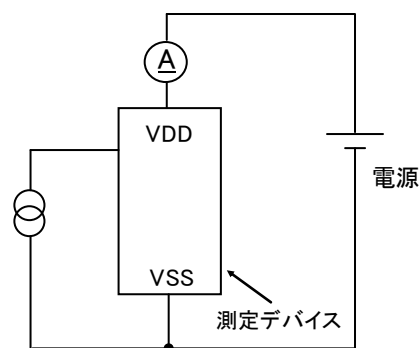


Figure 4.2.1. ラッチアップ試験回路

## ご 注 意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本資料に記載されている内容は製品のご紹介資料です。ご使用に際しては、別途最新の仕様書を必ずご請求のうえ、ご確認ください。
- 3) ロームは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。  
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もロームは負うものではありません。
- 4) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。  
したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 5) 本資料に記載されております技術情報は、製品の代表的動作および応用回路例などを示したものであり、ロームまたは他社の知的財産権その他のあらゆる権利について明示的にも黙示的にも、その実施または利用を許諾するものではありません。上記技術情報の使用に起因して紛争が発生した場合、ロームはその責任を負うものではありません。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ロームへ必ずご連絡の上、承諾を得てください。  
・輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。  
・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もロームはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ロームはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。  
お客様がかかる法令を順守しないことにより生じた損害に関して、ロームは一切の責任を負いません。  
本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をロームの許可なく、転載・複写することを堅くお断りします。



ローム製品のご検討ありがとうございます。  
より詳しい資料やカタログなどご用意しておりますので、お問合せください。

## ROHM Customer Support System

<https://www.rohm.co.jp/contact/>