お客様各位

# 資料中の「ラピスセミコンダクタ」等名称の ラピステクノロジー株式会社への変更

2020 年 10 月 1 日をもって、ラピスセミコンダクタ株式会社の LSI 事業部門は、ラピステクノロジー株式会社に分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1st day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. (“LAPIS Technology”) and LAPIS Technology succeeded LAPIS Semiconductor’s LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.
October 1, 2020

# ML7416N-060

MCU 内蔵 Sub-GHz(900MHz 帯)広帯域 RF トランシーバ IC

## ■1.概要

ML7416 は、MCU 部と RF 部を 1 チップに集積した低消費電力対応サブ GHz 広帯域無線通信用 LSI です。

特長を以下に示します。**※RF 部詳細については ML7396B データシート(FJDL7396A_B_E)をご参照願います。**

- 業界標準 CPU コア ARM®社の Cortex®-M0+搭載　※最大動作周波数 40MHz
- 512KB Flash メモリ搭載(プログラム[256KBx2 バンク構成可能]、データ Flash としても使用可能)
- 64KB RAM 搭載(データ、低消費電力モード時のデータ保持・非保持選択可能)
- 調歩同期式シリアルインターフェース(UART)搭載　※最大 3ch
- 同期式シリアルインターフェース(SPI)搭載　※最大 2ch(外部ポートに存在しない RF 制御専用 SPI を別 1ch 搭載)
- WDT 搭載
- 汎用 IO 搭載
- タイマ搭載　※32 ビットタイマ 10ch。うち 4ch(2 セット)はカスケード接続により 64 ビットタイマとして使用可能
- RTC 搭載
- フレキシブルタイマ(PWM モード他)搭載(FTM)
- I2C 搭載　※マスタ・スレーブ対応
- RF 制御用送受信データインターフェース(DIO)　※RF 制御専用のため外部ポートは存在しません
- 乱数発生回路搭載(RAND)
- クロック補正用カウンタ搭載(CLK_Timer)
- SWD 搭載(2 線式の Serial Wire Debug Port)
- XTAL OSC 搭載　※32.768KHz
- PLL 搭載　※32KH～逓倍、分周
- ADC 搭載　※10 ビット、最大 3ch(温度センサ機能使用時は最大 2ch)
- 電圧降下検出搭載(LVD)
- 温度センサ搭載(TEMP)
- CR OSC 搭載　※高速、低速
- AES 搭載　※ECB、CBC、CTR、CCM、GCM、CFB、OFB
- DMA コントローラ搭載　※SPI⇔RAM 間転送、AES⇔RAM 間転送、4ch
- Flash DMA コントローラ搭載　※Flash 書込み、Verify

- 電源電圧　1.8V ～ 3.6V （送信電力 1mW モード設定時）
  2.3V ～ 3.6V（送信電力 10mWモード設定時）
  2.6V ～ 3.6V（送信電力 20mW モード設定時）
- 動作温度　−40℃ ～ 85℃

- 消費電流

| | | |
|---|---|---|
| DeepSleep 時 | | 2uA(Typ.) |
| Idle 時 | | 11mA(Typ.) |
| 受信時 | | 24mA (Typ.) |
| 送信時 | 1mW | 22mA (Typ.) |
| | 10mW | 33mA(Typ.) |
| | 20mW | 41mA(Typ.) |

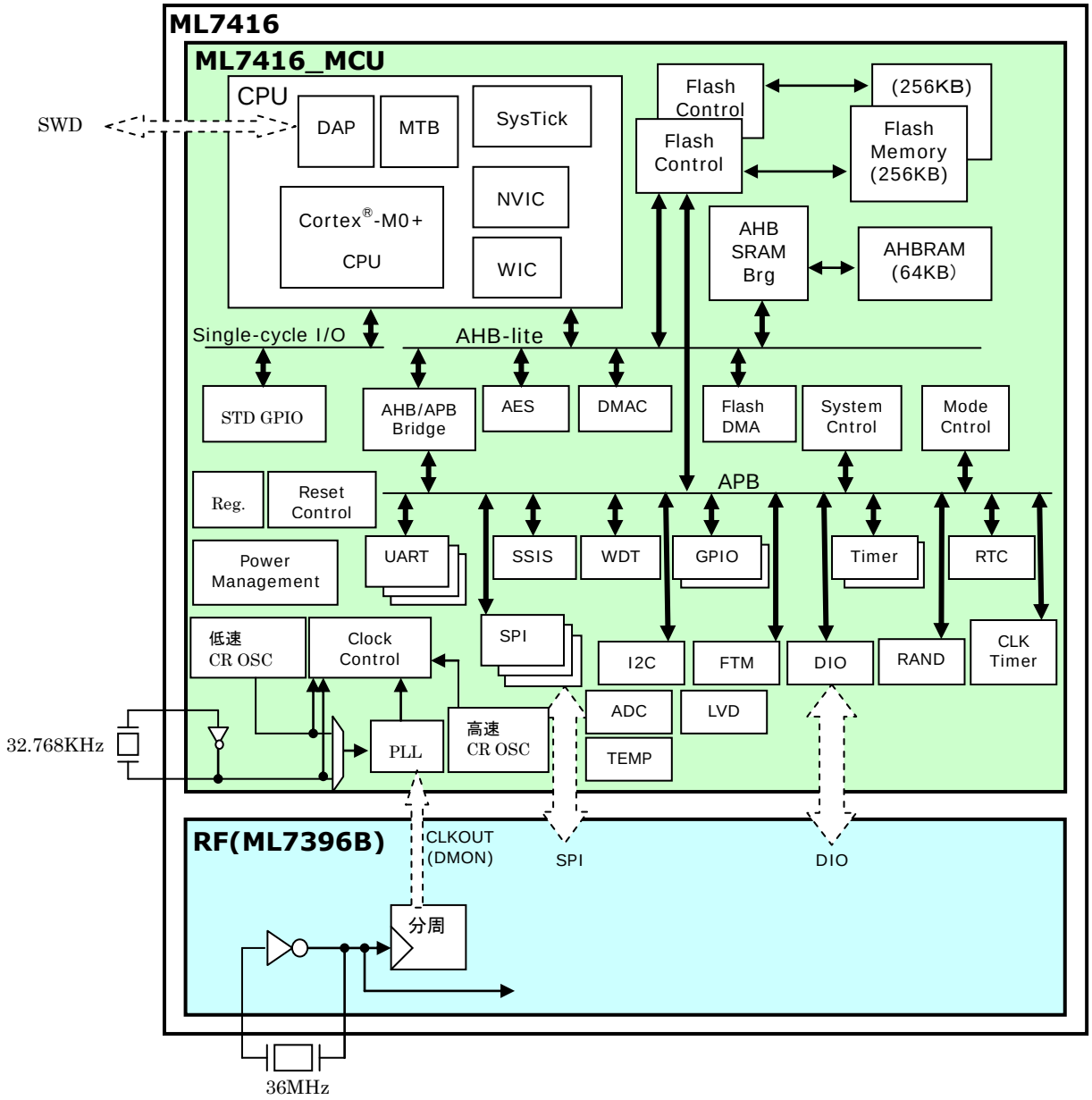
- パッケージ
  81 ピン BGA(MCP 品/P−LFBGA81−1010−1.00−1−MC)
  10mm x 10mm(1mm 端子ピッチ)
  鉛フリー RoHS 準拠

**********

ARM®Thumb®, ARM®Cortex®は、ARM® Limited の EU 及びその他の国における登録商標または商標です。

**********

## ■2.ブロック図


ML7416
ML7416_MCU
CPU
DAP
MTB
SysTick
NVIC
WIC
Cortex®-M0+
CPU
SWD
Flash
Control
Flash
Control
(256KB)
Flash
Memory
(256KB)
AHB
SRAM
Brg
AHBRAM
(64KB)
Single-cycle I/O
AHB-lite
STD GPIO
AHB/APB
Bridge
AES
DMAC
Flash
DMA
System
Cntrol
Mode
Cntrol
Reg.
Reset
Control
APB
Power
Management
UART
SSIS
WDT
GPIO
Timer
RTC
低速
CR OSC
Clock
Control
SPI
I2C
FTM
DIO
RAND
CLK
Timer
ADC
LVD
TEMP
32.768KHz
PLL
高速
CR OSC
RF(ML7396B)
CLKOUT
(DMON)
SPI
DIO
分周
36MHz

## ■3.端子配置

**※基板設計される場合は事前にご連絡をお願い致します。**

○81BGA(10mm x 10mm、1mm 端子ピッチ)

| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | |
|---|---|---|---|---|---|---|---|---|---|
| VDDIO_RF | GPIOA 0 | GPIOA 1 | GPIOA 2 | GPIOA 4 | GPIOA 5 | GPIOA 6 | GPIOA 7 | GND_CPU | A |
| DCNT | VDD_PA | GPIOA 3 | MODE0 | MODE1 | GPIOA 12 | GPIOA 8 | GND_CPU | GPIOA 9 | B |
| TRX_SW | ANT_SW | VDD_REG | REG_CORE_CPU | TEST_CPU | RESETN | GND_CPU | ADC0 | GPIOA 10 | C |
| REG_PA | TEST | A_MON | GND_RF | GND_RF | REGPDIN | GND_CPU | ADC1 | GPIOA 11 | D |
| GND_RF | GND_RF | GND_RF | GND_RF | GND_RF | GND_RF | VDDIO_CPURF | ADC2 | CXOUT | E |
| GND_RF | GND_RF | GND_RF | GND_RF | GND_RF | GND_RF | VPP | VDD_REG_CPU | CXIN | F |
| PA_OUT | GND_RF | VDD_CP | GND_RF | GND_RF | GND_RF | TCXO | VDDIO_CPU | SWCK | G |
| LNA_P | GND_RF | VDD_RF | VDD_IF | VDD_VCO | REG_OUT | REG_CORE | VDDIO_CPU | SWD | H |
| GND_RF | LP1 | IND1 | IND2 | VB_EXT | VBG | XIN | XOUT | VDDIO_CPU | J |

TOP View

## ■4.端子説明

**※端子名、LSI 番号等は変更になる可能性があります。**

入出力定義

$I_{RF}$ :RF 入力端子
$O_{RF}$ :RF 出力端子
$I_A$ :アナログ入力端子
$O_A$ :アナログ出力端子
$I_{OS}$ :36MHz 発振回路入力端子
$O_{OS}$ :36MHz 発振回路出力端子
$I_{OSL}$ :32.768KHz 発振回路入力端子
$O_{OSL}$ :32.768KHz 発振回路出力端子
I :デジタル入力端子
O :デジタル出力端子
Is :シュミットトリガ入力端子
$O_D$ :オープンドレイン端子
oZ :ハイインピーダンス出力端子

## 4-1.電源

| 端子名 | LSI 番号 | 入出力 | アクティブレベル | リセット時属性/値 | 機能説明 |
|---|---|---|---|---|---|
| VDDIO_CPU | G8<br>H8<br>J9 | 電源 | － | － / － | デジタル IO 用電源端子(Typ.3.3V) |
| VDDIO_RF | A1 | 電源 | － | － / － | RF 用電源端子(Typ.3.3V) |
| VDD_REG | C3 | 電源 | － | － / － | レギュレータ電圧供給端子(RF 側/Typ.3.3V) |
| VDD_REG_CPU | F8 | 電源 | － | － / － | レギュレータ電圧供給端子(CPU 側/Typ.3.3V) |
| VDD_PA | B2 | 電源 | － | － / － | PA 用電源端子(Typ.3.3V) |
| VDDIO_CPURF | E7 | 電源 | － | － / － | CPU⇒RF 供給用電源端子(Typ.3.3V) |
| VDD_RF | H3 | 電源 | － | － / － | LNA,MIX 用電源端子(Typ.1.5V) |
| VDD_IF | H4 | 電源 | － | － / － | IF 用電源端子(Typ.1.5V) |
| VDD_VCO | H5 | 電源 | － | － / － | VCO 用電源端子(Typ.1.5V) |
| VDD_CP | G3 | 電源 | － | － / － | CP 用電源端子(Typ.1.5V) |
| GND_RF | D4～D5<br>E1～E6<br>F1～F6<br>G2,G4～G6<br>H2<br>J1 | グランド | － | － / － | グランド端子(RF 用) |
| GND_CPU | A9<br>B8<br>C7<br>D7 | グランド | － | － / － | グランド端子(CPU 用) |

## 4-2.レギュレータインターフェース

| 端子名 | LSI 番号 | 入出力 | アクティブレベル | リセット時属性/値 | 機能説明 |
|---|---|---|---|---|---|
| REG_OUT | H6 | － | － | － / － | レギュレータ出力(typ.1.5V)<br>C 接続(10uF) ※スリープ状態時は 0V 出力となります。 |
| REG_PA | D1 | － | － | － / － | PA 用レギュレータ出力端子※スリープ状態時は 0V 出力となります。 |
| VBG | J6 | － | － | － / － | C 接続端子(RF 側/0.1uF) |
| REGPDIN | D6 | I | H | I / － | レギュレータパワーダウン端子<br>※通常動作時は"L"固定入力 |
| REG_CORE | H7 | － | － | － / － | デジタルコア部用電源モニタ端子(RF 側/typ.1.5V)/C 接続(10uF)) |
| REG_CORE_CPU | C4 | － | － | － / － | デジタルコア部用電源モニタ端子(CPU 側/typ.1.5V/ C 接続(0.22uF)) |

## 4-3.RF インターフェース

| 端子名 | LSI 番号 | 入出力 | アクティブレベル | リセット時属性/値 | 機能説明 |
|---|---|---|---|---|---|
| LNA_P | H1 | $I_{RF}$ | － | I | RF アンテナ入力端子 |
| PA_OUT | G1 | $O_{RF}$ | － | O | RF アンテナ出力端子 |
| IND1 | J3 | － | － | － / － | 外付けインダクタ接続端子 |
| IND2 | J4 | － | － | － / － | 外付けインダクタ接続端子 |
| LP1 | J2 | － | － | － / － | ループフィルター接続端子 |
| VB_EXT | J5 | － | － | － / － | 内部バイアス平滑容量接続端子 |
| A_MON | D3 | $O_{RF}$ | － | Hi-Z | アナログモニタおよび IF 部及びアナログ回路テスト端子 |

## 4-4.ADC インターフェース

| 端子名 | LSI 番号 | 入出力 | アクティブレベル | リセット時属性/値 | 機能説明 |
|---|---|---|---|---|---|
| ADC0 | C8 | $I_A$ | － | I / － | ADC 入力端子 0 |
| ADC1 | D8 | $I_A$ | － | I / － | ADC 入力端子 1 |
| ADC2 | E8 | $I_A$ | － | I / － | ADC 入力端子 2<br>※温度センサ使用時は本端子からの入力は無効 |

## 4-5.CPU インターフェース

| 端子名 | LSI 番号 | 入出力 | アクティブレベル | リセット時属性/値 | 機能説明 |
|---|---|---|---|---|---|
| GPIOA0 | A2 | I / O | － | oZ / － | 1 次機能：汎用端子 |
| | | I | － | | 2 次機能：UART データ入力端子(RXD) |
| | | I / O | P or N | | 3 次機能：SPI クロック端子(SCK) |
| | | $I_s$ / $O_D$ | P or N | | 4 次機能：I2C クロック端子(SCL) |
| | | I / O | － | | 5 次機能：Single Cycle IO 端子 |
| GPIOA1 | A3 | I / O | － | oZ / － | 1 次機能：汎用端子 |
| | | O | － | | 2 次機能：UART データ出力端子(TXD) |
| | | I / O | L | | 3 次機能：SPI イネーブル端子(SSN) |
| | | $I_s$ / $O_D$ | － | | 4 次機能：I2C データ入出力端子(SDA) |
| | | I / O | － | | 5 次機能：Single Cycle IO 端子 |
| GPIOA2 | A4 | I / O | － | oZ / － | 1 次機能：汎用端子 |
| | | I | L | | 2 次機能：UART CTS(Clear To Send)端子 |
| | | I / O | － | | 3 次機能：SPI データ入出力端子 1(MISO) |
| | | I / O | － | | 4 次機能：FTM 入出力端子 |
| | | I / O | － | | 5 次機能：Single Cycle IO 端子 |
| GPIOA3 | B3 | I / O | － | oZ / － | 1 次機能：汎用端子 |
| | | O | L | | 2 次機能：UART RTS(Ready To Send)端子 |
| | | I / O | － | | 3 次機能：SPI データ入出力端子 2(MOSI) |
| | | I / O | － | | 4 次機能：Reserved |
| | | I / O | － | | 5 次機能：Single Cycle IO 端子 |

| 端子名 | LSI 番号 | 入出力 | アクティブレベル | リセット時 属性/値 | 機能説明 |
|---|---|---|---|---|---|
| GPIOA4 | A5 | I / O | − | oZ / − | 1 次機能：汎用端子 |
| | | I | − | | 2 次機能：UART データ入力端子(RXD) |
| | | I / O | P or N | | 3 次機能：SSI Slave クロック端子(SSICK) |
| | | Is / $O_D$ | P or N | | 4 次機能：I2C クロック端子(SCL) |
| | | I / O | − | | 5 次機能：Single Cycle IO 端子 |
| GPIOA5 | A6 | I / O | − | oZ / − | 1 次機能：汎用端子 |
| | | I | L | | 2 次機能：UART データ出力端子(TXD) |
| | | I | L | | 3 次機能：SSI Slave イネーブル端子(SSIN) |
| | | Is / $O_D$ | − | | 4 次機能：I2C データ入出力端子(SDA) |
| | | I / O | − | | 5 次機能：Single Cycle IO 端子 |
| GPIOA6 | A7 | I / O | − | oZ / − | 1 次機能：汎用端子 |
| | | I | L | | 2 次機能：UART CTS(Clear To Send)端子 |
| | | O | − | | 3 次機能：SSI Slave データ出力端子(TXD) |
| | | I / $O_D$ | − | | 4 次機能：FTM 入出力端子 |
| | | I / O | − | | 5 次機能：Single Cycle IO 端子 |
| GPIOA7 | A8 | I / O | − | oZ / − | 1 次機能：汎用端子 |
| | | O | L | | 2 次機能：UART RTS(Ready To Send)端子 |
| | | I | − | | 3 次機能：SSI Slave データ入力端子(RXD) |
| | | I / O | − | | 4 次機能：Reserved |
| | | I / O | − | | 5 次機能：Single Cycle IO 端子 |
| GPIOA8 | B7 | I / O | − | oZ / − | 1 次機能：汎用端子 |
| | | I | − | | 2 次機能：UART データ入力端子(RXD) |
| | | I / O | P or N | | 3 次機能：SPI クロック端子(SCK) |
| | | Is / $O_D$ | P or N | | 4 次機能：I2C クロック端子(SCL) |
| | | I / O | − | | 5 次機能：Single Cycle IO 端子 |
| GPIOA9 | B9 | I / O | − | oZ / − | 1 次機能：汎用端子 |
| | | O | − | | 2 次機能：UART データ出力端子(TXD) |
| | | I / O | L | | 3 次機能：SPI イネーブル端子(SSN) |
| | | Is / $O_D$ | − | | 4 次機能：I2C データ入出力端子(SDA) |
| | | I / O | − | | 5 次機能：Single Cycle IO 端子 |

| 端子名 | LSI 番号 | 入出力 | アクティブレベル | リセット時 属性/値 | 機能説明 |
|---|---|---|---|---|---|
| GPIOA10 | C9 | I / O | － | oZ / － | 1 次機能：汎用端子 |
| | | I | L | | 2 次機能：UART CTS(Clear To Send)端子 |
| | | I / O | － | | 3 次機能：SPI データ入出力端子 1(MISO) |
| | | I / O | － | | 4 次機能：FTM 入出力端子 |
| | | I / O | － | | 5 次機能：Single Cycle IO 端子 |
| GPIOA11 | D9 | I / O | － | oZ / － | 1 次機能：汎用端子 |
| | | O | L | | 2 次機能：UART RTS(Ready To Send)端子 |
| | | I / O | － | | 3 次機能：SPI データ入出力端子 2(MOSI) |
| | | I / O | － | | 4 次機能：Reserved |
| | | I / O | － | | 5 次機能：Single Cycle IO 端子 |
| GPIOA12 | B6 | I / O | － | oZ / － | 1 バンクモード時：汎用端子<br>2 バンクモード時: システムモード入力端子(ソフト用)<br>0: ユーザアプリケーションモード<br>1: ISP モード |

## 4-6.デバッガインターフェース

| 端子名 | LSI 番号 | 入出力 | アクティブレベル | リセット時 属性/値 | 機能説明 |
|---|---|---|---|---|---|
| SWCK | G9 | I | -P or N | I / － | SWD クロック入力端子 |
| SWD | H9 | I / O | H or L | I / － | SWD データ入出力端子 |

## 4-7.その他

| 端子名 | LSI 番号 | 入出力 | アクティブレベル | リセット時属性/値 | 機能説明 |
|---|---|---|---|---|---|
| RESETN | C6 | Is | L | I / － | ハードリセット端子 |
| XIN | J7 | Ios | P or N | I | 36MHz 水晶発振子接続端子 1<br>※外部クロック使用時は GND に接続して下さい |
| XOUT | J8 | Oos | P or N | O | 36MHz 水晶発振子接続端子 2<br>※外部クロック使用時は GND に接続して下さい |
| TCXO | G7 | $I_A$ | － | I | **外部クロック（TCXO）入力端子**<br>※振動子使用時は GND に接続して下さい |
| CXIN | F9 | $I_{OSL}$ | P or N | I | 32.768KHz 水晶発振子接続端子 1 |
| CXOUT | E9 | $O_{OSL}$ | P or N | O | 32.768KHz 水晶発振子接続端子 2 |
| TRX_SW | C1 | O | H or L or OD | O / L | 送受信切り換え端子 |
| ANT_SW | C2 | O | H or L or OD | O / L | ダイバーシティ切り替え端子 |
| TEST | D2 | I | H | I / － | テストモード端子<br>※通常動作時は”L”固定入力 |
| TEST_CPU | C5 | I | H | I / － | テストモード端子<br>※通常動作時は”L”固定入力 |
| MODE0 | B4 | I | H or L | I / － | リマップ端子<br>0: 内蔵 FlashROM 内の 0 番地からプログラムが起動<br>1: 内蔵 FlashROM 内のブート領域からプログラムが起動 |
| MODE1 | B5 | I | H or L | I / － | テストモード端子<br>※通常動作時は”L”固定入力 |
| DCNT | B1 | O | H or L or OD | oZ / L | 外付け PA 制御端子 |
| VPP | F7 | － | H | － / － | Flash コアテスト用高電圧印加端子<br>※通常はオープンとしてください。 |

## 4-8.未使用端子の処理

端子未使用時の処理方法を示します。

| 端子名 | 推奨端子処理 |
|---|---|
| XOUT | GND(TCXO 使用する場合) |
| XIN | GND(TCXO 使用する場合) |
| TCXO | GND(振動子使用する場合) |
| A_MON | オープン |
| ANT_SW | オープン |
| DCNT | オープン |
| VPP | オープン |
| ADC0 | オープン |
| ADC1 | オープン |
| ADC2 | オープン |
| SWCK | プルアップ抵抗またはプルダウン抵抗を接続願います。 |
| SWD | プルアップ抵抗またはプルダウン抵抗を接続願います。 |

## ■5.電気的特性

**※電気的特性は評価結果等により変更になる可能性があります。**

### 5-1.絶対最大定格

| 項目 | 記号 | 条件 | 定格値 | 単位 |
|---|---|---|---|---|
| 電源電圧（I/O） (*1) | VDDIO | Ta=-40～85℃<br>GND=0V | -0.3～+4.6 | V |
| 電源電圧（RF） (*2) | VDDRF | | -0.3～+2.0 | V |
| デジタル入力電圧 | VDIN | | -0.3～VDDIO+0.3 | V |
| RF 入力電圧 | VRFIN | | -1.0～+2.0 | V |
| アナログ入力電圧 | VAIN | | -0.3～VDDIO+0.3 | V |
| アナログ入力電圧 2 (*3) | VAIN2 | | -0.3～VDDRF+0.3 | V |
| TCXO 入力電圧 | VTCXO | | -0.3～+1.75 | V |
| デジタル出力電圧 | VDO | | -0.3～VDDIO+0.3 | V |
| RF 出力電圧 | VRFO | | -0.3～VDDRF+1.9 | V |
| アナログ出力電圧 | VAO | | -0.3～VDDIO+0.3 | V |
| アナログ出力電圧 2 (*4) | VAO2 | | -0.3～VDDRF+0.3 | V |
| デジタル入力電流 | IDI | | -10～+10 | mA |
| RF 入力電流 | IRF | | -2～+2 | mA |
| アナログ入力電流 | IAI | | -2～+2 | mA |
| アナログ入力電流 2 (*3) | IAI2 | | -2～+2 | mA |
| TCXO 入力電流 | ITCXO | | -2～+2 | mA |
| デジタル出力電流 | IDO | | -8～+8 | mA |
| RF 出力電流 | IRFO | | -2～+60 | mA |
| アナログ出力電流 | IAO | | -2～+2 | mA |
| アナログ出力電流 2 (*4) | IAO2 | | -2～+2 | mA |
| 許容損失 | PD | Ta=+25℃ | 300 | mW |
| 保存温度 | Tstg | － | -55～+150 | ℃ |

(*1) VDDIO_CPU、VDDIO_RF、VDD_REG、VDD_REG_CPU、VDD_PA、VDDIO_CPURF 端子

(*2) VDD_RF、VDD_IF、VDD_VCO、VDD_CP 端子

(*3) XIN、TCXO、CXIN 端子

(*4) XOUT、CXOUT 端子

## 5-2.推奨動作条件

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| 電源電圧(I/O) | VDDIO | VDD_IO*端子および VDD_REG*端子 | 1.8 | 3.3 | 3.6 | V |
| 電源電圧(PA) | VDD_PA | VDD_PA 端子 送信電力+1mW モード | 1.8 | 3.3 | 3.6 | V |
| | | VDD_PA 端子 10mW モード | 2.3 | 3.3 | 3.6 | V |
| | | VDD_PA 端子 20mW モード | 2.6 | 3.3 | 3.6 | V |
| 電源電圧(RF) (*2) | VDDRF | VDD_RF 端子、VDD_IF 端子、VDD_VCO 端子および VDD_CP 端子 | 1.4 | 1.5 | 1.6 | V |
| 動作温度 | Ta | ― | -40 | +25 | +85 | ℃ |
| デジタル入力立上り時間 | tIR1 | デジタル入力端子 (*1) | ― | ― | 20 | ns |
| デジタル入力立下り時間 | tIF1 | デジタル入力端子 (*1) | ― | ― | 20 | ns |
| デジタル出力負荷 | CDL | 全デジタル出力端子 | ― | ― | 20 | pF |
| マスタークロック 1 36MHz 水晶振動子周波数 | FMCK1 | XIN 端子,XOUT 端子 | -20ppm (*3) | 36 | +20ppm (*3) | MHz |
| マスタークロック 2 36MHzTCXO 周波数 | FMCK2 | TCXO 端子 | -20ppm (*3) | 36 | +20ppm (*3) | MHz |
| TCXO | VTCXO | DC カット | 0.8 | ― | 1.5 | Vpp |
| SLow クロック 32.768kHz 水晶振動子周波数 | FSCK1 | CXIN 端子,CXOUT 端子 | -20ppm (*4) | 32.768 | +20ppm (*4) | kHz |
| RC クロック 1 高速 CR クロック周波数 | FRCK1 | | -15% | 34 | +15% | MHz |
| RC クロック 2 低速 CR クロック周波数 | FRCK21 | DeepSleep 以外 | -5% | 32 | +5% | kHz |
| | FRCK22 | DeepSleep | -15% | 32 | +15% | kHz |
| SPI クロック入力周波数 | FSCLK | SCLK 端子 | ― | ― | CPUCLK/4 | MHz |
| SPI クロック入力デューティ比 | DSCLK | SCLK 端子 | 45 | 50 | 55 | % |
| RF チャネル周波数 | FRF | LNA_P,PA_OUT 端子 | 896 | ― | 960 | MHz |

(*1) 端子説明の入出力に、I、Is とある端子

(*2) 本 LSI の REG_OUT 出力を使用してください。

(*3) 10kbps 設定時は最大+10ppm、最小-10ppm となります。

(*4) 25℃条件時の値です。-40-85℃条件時は最大+150ppm、最小-150ppm となります。

【ご注意】

電気特性は特記事項がない場合、上記の推奨動作条件での特性となります。

またタイミングの測定点は特記事項がない場合、VDDIO × 20% と VDDIO × 80%のレベルです。

## 5-3.共通特性

| 項目 | 記号 | 条件 | 最小 | 標準(*2) | 最大 | 単位 |
|---|---|---|---|---|---|---|
| 電源電流(*1) | IDD1 | スリープ状態 (*3) | — | 2 | 5.6 | μA |
| | IDD2 | アイドル状態 | — | 11 | 14 | mA |
| | IDD3 | RF 受信状態 (*4) | — | 24 | 32 | mA |
| | IDD4 | RF 送信状態(1mW) (*4) | — | 22 | 32 | mA |
| | IDD5 | RF 送信状態(10mW) (*4) | — | 33 | 47 | mA |
| | IDD6 | RF 送信状態(20mW) (*4) | — | 41 | 55 | mA |
| 高レベル入力電圧 | VIH1 | デジタル入力端子 | VDDIOx0.75 | — | VDDIO | V |
| | VIH2 | XIN 端子 | VDDRFx0.9 | — | VDDRF | V |
| 低レベル入力電圧 | VIL1 | デジタル入力端子 | 0 | — | VDDIOx0.18 | V |
| | VIL2 | XIN 端子 | 0 | — | VDDRFx0.1 | V |
| シュミットトリガ<br>高レベル判定閾値 | VT+ | シュミット付きデジタル端子 | — | 1.2 | VDDIOx0.75 | V |
| シュミットトリガ<br>低レベル判定閾値 | VT- | シュミット付きデジタル端子 | VDDIOx0.18 | 0.8 | — | V |
| 入力リーク電流 | IIH1 | デジタル入力端子 | -1 | — | 3.6 | μA |
| | IIH2 | XIN 端子 | -0.3 | — | 0.3 | μA |
| | IIH3 | CXIN 端子 | -0.3 | — | 0.3 | μA |
| | IIL1 | デジタル入力端子 | -1 | — | 1 | μA |
| | IIL2 | XIN 端子 | -0.3 | — | 0.3 | μA |
| | IIL3 | CXIN 端子 | -0.3 | — | 0.3 | μA |
| トライステート<br>出力リーク電流 | IOZH1 | デジタル入出力端子 | -1 | — | 3.6 | μA |
| | IOZL1 | デジタル入出力端子 | -1 | — | 1 | μA |
| 高レベル出力電圧 | VOH | IOH=-4mA /-2mA (*5) | VDDIOx0.8 | — | VDDIO | V |
| 低レベル出力電圧 | VOL | IOL=4mA /2mA (*5) | 0 | — | 0.3 | V |
| 入力容量 | CIN | 入力端子 | — | 6 | — | pF |
| | COUT | 出力端子 | — | 9 | — | pF |
| | CRFIO | RF 入出力端子 | — | 9 | — | pF |
| | CAI | アナログ入力端子 | — | 20 | — | pF |

(*1) 電源電流は、全電源端子の合算値です。

(*2) 標準は VDDIO=3.3V、25℃条件下の中心値です。

(*3) 標準、最大ともに 25℃、1 バンクモード条件下の値です。

(*4) データ転送速度が 100kpbs、周波数が 920MHz のときの値です。

(*5) TRX_SW、ANT_SW、DCNT、GPIOA0-12、SWD が対象です。TRX_SW、ANT_SW、DCNT は 4mA モードのみとなります。
(*6) REG_CORE 端子、REG_OUT 端子。スリープ状態時は REG_OUT は 0V 出力となります。

## 5-4.RF 特性

変調速度　　：10kbps/ 20kbps/ 40kbps/ 50kbps / 100kbps / 150kbps/ 200 kbps/ 400kbps

変調方式　　：2 値 GFSK

チャネル間隔　：200kHz / 400kHz / 600kHz

設定周波数範囲：外付け回路の定数変更により、750MHzから 1GHz の周波数に設定できます。

特性測定点は、推奨回路のアンテナ端となります。

本特性に記載されない特性および 400kbps(オプション)の諸特性は参考データとして別途用意いたします。

### 5.4.1【送信特性】

| 項目 | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|
| 送信出力電力 | 20mW(13dBm)モード調整時 | 9 | 13 | 15 | dBm |
| | 10mW(10dBm)モード調整時 | 6 | 10 | 12 | dBm |
| | 1mW(0dBm)モード調整時 | −4 | 0 | 2 | dBm |
| 周波数偏位調整範囲 [Fdev] (*1) | | ― | ― | 2,250 | kHz |
| 920MHz 帯 (920.5MHz〜928.1MHz) | | | | | |
| 占有帯域幅 | n: 単位チャネル数 (n=1,2,3,4 または 5) | ― | ― | 200 *n | kHz |
| 無線チャネル両端における電力 | 20mW モード(920.5MHz〜922.3MHz) | ― | ― | −7 | dBm |
| | 10mW モード | ― | ― | −10 | dBm |
| | 1mW モード | ― | ― | −20 | dBm |
| 隣接チャネル漏洩電力 [ACP] | 20mW モード ±1CH、帯域幅 200kHz) | ― | −33 | −15 | dBm |
| | 10mW モード ±1CH、帯域幅 200kHz) | ― | −39 | −18 | dBm |
| | 1mW モード ±1CH、帯域幅 200kHz) | ― | −47 | −26 | dBm |
| 不要発射レベル (20mW モード) | 710MHz 以下 100kHz 帯域 | ― | −65 | −36 | dBm |
| | 710MHzを超え 900MHz以下 1MHz 帯域 | ― | −70 | −55 | dBm |
| | 900MHz を超え 915MHz 以下 100kHz 帯域 | ― | −72 | −55 | dBm |
| | 915MHz を超え 930MHz 以下 100kHz 帯域 (チャネル周波数上下 200+100xnkHz 以内を除く。ただし、920.5MHz 以上 922.3MHz 以下は 100+100xnkHz 以内を除く。n は同時使用チャネル数) | ― | −51 | −36 | dBm |
| | 930MHz を超え 1000MHz 以下 100kHz 帯域 | ― | −70 | −55 | dBm |
| | 1000MHz を超え 1215MHz 以下 1MHz 帯域 | ― | −75 | −45 | dBm |
| | 1215MHz を超えるもの 1MHz 帯域 (第 2 高調波以上) | ― | −40 | −30 | dBm |

*1 調整範囲は上記の通りですが、使用する RF チャネル周波数によって設定できる最大値が変わります。

RF チャネル周波数±周波数偏移が 36MHz の倍数 (864MHz, 900MHz, 936MHz など) をまたがないように設定する必要があります。

例 902MHz の場合 2,000kHz まで設定可能です。

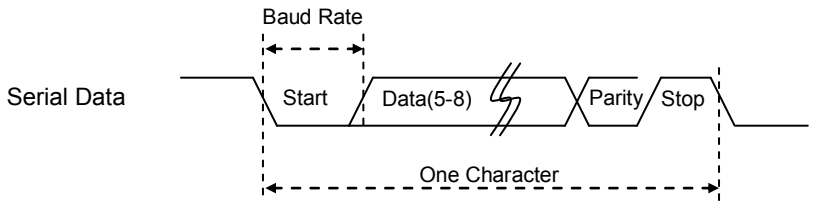
### 5.4.2【受信特性】

| 項目 | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|
| 920MHz 帯 (920.5MHz～928.1MHz) | | | | | |
| 最小受信感度 BER<0.1% | 50kbps モード（*1） | ― | -107 | -102 | dBm |
| | 100kbps モード（*1） | ― | -105 | -100 | dBm |
| | 200kbps モード（*1） | ― | -102 | -97 | dBm |
| 受信最大入力レベル | 50kbps モード、100kbps モード、200kbps モード | 0 | ― | ― | dBm |
| 受信 C/I 隣接妨害 | 50kbps モード | 20 | 35 | ― | dB |
| | 100kbps モード | 20 | 35 | ― | dB |
| | 200kbps モード | 20 | 35 | ― | dB |
| 受信 C/I 次隣接妨害 | 50kbps モード | 30 | 45 | ― | dB |
| | 100kbps モード | 30 | 45 | ― | dB |
| | 200kbps モード | 30 | 45 | ― | dB |
| 最小電力検出（ED 値）レベル | | ― | ― | -100 | dBm |
| 電力検出範囲 | ダイナミックレンジ | 60 | 70 | ― | dB |
| 電力検出精度 | | -6 | ― | +6 | dB |
| 副次発射レベル<br>ARIB T108 測定条件<br>915.9MHz～916.9MHz<br>920.5MHz～929.7MHz | 710MHz 以下 100kHz 帯域 | ― | <-93 | -54 | dBm |
| | 710MHzを超え 900MHz以下 1MHz 帯域 | ― | <-83 | -55 | dBm |
| | 900MHz を超え 915MHz 以下 100kHz 帯域 | ― | <-93 | -55 | dBm |
| | 915MHz を超え 930MHz 以下 100kHz 帯域 | ― | -63 | -54 | dBm |
| | 930MHz を超え 1000MHz 以下 100kHz 帯域 | ― | <-93 | -55 | dBm |
| | 1000MHz を超えるもの 1MHz 帯域 | ― | -57 | -47 | dBm |

*1 通常帯域モード(NBO_SEL=0)設定時。[DATA_SET]レジスタ(B0 0x47)を参照してください。

## 5-5.UART インターフェース特性

| 項目 | 記号 | 条件 | Min | Typ | Max | 単位 |
|---|---|---|---|---|---|---|
| Baud Rate | $F_{BAUD}$ | 負荷容量<br>CL=20pF | - | 115200 | - | bps |

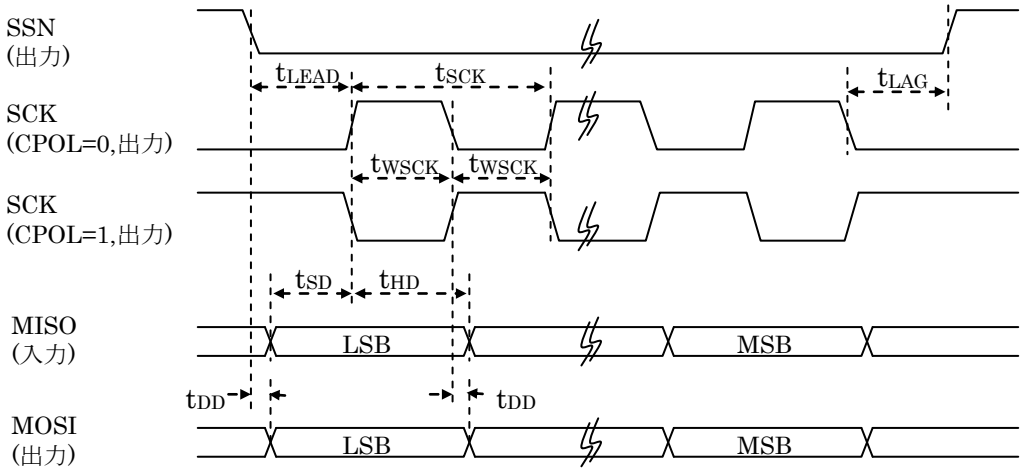


## 5-6.SPI インターフェース特性

### 5-6-1.マスタ

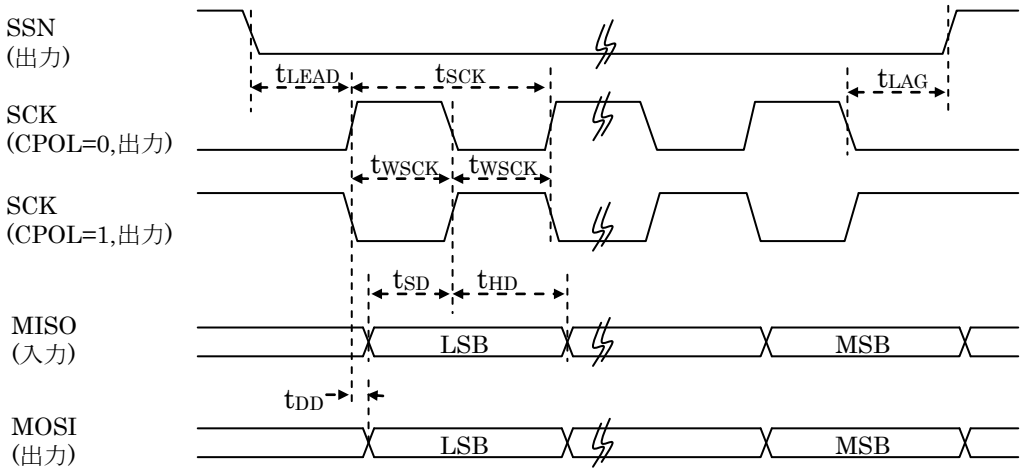
| 項目 | 記号 | 条件 | Min | Typ | Max | 単位 |
|---|---|---|---|---|---|---|
| シリアルクロック・サイクル時間 | $t_{SCK}$ | - | 100 | - | - | ns |
| シリアルクロック・High/Low 時間 | $t_{WSCK}$ | - | 48 | - | - | ns |
| データ遅延時間(出力) | $t_{DD}$ | - | - | - | 50 | ns |
| データセットアップ時間(入力) | $t_{SD}$ | CL=20pF | - | - | 48 | ns |
| データホールド時間(入力) | $t_{HD}$ | - | 0 | - | - | ns |
| SSN-SCK 進み時間 | $t_{LEAD}$ | - | 0.5* $t_{SCK}$ | - | 1.6* $t_{SCK}$ | ns |
| SCK-SSN 遅れ時間 | $t_{LAG}$ | - | 0.5* $t_{SCK}$ | - | 1.6* $t_{SCK}$ | ns |
| SSN H 最小保証時間 | $t_{WSSH}$ | - | 1* $t_{SCK}$ | - | 511* $t_{SCK}$ | ns |

◎ SPI マスタモードタイミング(CPHA=0)




CPHA=0

◎ SPI マスタモードタイミング(CPHA=1)



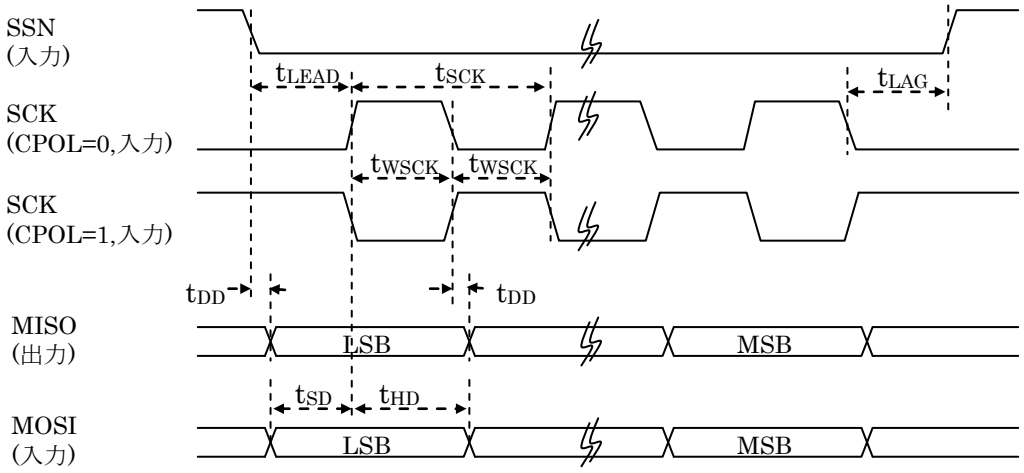

CPHA=1

*注：CPHA,CPOL については、SPI レジスタを参照下さい。

### 5-6-2.スレーブ

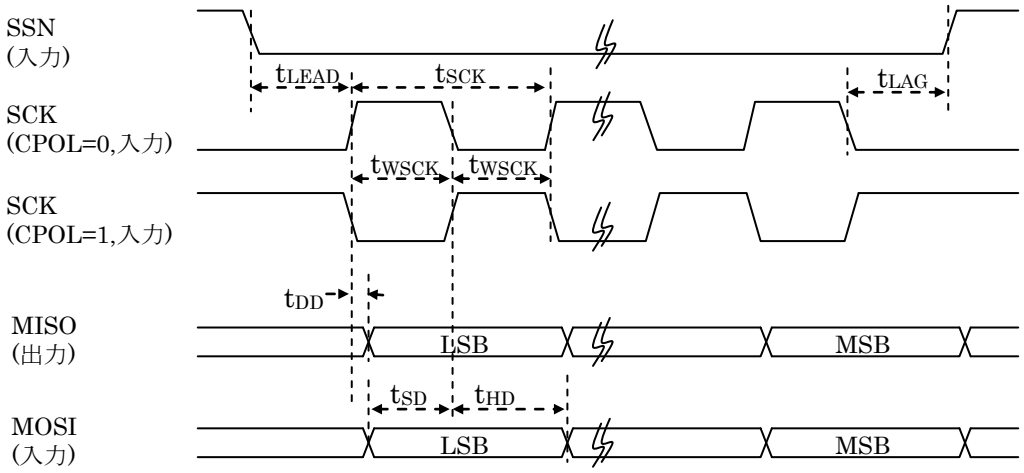
| 項目 | 記号 | 条件 | Min | Typ | Max | 単位 |
|---|---|---|---|---|---|---|
| シリアルクロック・サイクル時間 | $t_{SCK}$ | - | 100 | - | - | ns |
| シリアルクロック・High/Low 時間 | $t_{WSCK}$ | - | 50 | - | - | ns |
| データ遅延時間(出力) | $t_{DD}$ | - | - | - | 50 | ns |
| データセットアップ時間(入力) | $t_{SD}$ | CL=20pF | - | - | 50 | ns |
| データホールド時間(入力) | $t_{HD}$ | - | 10 | - | - | ns |
| SSN-SCK 進み時間 | $t_{LEAD}$ | - | 0.5* $t_{SCK}$ | - | - | ns |
| SCK-SSN 遅れ時間 | $t_{LAG}$ | - | 0.5* $t_{SCK}$ | - | - | ns |

◎ SPI スレーブモードタイミング(CPHA=0)




CPHA=0

◎ SPI スレーブモードタイミング(CPHA=1)



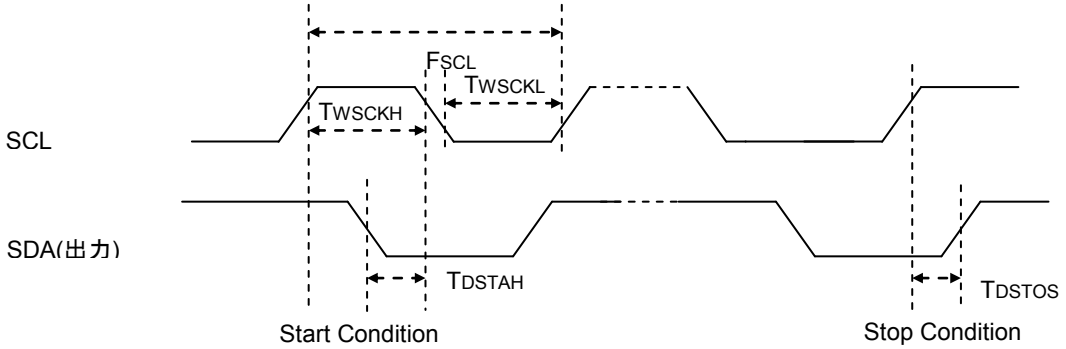

CPHA=1

*注：CPHA,CPOL については、SPI レジスタを参照下さい。

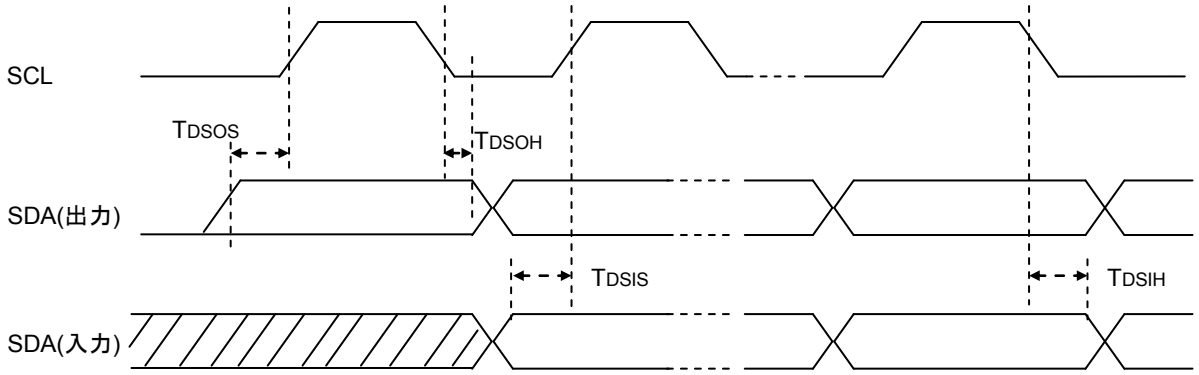
## 5-7.I2C インターフェース特性

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| SCL クロック周波数 | Fscl | 条件<br>負荷容量<br>CL=<br>20pF | — | — | 400 | kHz |
| SCL ハイパルス幅 | TWSCKH | | 600 | — | — | ns |
| SCL ローパルス幅 | TWSCKL | | 1300 | — | — | ns |
| スタートコンディションホールド時間 | TDSTAH | | 450 | — | — | ns |
| ストップコンディションセットアップ時間 | TDSTOS | | 575 | — | — | ns |
| SDA 出力ホールド時間 | TDSOH | | 0 | — | — | ns |
| SCL 出力遅延時間 | TDSOS | | 600 | — | — | ns |
| SDA 入力セットアップ時間 | TDSIS | | 100 | — | — | ns |
| SDA 入力ホールド時間 | TDSIH | | 0 | — | — | ns |

◎ Stop コンディション（SCL=１時の SDA 立下り）、Start コンディション（SCL=１時の SDA 立上り）




◎ 送受信時



【ご注意】

Fast(400kHz)モード使用時は、SCL ハイパルス幅(TWSCKH)を 750ns 以上に設定してください。

750ns 未満で設定した場合は、I2C 規格におけるスタートコンディションホールド時間(TDSTAH=600ns)およびストップコンディションセットアップ時間(TDSTOS=600ns)を満たさなくなります。

## 5-8.A/D 変換特性

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| ビット数 | $N_{SAR}$ | SAR レジスタビット数 | ― | 10 | ― | bits |
| 分解能 | RES | VIN=0～$V_{DDIO}$ | 1.8 | ― | 3.6 | mV/LSB |
| 入力電圧範囲 | $V_{IN}$ | | 0 | ― | $V_{DDIO}$ | V |
| Zero スケール誤差 | $E_{ZS}$ | ・10bit 精度<br>・入力信号源インピーダンス≦1KΩ | -2.0 | ― | 2.0 | LSB |
| Full スケール誤差 | $E_{FS}$ | | -2.0 | ― | 2.0 | LSB |
| 微分非直線性 | DNL | | -2.0 | ― | 2.0 | LSB |
| 積分非直線性 | INL | | -2.0 | ― | 2.0 | LSB |
| 変換時間 | $T_L$ | | 10 | ― | 20 | us |

【ご注意】ADC の出力は電源/GND 基準となっております(トラックしております)。
各電源-GND 間へは十分なパスコンを接続して電源変動を極力抑えてご使用いただきますようお願い致します。

## 5-9.温度センサ特性

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| 精度 | $E_{TS1}$ | VDDIO=3.3V<br>IDLE 状態<br>0℃以上 85℃以下 | ― | ±5 | ― | ℃ |
| | $E_{TS2}$ | VDDIO=3.3V<br>IDLE 状態<br>−40℃以上 0℃未満 | ― | ±10 | ― | ℃ |
| 変換時間 | $T_L$ | | 10 | ― | 20 | us |

## 5-10.低電圧検出特性(LVD)

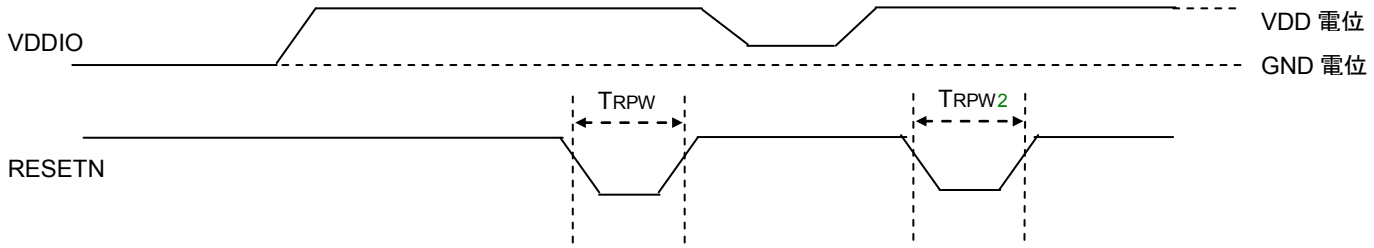
| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| 検出誤差 | | VDDIO=1.8～3.0V | -6.0 | — | +6.0 | % |
| 応答最小パルス幅 | | | 200 | — | — | us |

## 5-11.低電圧検出特性(LLD)

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| 検出電圧 | | | — | 1.8 | — | V |
| 検出誤差 | | | -0.2 | — | +0.2 | V |
| 応答最小パルス幅 | | | 200 | — | — | us |

## 5-12.リセット特性

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| RESETN 有効時間(パルス幅)<br>(VDDIO＝0V からの起動時) | $T_{RPW}$ | — | 200 | — | — | ns |
| RESETN パルス時間 2(*1)<br>(VDDIO≠0V からの起動時) | $T_{RPW2}$ | VDD>1.8V | 500 | — | — | us |

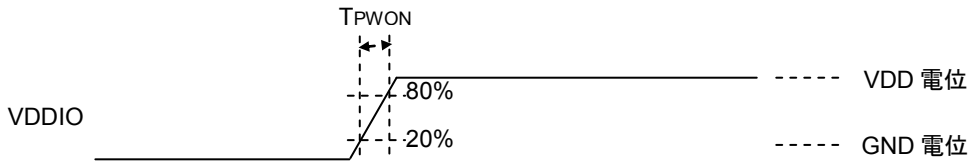



(*1) VDDIO≠0V からの起動時は VDDIO が 1.8V を超えてから RESETN 信号にパルスを入力してください。

(*2) 電源投入時は LSI 内蔵のパワーオンリセット回路にてリセットされます。

## 5-13.パワーオン特性

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|---|---|---|---|---|---|
| パワーオン時間差 | $T_{PWON}$ | パワーオン時<br>(全電源端子) | ー | ー | 5 | ms |




## 5-14.フラッシュメモリ動作条件

| 項目 | 記号 | 条件 | 範囲 | 単位 |
|---|---|---|---|---|
| 書き換え回数(Data) | $C_{EP1}$ | 8KB | 10000 | 回 |
| 書き換え回数(Program) | $C_{EP2}$ | 504KB | 100 | |

## ■6.機能説明

**※RF 部については ML7396B データシートをご参照願います。**

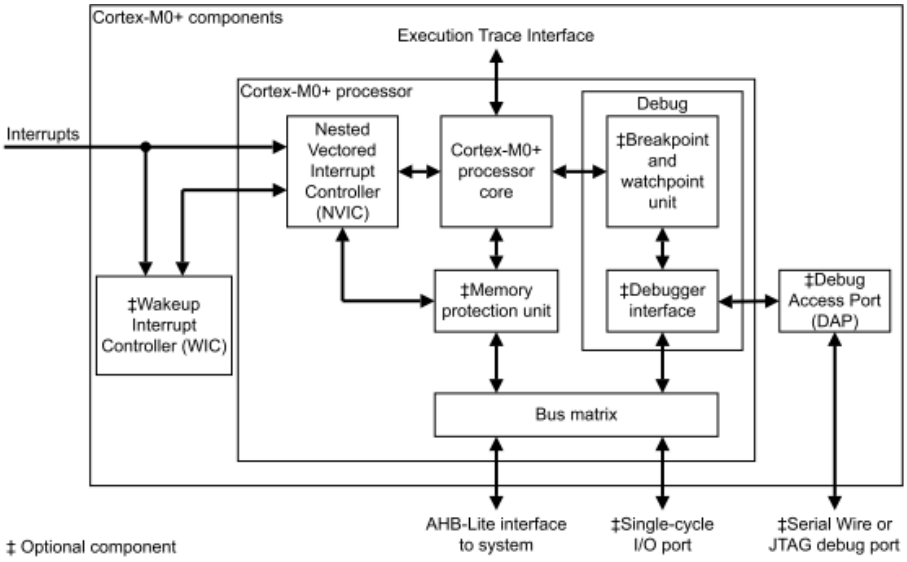
### 6-1.CPU (Cortex®-M0+)

ARM®社の RISC プロセッサです。

小型・低消費電力アプリケーション向けの 32 ビットプロセッサで 2 段パイプライン構成となっています。ARMv6-M アーキテクチャを採用しており、16 ビットの Thumb®命令および Thumb®-2 命令で動作します。

構成は以下の通りです。

-Little-Endian
-ブレークポイント数: 4
-ウォッチポイント数: 2
-24 ビットシステムタイマである SysTick タイマを内蔵
-NVIC(Nested Vectored Interrupt Controller)内蔵
-乗算器: 高速(1 サイクル)ハードウェア乗算器搭載
-SLEEP/DEEPSLEEP サポート
-WFI(Wait for Interrupts)/WFE(Wait for Events)サポート
-リロケーション可能なベクタテーブル
-MTB-M0+サポート




**Cortex®-M0+概略図**

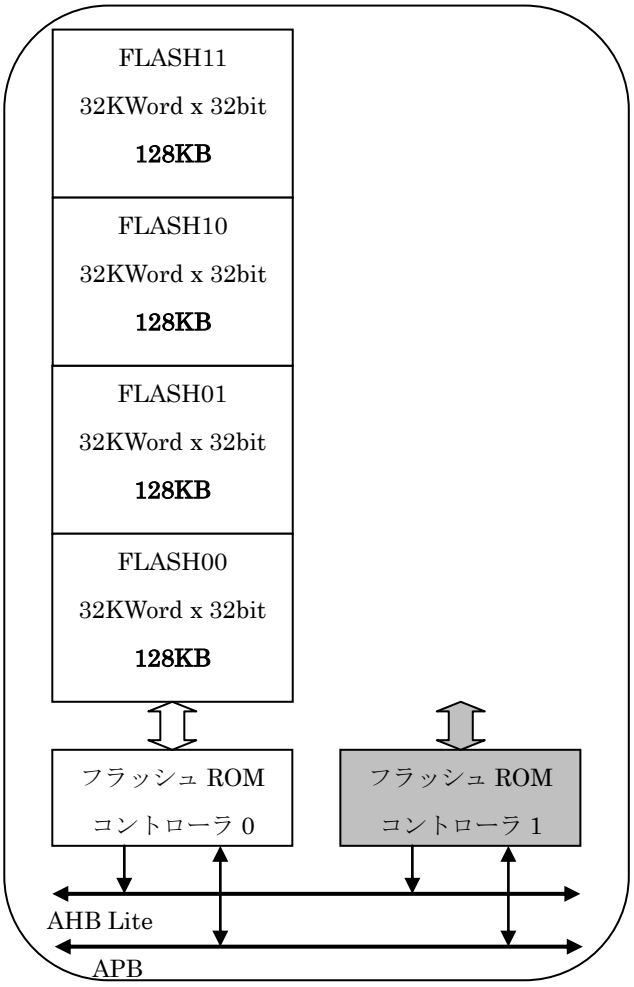
## 6-2.フラッシュ ROM コントローラ

フラッシュ ROM コントローラを内蔵します。フラッシュ ROM からのブートが可能です。

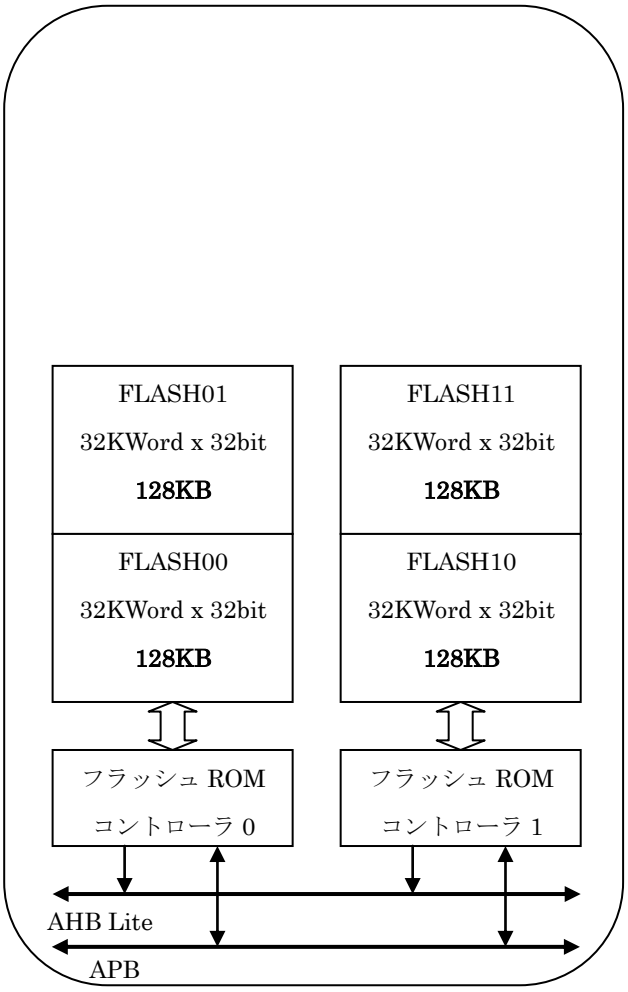
- 512KB のフラッシュ ROM 領域に対し、256KBx2 バンクまたは 512KBx1 バンクを選択可能です。
- バンク毎にフラッシュ ROM コントローラが接続されます。
- Debug Port(SWD)を介してデバッガからの書き換えが可能です

  2 バンク構成の場合、片方のバンクで CPU 動作中に、動作していないもう片方のバンクのプログラムをダイナミックに書き換え可能です。

  1 バンク構成の場合、ISP 領域もしくは SRAM 領域から書き換え実行プログラムを起動することが可能です。
- 1 ワード書き換え、セクタ消去(512Byte 単位)、ブロック消去(4Kbyte 単位)、チップ消去が可能です。
- リマップ機能により 0x00000000 から始まるリマップ領域(4Kbyte)に割り当てることが可能です。
- アナログマクロのトリミング値を格納するトリミング領域、ISP などの起動プログラムを格納するブート領域、セキュリティ設定を格納するセキュリティ領域、ユーザ領域に分割し、トリミング領域、ブートプログラム領域、セキュリティ領域に対する保護機能があります。




1 バンク構成時




2 バンク構成時

※電源投入時は必ず 1 バンクモードで起動します。

※2 バンクモード時、デバッガからの書き換えはバンク 0 側のみとなります。

※2 つのフラッシュ ROM コントローラとも処理を実行していないときのみ Sleep または DeepSleep へ移行可能です。

## 6-3.割り込みコントローラ

Cortex®-M0＋内に NVIC(Nested Vector Interrupt Controller)を内蔵します。搭載している割り込み要因は以下の通りです。

- IRQ 30 本

## 6-4.SRAM IF

64KB の SRAM IF を搭載します。

## 6-5.AHB-lite バス

AHB スレーブを接続可能な AMBA 3 AHB-lite バスを有します。

## 6-6.APB バス

APB スレーブを接続可能な AMBA 2.0 APB バスを有します。

## 6-7.Single-cycle I/O ポート

1 サイクルでアクセス可能な Single−cycle I/O ポートを内蔵します。

## 6-8.Debug Port

デバッガと通信するためのインターフェースとして SWD(2 線式の Serial Wire Debug Port)を内蔵します。
本インターフェースを介して、内部リソースへのアクセスが可能です。
また、デバッガからフラッシュ ROM などのオンチップメモリへの書き込みに使用することが出来ます。

## 6-9.MTB

Cortex®-M0+の実行トレースを可能とする MTB(Micro Trace Buffer)を内蔵します。本 MTB は、データ RAM をトレース用メモリとして共用します。

## 6-10.クロック

3 つのクロックについて説明します。

- システムクロック系統
- デバッグポートクロック系統
- ペリフェラルクロック系統

### 6.10.1 システムクロック系統

CPU コアやバスに供給されるクロックです。

最大周波数は 40MHzです。

プロセッサの動作状態によって、ゲーテッドされる 3 つの派生クロックがあります。

| Clock | Name | Description |
|---|---|---|
| CLK | Source Clock | ソースクロックです。<br>内蔵 PLL（N/M 倍の逓倍/分周設定）にて最大 40MHz、内蔵 RC OSC にて最大 34MHz 動作が可能です。 |
| FCLK | Free Running Clock | DEEPSLEEP ステートの時、停止可能なクロックです。SLEEP ステートの時は、供給されます。<br>Cortex®-M0+内の Wakeup Interrupt Controller や Power Management Unit で使用されます。 |
| SCLK | Processor System Clock | DEEPSLEEP ステートの時、本クロックは停止します。SLEEP ステートの時は、供給されます。<br>SLEEP ステート時に動作する必要のあるデバイスには本クロック（またはその派生クロック）を接続します。 |
| HCLK | AHB Clock | DEEPSLEEP ステートおよび SLEEP ステートの時、本クロックは停止します。SLEEP ステート中に動作しないデバイスは本クロック（またはその派生クロック）を接続します。 |
| DCLK | Debug domain clock | Debugger が接続されている時には、常に供給されます。 |

**CPU クロック系統**

### 6.10.2 デバッグポートクロック系統

JTAG I/F に供給されるクロック系統です。

チップ外部のデバッガから供給されます。

デバッグポートクロック系統の最大周波数は 10MHz です。

### 6.10.3 ペリフェラルクロック系統

ペリフェラルに供給されるクロック系統です。

#### 6.10.3.1 UART リファレンスクロック

ボーレート生成の基準となるクロックです。 ボーレート誤差を抑えるためには本クロック周波数を調整が必要です。

例) 基準クロック周波数=40.57MHz(32.768KHz XTAL OSC から PLL にて 1238 逓倍)とした場合、115.2kbps 時のボーレート誤差は約 0.1%となります。

#### 6.10.3.2 SPI リファレンスクロック

SPI(Master/Slave)のシリアルクロック生成のソースとなるクロックです。シリアル通信用クロックの周波数は、本リファレンスクロックの 1/2 以下となります。

#### 6.10.3.3 SSIS サンプリングクロック

SSIS(SSI Slave)でのデータ送受信に使用されるクロックです。シリアル通信用クロックの周波数は、本リファレンスクロックの 1/10 以下となります。

#### 6.10.3.4 WDT クロック

ウォッチドッグタイマを駆動するクロックです。

数百 μsec～数十 msec 程度の時間を計測出来ます。

32.768kHz 入力、低速 CR 入力またはソースクロックの分周を選択可能です。

#### 6.10.3.5 GPIO デバウンスクロック

GPIO からの入力信号を外部割り込みソースとして使用する場合、ノイズやチャタリング等の影響を除去するために、一定周期でサンプリングするデバウンス回路を実装しております。本クロックは、そのデバウンス回路に使用するクロックです。

#### 6.10.3.6 タイマクロック

標準 32 ビットタイマで使用するクロックです。
XTAL32.768kHz 入力、低速 CR 入力またはソースクロックの分周を選択可能です。

#### 6.10.3.7 RTC クロック

リアルタイムクロック(RTC)で使用するクロックです。
XTAL32.768kHz 入力、低速 CR 入力またはそれらの分周を選択可能です。

#### 6.10.3.8 フレキシブルタイマクロック

フレキシブルタイマ(FTM)で使用するクロックです。
XTAL32.768kHz 入力または低速 CR 入力を選択可能です。

#### 6.10.3.9 I2C リファレンスクロック

I2C の通信用のシリアルクロックを生成するためのリファレンスクロックです。I2C クロックは、サポートするシリアル通信モード(Standard mode, Fast mode)に依存します。
I2C リファレンスクロックの周波数はシステムクロックの周波数以上とする必要があります

**I2C リファレンスクロックの最低周波数**

| Mode | 最低周波数 | I2C bus ratio |
|---|---|---|
| Standard mode | 2.7MHz | 100kbps |
| Fast mode | 12MHz | 400kbps |

#### 6.10.3.10 フラッシュ ROM コントローラクロック

フラッシュ ROM コントローラで使用するクロックです。

#### 6.10.3.11 DIO クロック

DIO で使用するクロックです。

#### 6.10.3.12 RAND_GEN クロック

RAND_GEN(擬似乱数生成回路)で使用するクロックです。

#### 6.10.3.13 CLK_Timer リファレンスクロック

CLK_Timer で低速クロックをカウントするクロックです。
高速 CR、RF クロック出力または PLL クロック出力を選択可能です。

#### 6.10.3.14 SysTick タイマクロック

Cortex®-M0＋内の SysTick タイマを駆動するクロックです。
通常は 1MHz となります。CPU 低速(32KHz)モード時は 32KHz となります。

#### 6.10.3.15 AES クロック

AES で使用するクロックです。

#### 6.10.3.16 ADC クロック

ADC コントローラで使用するクロックです。ADC のサンプリング周波数(Max＝2.5MHz)以下となります。

#### 6.10.3.17 TEMP クロック

温度センサコントローラで使用するクロックです。ADC のサンプリング周波数(Max＝2.5MHz)以下となります。

#### 6.10.3.18 LVD クロック

低電圧検出コントローラで使用するクロックです。

#### 6.10.3.19 DMAC クロック

DMA コントローラで使用するクロックです。

#### 6.10.3.20 Flash DMA クロック

Flash DMA コントローラで使用するクロックです。

## 6-11.リセット

リセット系統とリセット対象の関係をリセット要因とリセット対象に示します。

リセット要因には、ハードリセット、Cortex®-M0+の SYSRESETREQ リセット、ペリフェラルリセット、デバッガ未接続時のデバッガリセット、WDT リセット、電圧検出リセットおよび CPU LOCKUP 時のリセットがあります。

ハードリセットは、外部端子によるリセットやパワーオン検出をトリガとする電源投入時のリセットなどのハードの初期動作時に発生します。ハードリセット発生時は、リセット回路は初期化可能な全ての回路に接続されたリセット系統をアサートし、回路を初期化します。

Cortex®-M0+の SYSRESETREQ リセットは、Cortex®-M0+内の Application Interrupt and Reset Control Register(AIRCR)の SYSRESETREQ ビットを CPU またはデバッガからセットすることにより発生します。CPU およびペリフェラル、バス、メモリ IF は初期化され、プログラムはリセット例外ベクタのフェッチを行います。

ペリフェラルリセットは、ペリフェラルリセットレジスタの各ペリフェラルに割り当てたビットをセットすることで、対象のペリフェラルのみをリセットします。

デバッガ未接続時は、デバッグ回路は常時リセット状態となり、不要なスイッチングやデバッグ回路による誤動作を防ぎます。

WDT リセット、電圧検出リセットおよび CPU LOCKUP 時の自動リセットは、CPU ステータスレジスタとデバッグ回路を除く全ての初期化可能な回路が初期化されます。

**リセット要因とリセット対象**

| リセット対象 | リセット要因 | | | | | |
|---|---|---|---|---|---|---|
| | ハードリセット パワーオンリセット | LVD リセット | WDT リセット/電圧検出リセット /CPU LOCKUP 時の自動リセット | Cortex®-M0 +AIRCR レジスタの SYSRESETREQ ビットセット | ペリフェラルリセット | デバッガ未接続時 |
| CPU_ST レジスタ | ○ | - | - | - | - | - |
| CPU_ST レジスタ以外の Sticky 属性を持つ制御レジスタ | ○ | ○ | ○ | - | - | - |
| クロック制御回路、パワーマネジメント回路などのシステムハードウェア | ○ | ○ | ○ | - | - | - |
| CPU AHB バス・AHB ペリフェラル | ○ | ○ | ○ | ○ | - | - |
| APB バス・上記以外のペリフェラル | ○ | ○ | ○ | ○ | ○ | - |
| SingleCycleIO バス・ペリフェラル | ○ | ○ | ○ | ○ | ○ | - |
| フラッシュ ROM | ○ | ○ | ○ | - | - | - |
| RF チップ | ○ | ○ | - | - | ○ | - |
| デバッグ回路 | ○ | - | - | - | - | ○ |

## 6-12.パワーマネジメント

クロック制御、電源制御により低消費電力化をはかります。

### 6.12.1　動作モード

本 LSI のパワーマネジメントの特長を以下に示します。

- SLEEP および DEEPSLEEP の低消費電力状態をサポートします。
- 各低消費電力状態に応じたクロック停止を行います。

本 LSI で定義する基本パワーステートを以下に示します。

| 動作モード | 動作状態 | | 消費電流 | Active モードへの復帰 | |
|---|---|---|---|---|---|
| | Cortex®-M0+ のパワーモード | LSI | 消費電流 | 方法 | 時間 |
| Active | RUN | 全クロック供給状態。但し、ペリフェラル(RF 含む)のクロック配信はレジスタで ON/OFF 設定可能 | 11mA | - | - |
| SLEEP | Sleep | AHB バスクロック(FlashROM/RAM)停止状態。ペリフェラル(RF 含む)のクロック配信はレジスタで ON/OFF 設定可能。 | 5mA | ペリフェラルの割り込み。Debugger 起動 | 75nsec |
| DEEPSLEEP | DeepSleep | メインクロック停止状態。サブクロック系ペリフェラル(RTC、TIMER 等)のクロック配信はレジスタで ON/OFF 設定可能。<br>FlashROM/SRAM/非サブクロック系ペリフェラル/RF の電源供給はレジスタ設定で ON/OFF 設定可能 | 2uA (全内部電源供給 OFF 状態、1 バンクモード) | サブクロック系ペリフェラルの割り込み。Debugger 起動 | 150usec |

### 6.12.2 電源分離

本 LSI では DEEPSLEEP 時に、LSI 内部の一部電源を OFF することにより、低消費電力化をはかることが可能です。

電源 ON/OFF 設定が可能な機能ブロックは以下となります。

| 機能ブロック | 対象範囲 | 設定レジスタ | DeepSleep 設定可否 | |
|---|---|---|---|---|
| | | | 1 バンクモード | 2 バンクモード |
| SRAM | 32KB 単位(最大 64KB) | ディープスリープ制御レジスタ（0x40050040）のビット 8-9 | 可 | 可 |
| FLASH | 512KB 全域 | ディープスリープ制御レジスタ（0x40050040）のビット 10 | 可 | 否 |
| Logic | CPU、FlashCnt、STD GPIO、AES、DMAC、FlashDMA、UART、SPI、I2C、RAND、SSIS、FTM、CLK Timer、DIO、ADC、TEMP | ディープスリープ制御レジスタ（0x40050040）のビット 11 | 可 | 否 |
| RF | RF チップ全域 | ディープスリープ制御レジスタ（0x40050040）のビット 12 | 可 | 可 |

【ご注意】"2 バンクモード"時は FLASH および Logic の電源は常時 ON(対象レジスタを 0 設定)でご使用願います。もしも、"2 バンクモード"時に FLASH および Logic の電源を OFF(対象レジスタを 1 設定)にして DEEPSLEEP 命令を実行しますと、DEEPSLEEP 状態から CPU が復帰できなくなります。

## 6-13.システム制御

システム制御(System Control)は,クロックやリセットの制御やリマップ、割り込み、SysTiCkタイマなどシステム全体の制御や、チップ毎に決められた ID 情報、CPU ステータス情報などの表示を行うブロックです。

### 6.13.1 クロック制御

- クロックソース(高速 CR、RF クロック、XTAL32KHz、低速 CR、PLL)を選択します。
- 各ペリフェラルのクロック停止、再開を行います。
- ペリフェラル毎に CPU が低消費電力状態(SLEEP または DEEPSLEEP)に遷移した時の動作(自動的にクロック停止を行う)を設定します。
- システムクロックや各ペリフェラルに供給するクロックの周波数を変更します。

### 6.13.2 リセット制御

- 各ペリフェラルを個別にリセットすることが出来ます。
- CPU が LOCKUP 状態となった時の動作を設定します。
- CPU が LOCKUP によるリセット、低電圧検出またはウォッチドッグタイマによるリセットにより初期化されたことを示します。

### 6.13.3 情報表示

チップを区別するために、チップ毎に決められた ID 情報を示します。

### 6.13.4 リマップ制御

アドレス空間上のリマップ領域に配置するデバイスを選択します。

### 6.13.5 Cortex®-M0＋制御

Cortex®-M0＋内に搭載された Nested Vectored Interrupt Controller (NVIC)および SysTick タイマの設定を変更します。

### 6.13.6 ブートプログラム

ブートプログラム領域にブートプログラムが書き込まれております。
詳細は、『ML7416 ブートプログラム機能説明書』を参照願います。

## 6-14.ペリフェラル

本LSIは、ペリフェラルとしてUART, SPI, SSIS, WDT, GPIO(APB GPIO), SingleCycleIO(STD GPIO), タイマ, RTC, フレキシブルタイマ(FTM), I2C, Flash コントローラ、DIO, RAND_GEN, CLK_Timer, AES, ADC, 温度計(TEMP), 低電圧検出(LVD),DMAC, Flash DMAを実装します。

### 6.14.1 UART

業界標準の16550と同等な機能を有した調歩同期式シリアルインターフェースです。特長を以下に示します。

- 送受信それぞれに16バイトのFIFO を内蔵しています。
- 全二重通信が可能です。
- プログラマブルなボーレートジェネレータを内蔵しています。但し、送受信のボーレートは共通です。
- キャラクタサイズとして5～8ビットをサポートします。
- 1または2(キャラクタサイズが5ビットの場合は1.5)ストップビットを選択可能です。
- パリティの生成/チェックについては、even/odd/none/stick をサポートしています。
- オートフローコントロールをサポートしています。

### 6.14.2 SPI

同期式シリアルインターフェース(マスタ・スレーブ)です。特長を以下に示します。

- 全二重でデータ転送を行います。
- マスタまたはスレーブモードの選択が可能です。
- 送信側と受信側に16バイトまたは16ワード(16ビット)のFIFOを内蔵しています。
- 転送サイズは8ビット(バイト)と16ビット(ワード)の選択が可能です。
- 受信バイト(ワード)数および未送信バイト(ワード)数による割り込みは1～16の範囲で設定できます。
- LSBファーストまたは、MSBファーストを選択可能です。
- シリアルクロックの極性と位相を選択可能です。
- マスタモード時、転送前後の間隔が制御可能です。
- 送受信完了、FIFO状態を状態ビットで示します。
- マルチマスタバス競合を避けるために、モードフォルトエラーを検出可能です。
- 送信FIFOがフル状態で、更に書き込みを行うと書込みオーバフローエラーを検出できます。
- 送受信FIFOが特定状態や、モードフォルトエラーなどの要因で割込みを生成します。

### 6.14.3 SSIS(SSI Slave)

同期式シリアルインターフェース(スレーブ専用)です。特長を以下に示します。

- Motorola SPI をサポートします。
- データ長: 4～16 ビット
- 送信・受信 FIFO 各 8 段

### 6.14.4 WDT

プログラマブルな 16bit のウォッチドッグタイマです。特長を以下に示します。

- カウンタがタイムアウトとなった時に、1 回目のタイムアウトで割り込みアサート、2 回目のタイムアウトでシステムリセット動作を行います。割り込みのみアサートしてリセット動作は行わないモード設定も可能です。
- SLEEP モードまたはデバッガにより CPU が停止された場合は、ウォッチドッグタイマのカウンタ動作を停止します。
- ウォッチドッグタイマのソースクロックは制御レジスタにより選択可能です。

### 6.14.5 GPIO(APB-GPIO)

割り込み機能を有する汎用ポートです。特長を以下に示します。

- 13bit(GPIOA)の汎用ポートです。
- 外部割り込み入力として使用出来ます。※レベル or エッジ、Low or High いずれかの選択となります。
- 入力側にデバウンス（ノイズやチャタリング等の影響を除去するために、一定周期でサンプリングする）回路を内蔵します。
- SLEEP/DEEPSLEEP からの復帰要因として使用可能です。

### 6.14.6 標準 GPIO（Single-cycle I/O）

1 サイクルでアクセス可能な Single-cycle I/O に接続された汎用ポートです。特長を以下に示します。

- 4bit(GPIOA)の汎用ポートです(5 次機能に割当て)。

### 6.14.7 タイマ

32 ビット x 10ch の汎用タイマです。特長を以下に示します。

- デバッガにより CPU が停止された場合は、タイマのカウンタ動作を停止します。
- カスケード接続により 64 ビットタイマとして使用可能です(TimerB、TimerC、TimerD、TimerE のみ)。

### 6.14.8 RTC

秒単位から読み書き出来る万年カレンダ付きリアルタイムクロックです。特長を以下に示します。

- 外部から入力された 32.768kHz または内蔵低速 CR により動作します。
- 時刻の設定、補正、読み出しが可能です。
- 割り込み要因として使用可能です。
- 時刻指定割込みが可能です。

### 6.14.9 フレキシブルタイマ(FTM)

16 ビットの多機能タイマです。特長(動作モード)を以下に示します。

- オートリロードタイマ（ART）
- コンペアアウト（CMO）
- パルス幅変調（PWM）
- キャプチャ（CAP）

### 6.14.10 I2C

2 線式(SCL, SDA)のシリアルインターフェース。特長を以下に示します。

- スタンダードモード(～100kbps)およびファーストモード(～400kbps)をサポートします。
- 7 または 10 ビットアドレッシングをサポートします。
- 7 または 10 ビットの複合フォーマット転送をサポートします。
- バルク転送モードをサポートします。

### 6.14.11 フラッシュ ROM コントローラ

内蔵フラッシュ ROM を制御するメモリコントローラです。

フラッシュ ROM の読み出し時に AHB スレーブとして動作します。

フラッシュ ROM の消去/書き込み/レジスタアクセスは APB スレーブとして動作します。

### 6.14.12 DIO

RF 部(ML7396B)制御専用のデータ送受信インターフェースです。

### 6.14.13 RAND_GEN

擬似乱数生成回路です。特徴を以下に示します。

-RAND 長を RAND9、RAND15、RAND23 の中から選択可能です。

-乱数生成結果を 2 の補数で出力することが可能です。

### 6.14.14 CLK_Timer

低速クロックの一定期間を高速クロックによりカウントし、カウント結果をレジスタに表示する機能です。

### 6.14.15 AES

Advanced Encryption Standard（以下 AES）を用いた送受信データの暗号化・復合化を行います。
特長を以下に示します。

- 128 ビットデータの暗号化・復号化(ECB、CBC、CTR、CCM、GCM、CFB、OFB サポート)
- 認証 TAG の生成・復号（CCM128/64/32/16/8）

### 6.14.16 ADC

10 ビット逐次比較型 AD コンバータを制御します。
特長を以下に示します。

- プログラマブルな最大 3 チャネル（CH0～CH2）スキャン機能（スキャン時間、スキャン順を設定可能）
  ※温度センサ(CH2)使用時は 2 チャンネルとなります。
- スキャン結果通知機能（割り込みにてスキャン完了を通知します。）
- AD 変換データ平均化機能（AD 変換した結果の平均値を表示します）
- CH0～CH2 入力電圧算出機能（CH3 にてレギュレータから出力される基準電圧のモニタが前提となります。）

### 6.14.17 温度計(TEMP)

チップ内部の温度を計測する 1 チャネルの温度センサです。
特長を以下に示します。

- 精度：±5℃
- 温度を電圧に変換し 10 ビット A/D コンバータでデジタル化します。

### 6.14.18 低電圧検出(LVD)

低電圧検出機能です。

特長を以下に示します。

- 電圧検出レベル設定が可能です。
- 検出後は割り込み通知 or リセットが選択可能です。
- 専用低速タイマで周期的に基準電圧(VBG)を起動して、電圧検出レベルを比較判定します。

### 6.14.19 DMAC

ダイレクト・メモリ・アクセス・コントローラです。各種ペリフェラルの中で SPI2、AES が DMA 転送に対応しています。

特長を以下に示します。

- 4 チャネルの DMA コントローラです。
- 各 ch にソース転送、デスティネーション転送用の 16 段の FIFO(チャネル 0 とチャネル 1 は 8 段)をそれぞれ搭載します。
- ペリフェラル-メモリ間転送が可能です。
- SPI、AES とハンドシェイクするハードウェアインタフェースを搭載します。
- 最大 2048 バイトのブロック転送が可能です。
- 各 ch の優先順位が設定可能です。
- AHB マスタポートを 1 ポート持ちます。
- 転送アドレスのインクリメント、デクリメントおよび単一アドレスへの転送が可能です。
- リンクリストによるマルチブロック転送をサポートします。

### 6.14.20 Flash DMA

CPU に代わり、Flash 領域へのデータ書込み、Flash 領域のデータコンペアをそれぞれ高速制御します。

特長を以下に示します。

- RAM 領域のデータを Flash 領域へ一括書込みします。
- RAM 領域のデータと Flash 領域のデータを比較し、その結果を通知致します。

### 6.14.21 その他

モードコントロール(MODE_CNT) ： クロック分周設定、電源分離制御、各種アナログ回路(レギュレータ、RCOSC、RF等)調整のための各種レジスタ群です。

# ■7.プログラミングモデル

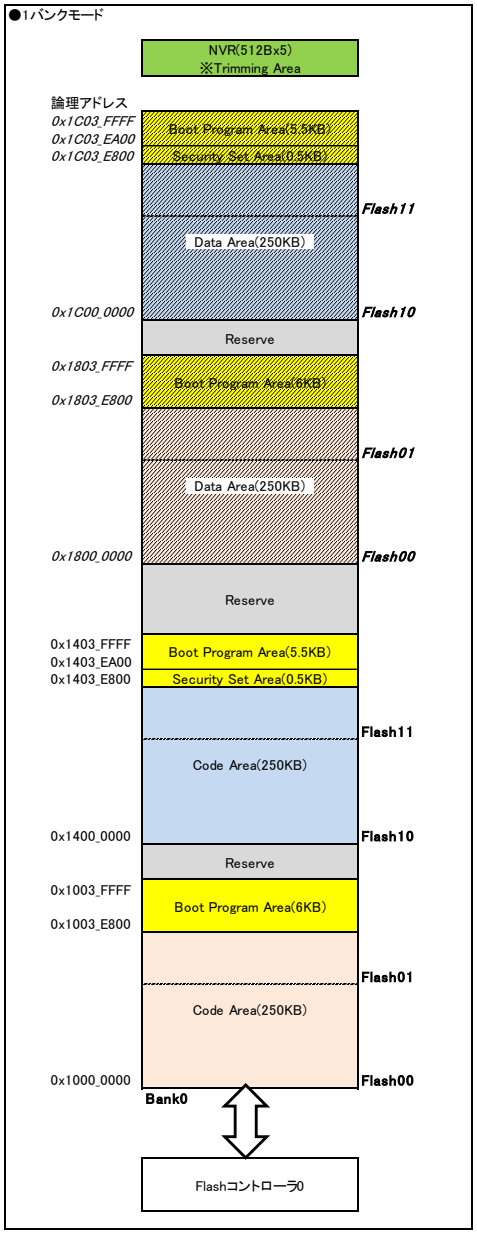
## 7-1.アドレスマップ

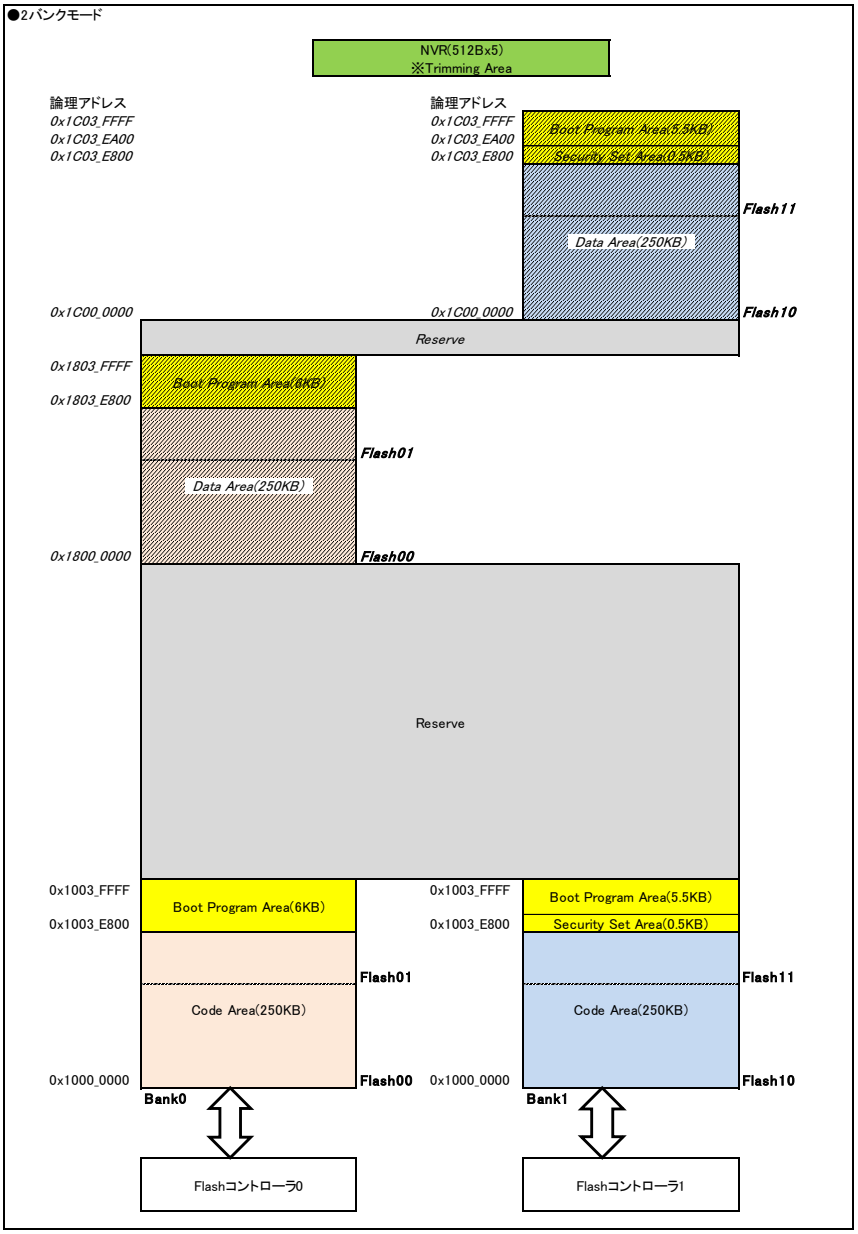
表 7-1 アドレスマップおよび表 7-2 アドレスマップ (AHB/APB/IO 詳細)にアドレスマップを示します。

**表 7-1 アドレスマップ**

| アドレス範囲 | 応答デバイス | | 説明 |
|---|---|---|---|
| | 通常 | REMAP | |
| 0xF000_3000-0xFFFF_FFFF | Reserved | | 予約領域です。 |
| 0xF000_2000-0xF000_2FFF | MTB | | Micro Trace Buffer(SFR)に割り当てられた領域です。<br>フラッシュ ROM コントローラのセキュリティ機能有効時は、本領域に対してはデフォルトスレーブが応答します。 |
| 0xF000_1000-0xF000_1FFF | Reserved | | 予約領域です。 |
| 0xF000_0000-0xF000_0FFF | ROM Table | | システム ROM テーブルに割り当てられた領域です。<br>フラッシュ ROM コントローラのセキュリティ機能有効時は、本領域に対してはデフォルトスレーブが応答します。 |
| 0x6000_0000-0xEFFF_FFFF | Reserved | | 予約領域です。 |
| 0x5C00_0404-0x5FFF_FFFF | Reserved | | 予約領域です。 |
| 0x5C00_0000-0x5C00_0403 | STD GPIO | | Single-cycle I/O ペリフェラルに割り当てられた領域です。 |
| 0x5800_0000-0x5BFF_FFFF | Reserved | | 予約領域です。 |
| 0x5000_0000-0x57FF_FFFF | Reserved | | 予約領域です。 |
| 0x4000_0000-0x4FFF_FFFF | AHB/APB | | AHB/APB デバイスに割り当てられた領域です。<br>詳細は表 7-2 アドレスマップ (AHB/APB/IO 詳細)を参照してください。 |
| 0x2001_0000-0x3FFF_FFFF | Reserved | | 予約領域です。 |
| 0x2000_0000-0x2000_FFFF | SRAM | | SRAM 領域です(64Kbyte)。 |
| 0x1C04_0000-0x1FFF_FFFF | Reserved | | 予約領域です。 |

| アドレス範囲 | 応答デバイス | | 説明 |
|---|---|---|---|
| | 通常 | REMAP | |
| 0x1C03_EA00-0x1C03_FFFF | フラッシュ ROM | | FLASH11 のブート領域です(5.5Kbyte)。※データ参照専用 |
| 0x1C03_E800-0x1C03_E9FF | フラッシュ ROM | | FLASH11 のセキュリティ領域です(0.5Kbyte)。※データ参照専用 |
| 0x1C02_0000-0x1C03_E7FF | フラッシュ ROM | | FLASH11 のユーザ領域です(122KByte)。※データ参照専用 |
| 0x1C00_0000-0x1C01_FFFF | フラッシュ ROM | | FLASH10 のユーザ領域です(128KByte)。※データ参照専用 |
| 0x1804_0000-0x1BFF_FFFF | Reserved | | 予約領域です。 |
| 0x1803_E800-0x1803_FFFF | フラッシュ ROM | | FLASH01 のブート領域です(6Kbyte)。※データ参照専用 |
| 0x1802_0000-0x1803_E7FF | フラッシュ ROM | | FLASH01 のユーザ領域です(122KByte)。※データ参照専用 |
| 0x1800_0000-0x1801_FFFF | フラッシュ ROM | | FLASH00 のユーザ領域です(128KByte)。※データ参照専用 |
| 0x1404_0000-0x17FF_FFFF | Reserved | | 予約領域です。 |
| 0x1403_EA00-0x1403_FFFF | フラッシュ ROM | | FLASH11 のブート領域です(5.5Kbyte) 。 |
| 0x1403_E800-0x1403_E9FF | フラッシュ ROM | | FLASH11 のセキュリティ領域です(0.5Kbyte) 。 |
| 0x1402_0000-0x1403_E7FF | フラッシュ ROM | | FLASH11 のユーザ領域です(122KByte)。 |
| 0x1400_0000-0x1401_FFFF | フラッシュ ROM | | FLASH10 のユーザ領域です(128KByte)。 |
| 0x1004_0000-0x13FF_FFFF | Reserved | | 予約領域です。 |
| 0x1003_E800-0x1003_FFFF | フラッシュ ROM | | FLASH01 のブート領域です(6Kbyte) 。 |
| 0x1002_0000-0x1003_E7FF | フラッシュ ROM | | FLASH01 のユーザ領域です(122KByte)。 |
| 0x1000_0000-0x1001_FFFF | フラッシュ ROM | | FLASH00 のユーザ領域です(128KByte)。 |
| 0x0008_0000-0x0FFF_FFFF | Reserved | | 予約領域です。 |
| 0x0000_0000-0x0007_FFFF | フラッシュ ROM | SRAM | リマップ領域です。<br>標準でフラッシュ ROM がミラーとして割り当てられます。リマップ時はMODE0 端子または制御レジスタの値によって、フラッシュROM、SRAM 領域などを割り当てることが可能です。 |


●1バンクモード
NVR(512Bx5)
※Trimming Area
論理アドレス
0x1C03_FFFF
0x1C03_EA00
0x1C03_E800
Boot Program Area(5.5KB)
Security Set Area(0.5KB)
Flash11
Data Area(250KB)
0x1C00_0000
Flash10
Reserve
0x1803_FFFF
0x1803_E800
Boot Program Area(6KB)
Flash01
Data Area(250KB)
0x1800_0000
Flash00
Reserve
0x1403_FFFF
0x1403_EA00
0x1403_E800
Boot Program Area(5.5KB)
Security Set Area(0.5KB)
Flash11
Code Area(250KB)
0x1400_0000
Flash10
Reserve
0x1003_FFFF
0x1003_E800
Boot Program Area(6KB)
Flash01
Code Area(250KB)
0x1000_0000
Flash00
Bank0
Flashコントローラ0


●2バンクモード
NVR(512Bx5)
※Trimming Area
論理アドレス
0x1C03_FFFF
0x1C03_EA00
0x1C03_E800
論理アドレス
0x1C03_FFFF
0x1C03_EA00
0x1C03_E800
Boot Program Area(5.5KB)
Security Set Area(0.5KB)
Flash11
Data Area(250KB)
0x1C00_0000
0x1C00_0000
Flash10
Reserve
0x1803_FFFF
0x1803_E800
Boot Program Area(6KB)
Flash01
Data Area(250KB)
0x1800_0000
Flash00
Reserve
0x1003_FFFF
0x1003_E800
Boot Program Area(6KB)
Flash01
Code Area(250KB)
0x1000_0000
Flash00
0x1003_FFFF
0x1003_E800
Boot Program Area(5.5KB)
Security Set Area(0.5KB)
Flash11
Code Area(250KB)
0x1000_0000
Flash10
Bank0
Bank1
Flashコントローラ0
Flashコントローラ1

・フラッシュ ROM の領域は FLASH00/FLASH01/FLASH10/FLASH11 の合計 512Kbyte(128Kbytex4)で構成されております。

・2 バンクモードの場合は、FLASH00/FLASH01(128Kbyte x2)と FLASH10/FLASH11(128Kbyte x2)で構成されております。

・電源投入は必ず 1 バンクモードで立ち上がります。

・1 バンクモードと 2 バンクモードの選択は、リマップ制御レジスタ SYSCON_REMAP_CON で行います。

・Boot Program Area は 0x1003_E800～0x1003_FFFF(6KB)と 0x1403_EA00～0x1403_FFFF(5.5KB)の合計 11.5KB です。

・mode0 端子を"H"にしてパワーオンするブートプログラム起動モードは、0x1003_E800 からの 4KB が 0x0000_0000 にマップされます。

・Security Set Area は、0x1403_E800～0x1403_E9FF の 512 バイトです。

・2 バンクモード時の Flash コントローラ 0 と Flash コントローラ 1 の両方とも論理アドレスが 0x1000_0000～となります。

・2 バンクモード時はソフトウェアが Flash コントローラを指定することにより、0x1000_0000～0x1003_E800 のアドレスが重複している反対面へ更新用プログラムの書込み可能となります。

・0x1800_0000～0x1C03_0000 の領域は、BANK モードやバンク選択の状態によらず、常に、0x1800_0000～0x1803_FFFF に Flash00 と Flash01 が、0x1C00_0000～0x1C03_FFFF に Flash10 と Flash11 がミラー領域となって参照できます。ただし、このミラー領域は、データ参照のみで，プログラム実行はできません(プログラムコードのフェッチができません)。

**表 7-2 アドレスマップ (AHB/APB/IO 詳細)**

| アドレス範囲 | 応答デバイス | 説明 |
|---|---|---|
| 0x5C000404-0x5FFFFFFF | Reserved | 予約領域です。 |
| 0x5C000000-0x5C000403 | STD GPIO | Single-cycle I/O 領域です。 |
| 0x58000000-0x5BFFFFFF | Reserved | 予約領域です。 |
| 0x4017009C-0x57FFFFFF | Reserved | 予約領域です。 |
| 0x40170000-0x4017009B | AES | AES 領域です。 |
| 0x40160020-0x4016FFFF | Reserved | 予約領域です。 |
| 0x40160000-0x4016001F | Flash DMA | Flash DMA 領域です。 |
| 0x40150400-0x4015FFFF | Reserved | 予約領域です。 |
| 0x40150000-0x401503FF | DMAC | DMAC 領域です。 |
| 0x40140820-0x4014FFFF | Reserved | 予約領域です。 |
| 0x40140800-0x4014081F | Reserved | 予約領域です。 |
| 0x40090030-0x401407FF | Reserved | 予約領域です。 |
| 0x40090000-0x4009002F | LVD | 低電圧検出領域です。 |
| 0x40080040-0x4008FFFF | Reserved | 予約領域です。 |
| 0x40080000-0x4008003F | Reserved | 予約領域です。 |
| 0x4007002C-0x4007FFFF | Reserved | 予約領域です。 |
| 0x40070000-0x4007002B | ADC | ADC 領域です。 |
| 0x40060040-0x4006FFFF | Reserved | 予約領域です。 |
| 0x40060000-0x4006003F | Reserved | 予約領域です。 |
| 0x40050260-0x4005FFFF | Reserved | 予約領域です。 |
| 0x40050000-0x4005025F | MODE _CNT | モード制御領域です。 |
| 0x40045014-0x40045FFF | Reserved | 予約領域です。 |
| 0x40045000-0x40045013 | CLK_Timer | CLK_Timer 領域です。 |
| 0x4004400C-0x40044FFF | Reserved | 予約領域です。 |
| 0x40044000-0x4004400B | RAND_GEN | RAND_GEN 領域です。 |
| 0x4004303C-0x40043FFF | Reserved | 予約領域です。 |
| 0x40043000-0x4004303B | DIO | DIO 領域です。※ML7396B 制御用です |
| 0x40042114-0x40042FFF | Reserved | 予約領域です。 |
| 0x40042000-0x40042113 | Ext_Timer | TimerF 領域です。※6ch 搭載 |
| 0x40041CB0-0x40041FFF | Reserved | 予約領域です。 |
| 0x40041C00-0x40041CAF | TimerE | TimerE 領域です。※TimerD とカスケード接続により 64bit 化可能 |

| | | |
|---|---|---|
| 0x400418B0-0x40041BFF | Reserved | 予約領域です。 |
| 0x40041800-0x400418AF | TimerD | TimerD 領域です。※TimerE とカスケード接続により 64bit 化可能 |
| 0x400414B0-0x400417FF | Reserved | 予約領域です。 |
| 0x40041400-0x400414AF | TimerC | TimerC 領域です。※TimerB とカスケード接続により 64bit 化可能 |
| 0x400410B0-0x400413FF | Reserved | 予約領域です。 |
| 0x40041000-0x400410AF | TimerB | TimerB 領域です。※TimerC とカスケード接続により 64bit 化可能 |
| 0x40040820-0x40040FFF | Reserved | 予約領域です。 |
| 0x40040800-0x4004081F | SPI2 | SPI2 領域です。※ML7396B 制御用(マスタ専用)です |
| 0x40040420-0x400407FF | Reserved | 予約領域です。 |
| 0x40040400-0x4004041F | SPI1 | SPI1 領域です。 |
| 0x40040020-0x400403FF | Reserved | 予約領域です。 |
| 0x40040000-0x4004001F | SPI0 | SPI0 領域です。 |
| 0x40018210-0x4003FFFF | Reserved | 予約領域です。 |
| 0x40018000-0x4001820F | ポート | ポートコンフィグレーション領域です。 |
| 0x40010100-0x40017FFF | Reserved | 予約領域です。 |
| 0x40010000-0x400100FF | WDT | WDT 領域です。 |
| 0x4000D0F4-0x4000FFFF | Reserved | 予約領域です。 |
| 0x4000D000-0x4000D0F3 | SSIS0 | SSI(Slave)領域です。 |
| 0x4000A378-0x4000CFFF | Reserved | 予約領域です。 |
| 0x4000A300-0x4000A377 | GPIOD | GPIOD 領域です。※ML7396B 制御用です。割り込み要因は[29]となります。 |
| 0x4000A278-0x4000A2FF | Reserved | 予約領域です。 |
| 0x4000A200-0x4000A277 | GPIOC | GPIOC 領域です。 |
| 0x4000A178-0x4000A1FF | Reserved | 予約領域です。 |
| 0x4000A100-0x4000A177 | GPIOB | GPIOB 領域です。 |
| 0x4000A078-0x4000A0FF | Reserved | 予約領域です。 |
| 0x4000A000-0x4000A077 | GPIOA | GPIOA 領域です。 |
| 0x40008100-0x40009FFF | Reserved | 予約領域です。 |
| 0x40008000-0x400080FF | I2C0 | I2C 領域です。 |
| 0x40004900-0x40007FFF | Reserved | 予約領域です。 |
| 0x40004800-0x400048FF | UART2 | UART2 領域です。 |
| 0x40004500-0x400047FF | Reserved | 予約領域です。 |
| 0x40004400-0x400044FF | UART1 | UART1 領域です。 |
| 0x40004100-0x400043FF | Reserved | 予約領域です。 |
| 0x40004000-0x400040FF | UART0 | UART0 領域です。※ISP 機能で使用します |
| 0x40003070-0x40003FFF | Reserved | 予約領域です。 |

| | | |
|---|---|---|
| 0x40003000-0x4000306F | RTC | RTC 領域です。 |
| 0x40002208-0x40002FFF | Reserved | 予約領域です。 |
| 0x40002000-0x40002207 | Flexible Timer | フレキシブルタイマ領域です。 |
| 0x400010B0-0x40001FFF | Reserved | 予約領域です。 |
| 0x40001000-0x400010AF | TimerA | TimerA 領域です。 |
| 0x40000760-0x40000FFF | Reserved | 予約領域です。 |
| 0x40000600-0x4000075F | Flash Control1 | フラッシュ ROM コントローラ 1 領域です。 |
| 0x40000560-0x400005FF | Reserved | 予約領域です。 |
| 0x40000400-0x4000055F | Flash Control0 | フラッシュ ROM コントローラ 0 領域です。 |
| 0x40000200-0x400003FF | Reserved | 予約領域です。 |
| 0x40000000-0x400001FF | System Control | システム制御領域です。 |

0x58000000-0x5FFFFFFF は STD GPIO が応答します。予約領域に対しては、ライトは無視され、リード時は 0 が読み出されます。

0x40150000-0x57FFFFFF は AHB の各種ペリフェラルが応答します。予約領域に対しては、AHB のエラー応答します。

0x40OO0000-0x4014FFFF は、APB の各種ペリフェラルが応答します。予約領域に対しては、ライトは無視され、リード時は 0 が読み出されます。

## 7-2.リマップ制御

外部端子または制御レジスタによりアドレス 0x00000000 から始まるリマップ領域に割り当てるデバイスを選択します。

パワーオンリセット時は、外部端子の状態によりリマップ領域に配置されるメモリデバイスが決定されます。パワーオンリセット後は、リマップ制御レジスタの内容によって、リマップ領域に配置されるメモリデバイスが決定されます。

リマップ制御レジスタの詳細は、SYSCON_REMAP_CON(0x40000010)を参照願います。

リマップ制御の実装例を以下に示します。

リマップ制御レジスタの REMAP_EN=0(初期値)の場合

外部端子 MODE0=L の時、内蔵フラッシュ ROM 内の 0 番地からプログラムが起動します。

外部端子 MODE0=H の時、内蔵フラッシュ ROM 内のブート領域からプログラムが起動します。

リマップ制御レジスタの REMAP_EN=1 の場合(ソフトウェアでリマップ制御レジスタ書き換え後、ソフトリセット時)

REMAP[3:0]=0b0000 の時、内蔵フラッシュ ROM から起動します。

REMAP[3:0]=0bxxx1 の時、内蔵 SRAM から起動します。

REMAP[3:0]=0bxx10 の時、予約

REMAP[3:0]=0bx100 の時、リマップベースアドレスで設定したアドレス(ブートプログラム領域)から起動します。

REMAP[3:0]=0b1000 の時、予約

[ベクタテーブルリロケーションについて]

Cortex®-M0+では、ベクタテーブルオフセットレジスタ(VTOR)によりベクタテーブルのリロケーションが可能です。ただし、VTOR はソフトリセット(AIRCR.SYSRESETREQ)によりリセットされるため、ご注意ください。

また、VTOR の書き換えにより直ちにベクタテーブルのリロケーションが行われることにご注意ください。Cortex®-M0+では、SCS 領域へのアクセスは DSB 命令の振る舞いを伴うため、DSB 命令を挿入する必要はありません。詳細は、

DAI0321A_programming_guide_memory_barriers_for_m_profile.pdf

4.11 Vector table configuration - Vector Table Offset Register (VTOR)

を参照してください。

## 7-3.内蔵フラッシュ ROM 空間

内蔵のフラッシュ ROM が割り当てられる領域(512KB)です。通常はプログラム ROM 空間として使用します。

リード時はフラッシュ ROM コントローラを介して、内蔵のフラッシュ ROM を読み出します。フラッシュ ROM の書き換え(消去、プログラム)は、フラッシュ ROM 制御レジスタを介した書き換えシーケンスにより実行されます。

フラッシュ ROM 空間の割り当てについては、アドレスマップを参照願います。

## 7-4.内蔵 SRAM 空間

内蔵の SRAM が割り当てられる領域(64KB)です。通常はデータ RAM 空間として使用します。

リマップ制御レジスタによりリマップ領域として割り当てることが可能です。フラッシュ ROM を書き換える場合などに、プログラム格納領域として使用することが可能です。

## 7-5.割り込み要因

本 LSI における割り込み要因の割り当てを、下表の割り込み要因一覧に示します。

**割り込み要因一覧**

| 割り込み番号 | 割り込み要因 |
|---|---|
| NMI | Reserved |
| IRQ[0] | WDT |
| IRQ[1] | Reserved |
| IRQ[2] | GPIOA |
| IRQ[3] | TimerA |
| IRQ[4] | GPIOB |
| IRQ[5] | RTC |
| IRQ[6] | TimerB |
| IRQ[7] | TimerC |
| IRQ[8] | Flexible Timer |
| IRQ[9] | GPIOC |
| IRQ[10] | UART0 |
| IRQ[11] | SSIS |
| IRQ[12] | ADC |
| IRQ[13] | AES |
| IRQ[14] | UART1 |
| IRQ[15] | UART2 |
| IRQ[16] | TimerD |
| IRQ[17] | Flash Control0 |
| IRQ[18] | TimerE |
| IRQ[19] | Ext_Timer |
| IRQ[20] | I2C |
| IRQ[21] | DMAC |
| IRQ[22] | SPI0 |
| IRQ[23] | SPI1 |
| IRQ[24] | Flash DMA |
| IRQ[25] | Flash Control1 |
| IRQ[26] | SPI2 |

| | |
|---|---|
| IRQ[27] | DIO |
| IRQ[28] | LVD |
| IRQ[29] | SINTN_CPU（GPIOD） |
| IRQ[30] | CLK_Timer |
| IRQ[31] | MODE_CNT |

## 7-6.システム制御

### 7.6.1 概要

ID 表示、リマップ制御、CPU 制御、ステータス表示、IRQ/SysTick 制御、クロック制御、パワーマネジメント制御を行います。

### 7.6.2 レジスター覧

| アドレス | 名称 | 略称 | R/W | 初期値 | 説明 |
|---|---|---|---|---|---|
| 0x40000000 | ID レジスタ 0 | SYSCON_ID0 | R | 0x11800000 | 機種情報を示します。 |
| 0x40000004 | ID レジスタ 1 | SYSCON_ID1 | R | 0x00000000 | 機種情報を示します。 |
| 0x40000008 | ID レジスタ 2 | SYSCON_ID2 | R | 0x00000000 | 機種情報を示します。 |
| 0x4000000C | ID レジスタ 3 | SYSCON_ID3 | R | 0x00000000 | 機種情報を示します。 |
| 0x40000010 | リマップ制御 | SYSCON_REMAP_CON | R/W | 0x00000000 | REMAP 動作を制御します。 |
| 0x40000014 | リマップベースアドレス | SYSCON_REMAP_BASE | R/W | 0x1003E800 | REMAP 動作を制御します。 |
| 0x40000020 | CPU 制御 | SYSCON_CPU_CON | R | 0x00000000 | CPU がロックアップした時の動作を設定します。 |
| 0x40000024 | CPU ステータス | SYSCON_CPU_ST | R | 0x00000000 | CPU の状態を示します。 |
| 0x40000030 | IRQ 制御 | SYSCON_IRQ_CON | R/W | 0x0000000D | IRQ レイテンシを設定します。 |
| 0x40000034 | SysTick タイマクロック制御 | SYSCON_STCALIB | R/W | STCALIBINIT | SysTick タイマのクロックを補正します。 |
| 0x40000040 | ペリフェラルクロック・イネーブルレジスタ | SYSCON_PCLK_EN | R/W | 0xFFFFFCFB | 各ペリフェラルに供給するクロックを停止します。 |
| 0x40000044 | ペリフェラルクロック・ディセーブルレジスタ | SYSCON_PCLK_DIS | R/W | 0x00000000 | 各ペリフェラルに供給するクロックを停止します。 |

| | | | | | |
|---|---|---|---|---|---|
| 0x40000048 | ペリフェラルパワーマネジメントレジスタ1 | SYSCON_PPM1 | R/W | 0x00000000 | DEEPSLEEP 時にペリフェラルクロックを自動的に停止します。 |
| 0x4000004C | ペリフェラルパワーマネジメントレジスタ2 | SYSCON_PPM2 | R/W | 0x00000000 | SLEEP 時にペリフェラルクロックを自動的に停止します。 |
| 0x40000050 | ペリフェラルリセットレジスタ | SYSCON_PRST_CON | R/W | 0x00000000 | 各ペリフェラルをリセットします。 |
| 0x40000060 | ペリフェラルクロック制御レジスタ | SYSCON_PERI_CKCON | R/W | 0x00000000 | クロック制御用のレジスタです。 |
| 0x40000064 | システムクロック制御レジスタ | SYSCON_SYS_CKCON | R/W | 0x00000000 | システムクロック制御用のレジスタです。 |
| 0x40000100 | ISPシステムクロックレジスタ | SYSCON_ISP_SYSCLK | R | - | ブートプログラム領域から起動した時のシステムクロック周波数を示します。 |
| 0x40000104 | ISP UART ソースクロックレジスタ | SYSCON_ISP_UART_SCLK | R | - | ブートプログラム領域から起動した時の UART ボーレート基準周波数を示します。 |
| 0x40000108 | ISP SSI スレーブソースクロックレジスタ | SYSCON_ISP_SSIS_SCLK | R | - | ブートプログラム領域から起動した時の SSI スレーブサンプリングクロック周波数を示します。 |
| 0x4000010C | ISP タイマクロックソースレジスタ | SYSCON_ISP_TMR_SCLK | R | - | ブートプログラム領域から起動した時のタイマクロック周波数を示します。 |

### 7.6.3 レジスタ説明

#### 7.6.3.1 ID レジスタ 0(0x40000000) (SYSCON_ID0)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | PLATFORM_ID[7:0] | | | | | | | | CHIP_ID[15:0] | | | | | | | | | | | | | | | | CONFIGURATION[3:0] | | | | REVISION[3:0] | | | |
| 初期値 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

チップやシステムの構成をソフトウェア、デバッガなどに示します。

| | |
|---|---|
| PLATFORM_ID[7:0] | Ux(Cortex®-M0＋) Platform であることを示します。<br>PLATFORM_ID[7:4]: CoreID: 0x1 Cortex®-M0+<br>(0x0 Cortex®-M0) |
| | PlatformID[3:0]: Version: 0x0 MTB 非搭載<br>0x1 MTB 搭載 |
| CHIP_ID[15:0] | チップを区別するために使用します。<br>上位 4 ビットは分野区分、下位 12 ビットは商品区分を区別するために使用します。 |
| CONFIGURATION[3:0] | 本フィールドは、派生品を管理するために使用します。<br>通常、ROM コード派生品、メモリサイズ派生品などを区別するために使用します。 |
| REVISION[3:0] | 本フィールドは、版数管理に使用します。<br>通常、Bug Fix などによる回路変更による版数などを区別するために使用します。 |

7.6.3.3 リマップ制御レジスタ(0x40000010) (SYSCON_REMAP_CON)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | BANK_SEL_MON | BANK_MODE_MON | BANK_SEL | BANK_MODE | Reserved | | | REMAP_EN | REMAP[3:0] | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RWS | RWS | R | R | R | RWS | RWS | RWS | RWS | RWS |

S: Sticky:=ソフトリセット時は初期化されません。

| | |
|---|---|
| BANK_SEL_MON | 2 バンクモード時のバンクを表示します。<br>0: FLASH0 面(Flash00/Flash01)<br>1: FLASH1 面(Flash10/Flash11) |
| BANK_MODE_MON | バンクモードを表示します。<br>0:1 バンクモード<br>1:2 バンクモード |
| BANK_SEL | 2 バンクモード時のバンクを選択します。<br>0: FLASH0 面(Flash00/Flash01)<br>1: FLASH1 面(Flash10/Flash11)<br>SYSRESETREQ リセットにて本レジスタ値が反映されます。 |
| BANK_MODE | バンクモードを選択します。<br>0:1 バンクモード(初期値)<br>1:2 バンクモード<br>SYSRESETREQ リセットにて本レジスタ値が反映されます。 |
| REMAP_EN | 0: 外部端子 MODE0 の状態によってブートデバイスを選択します。<br>1: 本レジスタの REMAP[3:0]ビットの状態によってブートデバイスを選択します。 |
| REMAP[3:0] | ブートデバイスを選択します。<br>REMAP[3:0]ビットが<br>4'b0000: フラッシュ ROM が応答します。<br>4'bxxx1: 内蔵 SRAM が応答します。<br>4'bxx10: 内蔵 ROM が応答します。(未実装)<br>4'bx100: リマップベースアドレスで設定したアドレスに配置されたデバイスが応答します。<br>4'b1000: 外部 DRAM が応答します。(未実装) |

7.6.3.4 リマップベースアドレスレジスタ(0x40000014) (SYSCON_REMAP_BASE)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | REMAP_BASE[29:9] | | | | | | | | | | | | | | | | | | | | | Reserved | | | | | | | | |
| 初期値 | 0 | 0 | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | R | R | R | R | R | R | R | R | R |

S: Sticky:=ソフトリセット時は初期化されません。

REMAP レジスタによって本レジスタで設定したアドレスに配置されたデバイスがブートデバイスとして選択された場合、本レジスタで設定したアドレスから始まる 6KByte の領域を 0 番地から順次割り当てます。ブート可能デバイス以外が選択された場合の動作は保証しません。

* 本レジスタの初期値は、0x1003_E800 となります。(ブートプログラム領域 6KByte)

* リマップベースアドレスによるリマップ時はリマップ領域に割り当てられる領域は 6KByte のみです。ISP などで 6KByte 以上の空間を必要とする場合は、例外ベクタなどの必要最低限のコードを除き、フラッシュ ROM などの実体が配置された領域(フラッシュ ROM であれば、0x10000000～)に分岐して、プログラムを実行する必要があります。

7.6.3.5 CPU 制御レジスタ(0x40000020) (SYSCON_CPU_CON)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | RESET_LU |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| RWS | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RWS |

S: Sticky:=ソフトリセット時は初期化されません。

CPU が復帰不可能な例外により Lockup 状態となった時の動作を設定します。

| | |
|---|---|
| RESET_LU | CPU が Lockup 状態となった時の動作を設定します。<br>0: 何もしません。この時、CPU によるプログラム実行は行われず、デバッガからの内部リソースのアクセスのみ有効となります。<br>1: システム全体をリセットします。<br>本ビットはパワーオンリセットでのみ初期化されます。 |

7.6.3.6 CPU ステータスレジスタ(0x40000024) (SYSCON_CPU_ST)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | LVD1RST | LVD0RST | Reserved | | | | | | | WDTRST | Reserved | | | | | | | LOCKUP |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| RWS | RWS | R | R | R | R | R | R | R | R | R | R | R | R | R | RWS | RWS | R | R | R | R | R | R | R | RWS | R | R | R | R | R | R | R | RWS |

S: Sticky:=ソフトリセット時は初期化されません。

CPU の状態を示します。

| | |
|---|---|
| LVD0RST | 低電圧検出(LVD0)により CPU がリセットされたことを示します。<br>本ビットはパワーオンリセット以外では初期化されません。<br>本ビットをクリアする場合は 1 をライトしてください。 |
| LVD1RST | 低電圧検出(LVD1)により CPU がリセットされたことを示します。<br>本ビットはパワーオンリセット以外では初期化されません。<br>本ビットをクリアする場合は 1 をライトしてください。 |
| WDTRST | ウォッチドッグタイマにより CPU がリセットされたことを示します。<br>本ビットはパワーオンリセット以外では初期化されません。<br>ウォッチドッグタイマの expire によりリセットが発生した場合も、本ビットに情報が残ります。本ビットをクリアする場合は 1 をライトしてください。 |
| LOCKUP | CPU が LOCKUP 状態となったことを示します。(CPU の LOCKUP 端子がアサートされた時にセットされます。)<br>本ビットはパワーオンリセット以外では初期化されません。<br>CPU 制御レジスタによって LOCKUP 時にシステムをリセットするように設定した場合も、本ビットに情報が残ります。<br>本ビットをクリアする場合は 1 をライトしてください。 |

7.6.3.7 IRQ 制御レジスタ(0x40000030) (SYSCON_IRQ_CON)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | IRQLATENCY[7:0] | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 |
| RW | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| IRQLATENCY[7:0] | 割り込みの NVIC 内での Pending からベクタフェッチまでの最小サイクル数を設定します。<br>通常、初期値のままご使用下さい。 |

7.6.3.8 SysTick タイマクロック制御レジスタ(0x40000034) (SYSCON_STCALIB)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | NOREF | SKEW | Reserved | | | | | | TENMS | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

SysTick タイマのクロックソースを補正します。

| | | |
|---|---|---|
| SYSCON_STCALIB[31] | NOREF | システムクロック以外にクロックソースがないことを示します。<br>システムクロックの周波数が可変である場合、システムクロックの周波数に依存しない固定周波数のクロックを SysTick タイマとして使用することを推奨します。この場合、本ビットは 0 でご使用下さい。 |
| SYSCON_STCALIB[30] | SKEW | クロックソースの周波数が 100Hz の整数倍ではない時、本ビットを 1 にセットしてください。 |
| SYSCON_STCALIB[23:0] | TENMS | 10ms(100Hz)をクロックソースの周期で割った値を補正値として設定します。初期値はパラメータにより設定可能です。 |

補正値の設定例を以下に示します。

本レジスタを書き換えることで、Cortex®-M0＋内の SYST_CALIB レジスタ(Read Only)の値を書き換えることが出来ます。本レジスタ値は通常システム構成(SysTick クロック構成)によって一意に決定されるため、書き換える必要はありません。

| STCSEL | システムクロック周波数(MHz) | ソースクロック周波数(MHz) | 10ms/(システムクロック周期) | 補正値(HEX) |
|---|---|---|---|---|
| 0 | 5 | 5 | 50000 | C350 |
| 0 | 33.3 | 33.3 | 333333.3 | 51615 |
| 0 | 40 | 40.0 | 400000.0 | 61A80 |
| 0 | 50 | 50.0 | 500000.0 | 7A120 |

7.6.3.9 ペリフェラルクロック・イネーブルレジスタ(0x40000040)[3] (SYSCON_PCLK_EN)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FDMA_EN | DMA_EN | AES_EN | SPI2_EN | SPI1_EN | SPI0_EN | ADC_EN | FTM0_EN | GPIO2_EN | GPIO1_EN | GPIO0_EN | TMRA_EN | TMRB_EN | TMRC_EN | TMRD_EN | TMRE_EN | EXT_TMR_EN | STDGPIO_EN | CLKTMR0_EN | I2C0_EN | RAND0_EN | SSIS0_EN | Reserved | | DIO0_EN | UART2_EN | UART1_EN | UART0_EN | LVD_EN | Reserved | RTC_EN | WDT_EN |
| 初期値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | R | R | RW | RW | RW | RW | RW | R | RW | RW |

リード時

0: 対応するペリフェラルへのクロック供給を停止していることを示します。

1: 対応するペリフェラルへクロックを供給しています。

ライト時

0: ライトは無視されます。

1: 対応するペリフェラルへのクロック供給を開始します。

※ 各ビットはペリフェラルの有無により変更されることがあります。

【ご注意】

ペリフェラルの操作(ペリフェラルのレジスタリード含むペリフェラル全操作)をする際は、必ず本レジスタで操作対象ペリフェラルのクロックイネーブルをイネーブルに設定し、対象ビットが 1 にセットされるのを待ってから、開始してください。

[3]個別のドライバソフトではなく、OS、ブートローダー、パワーマネージャなどのシステムソフトウェアから制御されることを想定しています。

7.6.3.10 ペリフェラルクロック・ディセーブルレジスタ(0x40000044) (SYSCON_PCLK_DIS)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FDMA_DIS | DMA_DIS | AES_DIS | SPI2_DIS | SPI1_DIS | SPI0_DIS | ADC_DIS | FTM0_DIS | GPIO2_DIS | GPIO1_DIS | GPIO0_DIS | TMRA_DIS | TMRB_DIS | TMRC_DIS | TMRD_DIS | TMRE_DIS | EXT_TMR_DIS | STDGPIO_DIS | CLKTMR0_DIS | I2C0_DIS | RAND0_DIS | SSIS0_DIS | Reserved | | DIO0_DIS | UART2_DIS | UART1_DIS | UART0_DIS | LVD_DIS | Reserved | RTC_DIS | WDT_DIS |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | R | R | RW | RW | RW | RW | RW | R | RW | RW |

リード時

0: 対応するペリフェラルへクロックを供給しています。

1: 対応するペリフェラルへのクロック供給を停止していることを示します。

ライト時

0: ライトは無視されます。

1: 対応するペリフェラルへのクロック供給を停止します。

※ 各ビットはペリフェラルの有無により変更されることがあります。

ペリフェラルクロックをディセーブルした後(対象ペリフェラルの該当ビットに 1 をライトした後)は、対象ビットのクロックが停止した後、該当ビットから 1 が読み出せます。クロック停止完了を待つ必要がある場合は、必ず、本レジスタをリードして対象ビットが 1 にセットされるのを待ってください。

7.6.3.11 ペリフェラル・パワーマネジメント・レジスタ1(0x40000048) (SYSCON_PPM1)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FDMA_PPM1 | DMA_PPM1 | AES_PPM1 | SPI2_PPM1 | SPI1_PPM1 | SPI0_PPM1 | ADC_PPM1 | FTM0_PPM1 | GPIO2_PPM1 | GPIO1_PPM1 | GPIO0_PPM1 | TMRA_PPM1 | TMRB_PPM1 | TMRC_PPM1 | TMRD_PPM1 | TMRE_PPM1 | EXT_TMR_PPM1 | STDGPIO_PPM1 | CLKTMR0_PPM1 | I2C0_PPM1 | RAND0_PPM1 | SSIS0_PPM1 | ReSErved | | DIO0_PPM1 | UART2_PPM1 | UART1_PPM1 | UART0_PPM1 | LVD_PPM1 | FCNT_PPM1 | RTC_PPM1 | WDT_PPM1 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS | R | R | RWS | RWS | RWS | RWS | RWS | RWS | RWS | RWS |

S: Sticky:=ソフトリセット時は初期化されません。

DEEPSLEEP 状態の時に、各ペリフェラルのクロックを自動で停止します。

0: DEEPSLEEP 時にクロックを停止しません。

(ペリフェラルクロックディセーブルレジスタにより停止を行った場合は、停止します)

1: DEEPSLEEP 時にクロックを停止します。

【ご注意】

以下のビットに対応するクロックについては、本レジスタ設定値によらず DEEPSLEEP 時に必ずクロックを停止します。

02,04-07,10-14,21-31

7.6.3.12 ペリフェラル・パワーマネジメント・レジスタ 2(0x4000004C) (SYSCON_PPM2)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FDMA_PPM2 | DMA_PPM2 | AES_PPM2 | SPI2_PPM2 | SPI1_PPM2 | SPI0_PPM2 | ADC_PPM2 | FTM0_PPM2 | GPIO2_PPM2 | GPIO1_PPM2 | GPIO0_PPM2 | TMRA_PPM2 | TMRB_PPM2 | TMRC_PPM2 | TMRD_PPM2 | TMRE_PPM2 | EXT_TMR_PPM2 | STDGPIO_PPM2 | CLKTMR0_PPM2 | I2C0_PPM2 | RAND0_PPM2 | SSIS0_PPM2 | ReSErved | | DIO0_PPM2 | UART2_PPM2 | UART1_PPM2 | UART0_PPM2 | LVD_PPM2 | FCNT_PPM2 | RTC_PPM2 | WDT_PPM2 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RWS |

SLEEP 状態の時に、各ペリフェラルのクロックを自動で停止します。

0: SLEEP 時にクロックを停止しません。

(ペリフェラルクロックディセーブルレジスタにより停止を行った場合は、停止します)

1: SLEEP 時にクロックを停止します。

ペリフェラルクロックイネーブル/ディセーブルレジスタによる設定、本レジスタ設定時およびパワーステートと、ペリフェラルに供給されるクロックの状態を表 ペリフェラルクロック制御関連レジスタの組み合わせとクロック状態に示します。

ここで、RUN 状態は、バスアクセスを除く全ての機能は通常時と同様に動作可能なクロックを供給している状態です。SLEEP/DEEPSLEEP からの復帰要因として、ペリフェラルの割り込みを使用する場合は、対象のペリフェラルが RUN 状態である必要があります。STOP 状態は、停止可能な全てのクロックを停止した状態であり、動作させる必要のないペリフェラルのクロックを停止することで、低消費電力化が図れます。

ペリフェラルクロックイネーブルレジスタ/ディセーブルレジスタにより対象ペリフェラルのクロックがディセーブルとなった場合は、ペリフェラルパワーマネジメントレジスタ 1,2 およびパワーステートに関わらず、常にペリフェラルは停止可能な状態となります。ハードウェアは対象のペリフェラルに接続されるクロックを全て停止することが出来ます。また、ペリフェラルに対する一切の動作/応答は保証出来ません

[4]。

ペリフェラルクロックイネーブルレジスタ/ディセーブルレジスタにより対象ペリフェラルのクロックがイネーブルである場合は、ペリフェラルパワーマネジメントレジスタ1、2の該当ビットおよびパワーステートに応じて、クロック制御を行います。ペリフェラルパワーマネジメントレジスタ2の該当ビットが 1 の時は、CPU が SLEEP または DEEPSLEEP 状態に入ると、自動的に対象ペリフェラルのクロックを停止します。

ペリフェラルパワーマネジメントレジスタ2が 0 の時は、ペリフェラルパワーマネジメントレジスタ1の該当ビットおよびパワーステートによって、クロック制御を行います。ペリフェラルパワーマネジメントレジスタ 1 の該当ビットが 1 の時は、CPU が DEEPSLEEP 状態に入ると、自動的に対象ペリフェラルのクロックを停止します[5]。

表 ペリフェラルクロック制御関連レジスタの組み合わせとクロック状態

| ペリフェラルクロックイネーブル/ディセーブルレジスタ | SYSCON_PPM1[n] | SYSCON_PPM2[n] | パワーステート | ペリフェラルクロック供給状態 |
|---|---|---|---|---|
| Enable | 1 | 0 | DEEPSLEEP | STOP |
| | 0 | | | RUN |
| | * | | SLEEP | RUN |
| | * | | ACTIVE | RUN |
| | * | 1 | DEEPSLEEP | STOP |
| | | | SLEEP | STOP |
| | | | ACTIVE | RUN |
| Disable | * | * | * | STOP |

[4] システム上、全く使うことのないペリフェラルはペリフェラルディセーブルレジスタにより起動時にクロックを停止することを推奨します。
[5] DEEPSLEEP からの復帰イベントとして、対象ペリフェラルの割り込みを使用する場合は、必ず、ペリフェラルパワーマネジメントレジスタ 1 の該当ビットを 0 にクリアしてください。

7.6.3.13 ペリフェラルリセットレジスタ(0x40000050) (SYSCON_PRST_CON)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FDMA_PRST | DMA_PRST | AES_PRST | SPI2_PRST | SPI1_PRST | SPI0_PRST | ADC_PRST | FTM0_PRST | GPIO2_PRST | GPIO1_PRST | GPIO0_PRST | TMRA_PRST | TMRB_PRST | TMRC_PRST | TMRD_PRST | TMRE_PRST | EXT_TMR_PRST | STDGPIO_PRST | CLKTMR0_PRST | I2C0_PRST | RAND0_PRST | SSIS0_PRST | MODE_CNT_PRST | RF_PRST | DIO0_PRST | UART2_PRST | UART1_PRST | UART0_PRST | LVD_PRST | Reserved | RTC_PRST[6] | WDT_PRST |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | R | RW | RW |

1 を書き込むと、対応するペリフェラルをリセットします。

リセット完了後、本ビットは自動的に 0 にクリアされます。

リセット後、対象ペリフェラルの操作を開始するには、リセットが完了するのを待つ必要があります。必ず、リセット後は対象ペリフェラルの該当ビットが 0 にクリアされるのを待ってください。

[6] RTC の制御レジスタの初期値は不定であり、本ビットにより初期化されることはありません。

7.6.3.14 ペリフェラルクロック制御レジスタ(0x40000060) (SYSCON_PCLK_CON)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

7.6.3.15 システムクロック制御レジスタ(0x40000064) (SYSCON_SYS_CKCON)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

7.6.3.16 ISP システムクロックレジスタ: 0x40000100 (SYSCON_ISP_SYSCLK)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | ISP_SYSCLK | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

外部端子によりリマップベースアドレスから起動した時(通常、ISP プログラムが実行される)の、システムクロック周波数を示します。(単位: Hz)

7.6.3.17 ISP UART ソースクロックレジスタ: 0x40000104 (SYSCON_ISP_UART_SCLK)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | ISP_UART_SCLK | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

外部端子によりリマップベースアドレスから起動した時(通常、ISP プログラムが実行される)に、UART のボーレート生成に使用するソースクロックの周波数を示します。(単位: Hz)

7.6.3.18 ISP SSI スレーブソースクロックレジスタ: 0x40000108 (SYSCON_ISP_SSIS_SCLK)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | ISP_SSIS_SCLK | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

外部端子によりリマップベースアドレスから起動した時(通常、ISPプログラムが実行される)に、SSI Slaveのサンプリングソースクロックの周波数を示します。(単位: Hz)

シリアルクロックはマスタデバイスから供給されます。サンプリングクロックは、システムクロック同一周波数となります。

7.6.3.19 ISP タイマソースクロックレジスタ: 0x4000010C (SYSCON_ISP_TMR_SCLK)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | ISP_TMR_SCLK | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

外部端子によりリマップベースアドレスから起動した時(通常、ISP プログラムが実行される)に、32bit タイマの周波数を示します。(単位: Hz)

7.6.3.20 ISP 制御レジスタ: 0x40000110-0x4000017F

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

将来の ISP 機能拡張用に予約されたレジスタ領域です。

レジスタへのライトは無視されます。リード時は 0 が読み出されます。

## 7-7.UART

### 7.7.1 概要

業界標準の 16550 と同等な機能を有した調歩同期式シリアルインターフェースです。特長を以下に示します。

- 送受信それぞれに 16 バイトの FIFO を内蔵しています。
- 全二重通信が可能です。
- プログラマブルなボーレートジェネレータを内蔵しています。但し、送受信のボーレートは共通です。
- キャラクタサイズとして 5～8 ビットをサポートします。
- 1 または 2(キャラクタサイズが 5 ビットの場合は 1.5)ストップビットを選択可能です。
- パリティの生成/チェックについては、even/odd/none/stick をサポートしています。
- オートフローコントロールをサポートしています。

※端子機能の割付については 7-11.ポートコンフィグレーションをご参照願います。

### 7.7.2 レジスター覧

本 UART のプログラミングモデルは、表 16550 互換レジスター覧、表 16550 非互換レジスター覧に示すレジスタから構成されます。

**表 16550 互換レジスター覧**

| アドレス | 名称 | 略称 | サイズ | R/W | 初期値 |
|---|---|---|---|---|---|
| BASE+0x00 | Receive Buffer Register | UARTn_RBR | 32 | R | 0x00000000 |
| | Transmit Holding Register | UARTn_THR | 32 | W | 0x00000000 |
| | Divisor Latch Low | UARTn_DLL | 32 | R/W | 0x00000000 |
| BASE+0x04 | Interrupt Enable Register | UARTn_IER | 32 | R/W | 0x00000000 |
| | Divisor Latch High | UARTn_DLH | 32 | R/W | 0x00000000 |
| BASE+0x08 | Interrupt Identity Register | UARTn_IIR | 32 | R | 0x00000001 |
| | FIFO Control Register | UARTn_FCR | 32 | W | 0x00000000 |
| BASE+0x0C | Line Control Register | UARTn_LCR | 32 | R/W | 0x00000000 |
| BASE+0x10 | Modem Control Register | UARTn_MCR | 32 | R/W | 0x00000000 |
| BASE+0x14 | Line Status Register | UARTn_LSR | 32 | R | 0x00000060 |
| BASE+0x18 | Modem Status Register | UARTn_MSR | 32 | R | 0x00000000 |
| BASE+0x1C | Scratchpad Register | UARTn_SCR | 32 | R/W | 0x00000000 |

**表 16550 非互換レジスター覧**

| アドレス | 名称 | 略称 | サイズ | R/W | 初期値 |
|---|---|---|---|---|---|
| BASE+0x20 | Low Power Divisor Latch (Low) Register | UARTn_LPDLL | 32 | R/W | 0x00000000 |
| BASE+0x24 | Low Power Divisor Latch (High) Register | UARTn_LPDLH | 32 | R/W | 0x00000000 |
| BASE+0x30 | Shadow Receive Buffer Register | UARTn_SRBR | 32 | R | 0x00000000 |
| \| BASE+0x6C | Shadow Transmit Holding Register | UARTn_STHR | 32 | W | 0x00000000 |
| BASE+0x70 | FIFO Access Register | UARTn_FAR | 32 | R/W | 0x00000000 |
| BASE+0x74 | Transmit FIFO Read | UARTn_TFR | 32 | R | 0x00000000 |
| BASE+0x78 | Receive FIFO Write | UARTn_RFW | 32 | W | 0x00000000 |
| BASE+0x7C | UART Status Register | UARTn_USR | 32 | R | 0x00000006 |
| BASE+0x80 | Transmit FIFO Level | UARTn_TFL | 32 | R | 0x00000000 |
| BASE+0x84 | Receive FIFO Level | UARTn_RFL | 32 | R | 0x00000000 |
| BASE+0x88 | Software Reset Register | UARTn_SRR | 32 | W | 0x00000000 |
| BASE+0x8C | Shadow Request to Send | UARTn_SRTS | 32 | R/W | 0x00000000 |
| BASE+0x90 | Shadow Break Control Register | UARTn_SBCR | 32 | R/W | 0x00000000 |
| BASE+0x94 | Shadow DMA Mode | UARTn_SDMAM | 32 | R/W | 0x00000000 |
| BASE+0x98 | Shadow FIFO Enable | UARTn_SFE | 32 | R/W | 0x00000000 |
| BASE+0x9C | Shadow RCVR Trigger | UARTn_SRT | 32 | R/W | 0x00000000 |
| BASE+0xA0 | Shadow TX Empty Trigger | UARTn_STET | 32 | R/W | 0x00000000 |
| BASE+0xA4 | Halt TX | UARTn_HTX | 32 | R/W | 0x00000000 |
| BASE+0xA8 | DMA Software Acknowledge | UARTn_DMASA | 32 | W | 0x00000000 |
| BASE+0xF4 | Component Parameter Register | UARTn_CPR | 32 | R | 0x00011F72 |
| BASE+0xF8 | UART Component Version | UARTn_UCV | 32 | R | 0x3331342A |
| BASE+0xFC | Component Type Register | UARTn_CTR | 32 | R | 0x44570110 |

※n はモジュール番号(n=0,1,2)を示します。

※ UART0(n=0)のベースアドレスは 0x40004000 です。

※ UART1(n=1)のベースアドレスは 0x40004400 です。

※ UART2(n=2)のベースアドレスは 0x40004800 です。

※ システムに組み込まれた状態でオンチップのフラッシュ ROM 書き換えを行う In-System Programming(ISP)を使用する場合は、BASE=0x40004000(n=0)の UART0 を適用します。

### 7.7.3 レジスタ説明

#### 7.7.3.1 Receive Buffer Register (UARTn_RBR): BASE+0x00

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | RBR | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7:0 | RBR | R | 受信データです。Line Status Register の Data Ready ビットが 1 のとき有効なデータです。 |

#### 7.7.3.2 Transmit Holding Register (UARTn_THR): BASE+0x00

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | THR | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7:0 | THR | W | 送信データです。Line Status Register の THR Empty ビットが 1 のときのみライトしてください。 |

### 7.7.3.3 Divisor Latch Low (DLL): UARTn_BASE+0x00

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | DLL | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7:0 | DLL | R/W | 16bit のボーレート用分周器の下位 8bit です。 |

### 7.7.3.4 Interrupt Enable Register (UARTn_IER): BASE+0x04

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | PTIME | Reserved | | | EDSSI | ELSI | ETBEI | ERBFI |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | R | R | R | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7 | PTIME | R/W | Programmable THRE Interrupt Mode Enable。<br>THRE 割り込みの生成を制御します。<br>0:無効<br>1:有効 |
| 3 | EDSSI | R/W | Enable MODEM Status Interrupt<br>MODEM Status 割り込みのマスクを制御します。<br>0:マスクあり<br>1:マスクなし |
| 2 | ELSI | R/W | Enable Receiver Line Status Interrupt<br>Receiver Line Status 割り込みのマスクを制御します。<br>0:マスクあり<br>1:マスクなし |
| 1 | ETBEI | R/W | Enable Transmit Holding Register Empty Interrupt<br>THRE 割り込みのマスクを制御します<br>0:マスクあり<br>1:マスクなし |
| 0 | ERBFI | R/W | Enable Received Data Available Interrupt<br>Received Data Ready 割り込みと FIFO モードにおけるキャラクタタイムアウト割り込みのマスクを制御します。<br>0:マスクあり<br>1:マスクなし |

### 7.7.3.5 Divisor Latch High (UARTn_DLH): BASE+0x04

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | DLH | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7:0 | DLH | R/W | 16bit のボーレート用分周器の上位 8bit です。 |

### 7.7.3.6 Interrupt Identity Register (UARTn_IIR): BASE+0x08

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | FIFOSE | | Reserved | | | IID | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7:6 | FIFOSE | R | FIFOs Enabled。<br>FCR の FIFO Enable ビットがセットされ、送信用、受信用の両 FIFO がイネーブルになっている場合に、このフィールドは 2 ビット共セットされます<br>00:無効<br>11:有効 |
| 3:0 | IID | R/W | Interrupt ID。<br>発生中の割り込みのうち、最も優先度の高いものを示します。<br>割り込みの優先順位ついては表 7-7 割り込み一覧を参照ください。 |

**表 7-7 割り込み一覧**

| Interrupt ID | | | Interrupt Pending | Priority Level | 要因 | リセット方法 |
|---|---|---|---|---|---|---|
| FIFO mode Only | 全モード共通 | | | | | |
| bit3 | bit2 | bit1 | bit0 | | | |
| 0 | 0 | 0 | 1 | ー | 割り込みが発生していない状態 | ー |
| 0 | 1 | 1 | 0 | 最高 | Overrun Error 、Parity Error 、Framing Error 又は Break Interrupt を検出 | LSR を読む |
| 0 | 1 | 0 | 0 | 2 位 | データを受信した。又は FIFO モードにおいては FIFO 中のキャラクタの数がトリガーレベルに達した | 受信したキャラクタを読み出す(FIFO モードにおいては、残っているキャラクタの数がトリガーレベルを下回るまで読み出す) |
| 1 | 1 | 0 | 0 | 2 位 | 受信用 FIFO に少なくとも 1 個のキャラクタが存在する状態において、4 キャラクタ時間以上の間、受信用 FIFO に対するキャラクタの出し入れが無かったことを検出した | RBR(FIFO モードでは受信用 FIFO が見える)を読み出す |
| 0 | 0 | 1 | 0 | 3 位 | THR にキャラクタが存在しない | 割り込み ID が本要因を示している際に IIR を読み出すか、THR にキャラクタを書き込む |
| 0 | 0 | 0 | 0 | 4 位 | MSR において以下のいずれかのイベントが発生した場合。条件の詳細に付いては「2.3.9.MSR」を参照のこと<br>・DCTS がセットされた<br>・DDSR がセットされた<br>・TERI がセットされた<br>・DDCD がセットされた | MSR を読む |

7.7.3.7 FIFO Control Register (UARTn_FCR): BASE+0x08

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | RT | | TET | | DMAM | XFIFOR | RFIFOR | FIFOE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7:6 | RT | W | RCVR Trigger。<br>受信用 FIFO 割り込みのトリガーレベルを指定するフィールドです。値の意味は下表に示すようになります。<br>00: 1 キャラクタが FIFO に存在<br>01: FIFO の 1/4 にキャラクタが存在<br>10: FIFO の 1/2 にキャラクタが存在<br>11: FIFO は FULL まで残り 2 キャラクタ未満 |
| 5:4 | TET | W | TX Empty Trigger。<br>THRE 割り込みモードが有効時の、THRE 割り込みの FIFO empty の閾値レベルを設定します。<br>00: FIFO は空<br>01: FIFO に 2 キャラクタが存在<br>10: FIFO の 1/4 にキャラクタが存在<br>11: FIFO は 1/2 にキャラクタが存在 |

| | | | |
|---|---|---|---|
| 3 | DMAM | W | DMA Mode。<br>本ビットをセットすることにより、ポート dma_tx_req_n および dma_rx_req_n 出力信号のモードが 0 から 1 に切り替わります。モード 0 及びモード 1 の違いは以下の通りです。<br>0: mode 0 - 1 キャラクタ転送するごとに DMA 転送要求を取り下げます。<br>1: mode 1 - 1 回の DMA 要求で可能な限り多くのキャラクタを転送します。そのため、受信に際しては受信用 FIFO が空になるまで要求を取り下げません。また、送信に際しては送信用 FIFO に空きが無くなるまで要求を取り下げません。 |
| 2 | XFIFOR | W | XMIT FIFO Reset。<br>本ビットをセットすると送信用 FIFO がクリアされます(但し、送信用シフトレジスタは影響を受けません)。送信用 FIFO クリア後に本ビットの値は自動的にクリアされます。 |
| 1 | RFIFOR | W | RCVR FIFO Reset。<br>本ビットをセットすると受信用 FIFO がクリアされます(但し、受信用シフトレジスタは影響を受けません)。受信用 FIFO クリア後に本ビットの値は自動的にクリアされます。 |
| 0 | FIFOE | W | FIFO Enable。<br>本ビットをセットすることにより、本 UART は FIFO モードに入ります。FIFO モードにおいては送信用、受信用の両 FIFO がイネーブルとなります。本ビットの値が変化した場合、XMIT および RCVR FIFO の一部がリセットされます。 |

### 7.7.3.8 Line Control Register (UARTn_LCR): BASE+0x0C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | DLAB | BC | Stick Parity | EPS | PEN | STOP | DLS | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7 | DLAB | R/W | Divisor Latch Access Bit。<br>ボーレートジェネレータの分周比設定用レジスタ(DLH,DLL、LPDLL,LPDLH)へのアクセスを制御するためのフィールドです。1 にすると分周比設定用レジスタにリードとライトが可能になります。 |
| 6 | BC | R/W | Break Control Bit。<br>ブレーク条件の送出を制御するためのフィールドです。1 にするとシリアルデータ出力端子 TXD が強制的にスペース状態(論理"0")にされます(端子の値だけがスペース状態にされ、送信部の他の論理には影響を与えません)。 |

| | | | |
|---|---|---|---|
| 5 | Stick Parity | R/W | Stick Parity。<br>通信を行う際に生成/チェックされるパリティビットの値に固定した値を使用することを指示するフィールドです。PEN によりパリティの生成/チェックが指定されている場合に有効となります。<br>0: Stick パリティは行いません(パリティの生成/チェックは通常どおりに行われます)。<br>1: 奇数パリティが指定されている場合(PEN＝1,EPS＝0)には、生成/チェックされるパリティビットの値は 1 に固定となります。また、偶数パリティが指定されている場合(PEN＝1,EPS＝1)には、生成/チェックされるパリティビットの値は 0 に固定となります。 |
| 4 | EPS | R/W | Even Parity Select。<br>PEN によりパリティの生成/チェックを行うことが指定されている場合に、生成/チェックされるパリティの種類を指定するフィールドです。<br>0: 奇数パリティ(キャラクタとパリティビットを合せたデータの中の 1 の数が奇数になる)の生成/チェックを行います。<br>1: 偶数パリティ(キャラクタとパリティビットを合せたデータの中の 1 の数が偶数になる)の生成/チェックを行います。 |
| 3 | PEN | R/W | Parity Enable。<br>キャラクタの送信/受信の際にパリティの生成/チェックを行うことを指定するフィールドです。<br>0:パリティビットの生成/チェックは行いません。<br>1: 送信時にはキャラクタを構成する最後のビットとストップビットの間にパリティビットを挿入します。 |
| 2 | STOP | R/W | Number of stop bits。<br>キャラクタの送受信の際に付加されるストップビットの長さを指定するフラグです。送信の際には、STOP の値に応じた長さのストップビットが付加されます。但し、受信の際に、チェックするストップビットは、STOP の値に関わらず 1 ビットだけです。<br>0: ストップビットは 1 ビット<br>1:キャラクタ長が 5 ビットの場合には 1.5 ビット、6、7、8 ビットの場合には 2 ビットのストップビットが付加されます。 |
| 1:0 | DLS | R/W | Data Length Select。<br>シリアル転送の際のキャラクタ長(1 キャラクタ当たりのビット数)を指定するフィールドです。<br>00: 5 ビット<br>01: 6 ビット<br>10: 7 ビット<br>11: 8 ビット |

### 7.7.3.9 Modem Control Register (UARTn_MCR): BASE+0x10

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | SIRE | AFCE | LB | OUT2 | OUT1 | RTS | DTR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 6 | SIRE | R/W | SIR Mode Enable<br>IrDA SIR Mode の有効/無効を制御します。<br>0: IrDA SIR Mode 無効<br>1: IrDA SIR Mode 有効<br>※本 LSI では IrDA モードは未サポートのため、本ビットは 0 固定で使用してください。 |
| 5 | AFCE | R/W | Auto Flow Control Enable<br>Auto Flow Control の有効/無効を制御します。Auto Flow Control が有効なのは FIFOs が有効な場合です。<br>0: Auto Flow Control が無効<br>1: Auto Flow Control が有効 |

| | | | |
|---|---|---|---|
| 4 | LB | R/W | LoopBack Bit<br>本ビットをセットすることにより、本 UART は診断用のローカルループバックモードに入ります。ローカルループバックモードにおける UART の状態は以下に示す通りです。<br><br>■ モジュールのシリアルデータ出力端子はマーク状態(H レベル)になります。<br>■ モジュールのシリアルデータ入力端子は内部の回路から切り離され、UART 内部のシリアルデータの入力には、モジュール内部のシリアルデータ出力がループバック接続されます。<br>■ 4 本のモデム制御用入力端子(DSR, CTS, RI, DCD)も内部の回路から切り離され、代わって 4 本のモデム制御用出力端子(DTR, RTS, OUT1, OUT2)が、モジュール内部でループバックされます。<br>■ 4 本のモデム制御用出力端子(DTR, RTS, OUT1, OUT2)はネゲート状態(H レベル)になります。<br>■ ローカルループバックモードの間も送信割り込み及び受信割り込みに関する動作は通常通りとなります。しかし、MODEM ステータス割り込み(MSR のビットの変化によるもの)は、モデム制御入力ではなく、ループバックされたモデム制御用出力端子の値の変化に従って発生します。<br>■ 赤外線モードにおいて、シリアルデータ出力は反転され sir_in へループバックされ、この間 sir_out_n は L レベルになります。 |
| 3 | OUT2 | R/W | OUT2<br>本ビットの値は反転されモジュール出力端子 OUT2 に出力されます。 |
| 2 | OUT1 | R/W | OUT1<br>本ビットの値は反転されモジュール出力端子 OUT1 に出力されます。 |
| 1 | RTS | R/W | Request to Send<br>本ビットの値は反転されモジュール出力端子 RTS に出力されます。 |
| 0 | DTR | R/W | Data Terminal Ready<br>本ビットの値は反転されモジュール出力端子 DTR に出力されます。 |

### 7.7.3.10 Line Status Register (UARTn_LSR): BASE+0x14

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | RFE | TEMT | THRE | BI | FE | PE | OE | DR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7 | RFE | R | Receiver FIFO Error bit.<br>FIFO モードのとき有効なビットです。フレーミングエラー、パリティエラーまたはブレーク検出のいずれかを伴って受信されたキャラクタが、受信用 FIFO 中に少なくとも 1 個存在する場合にセットされます。受信用 FIFO 中にそのようなキャラクタが存在しない場合には、LSR の読み出しによりクリアされます。FIFO モードでない場合は常に 0 です。 |
| 6 | TEMT | R | Transmitter Empty bit.<br>FIFO モードのとき、送信シフトレジスタと FIFO の両方が空であることを示します。<br>FIFO モードでないとき Transmitter Holding Register と送信シフトレジスタの両方が空であることを示します。 |

| | | | |
|---|---|---|---|
| 5 | THRE | R | Transmit Holding Register Empty bit.<br><br>THRE モードが無効(IER[7]が 0)のとき、FIFO の有効無効(FCR[0])にかかわらず、THR もしくは TX FIFO が空であることを示します。<br>また、THRE 割り込みを有効にしている場合、THRE 割り込みを発生させます。<br><br>THRE モードが有効(ER[7]が 1)のとき、FIFOs が有効(FCR[0]が 1)な場合、送信 FIFO が FULL を示します。また、THRE 割り込みの制御は FCR[5:4]によって行われます。<br><br>セット条件:<br>THR もしくは TX FIFO から送信シフトレジスタへデータが乗せかえられ、THR もしくは TX FIFO が空である。 |
| 4 | BI | R | Break Interrupt bit.<br>ブレークを検出したことを示します。<br><br>セット条件:<br>UART モードでは、シリアル入力が 1 キャラクタの総転送時間(スタートビット+データ+パリティビット+ストップビットの転送時間)より長い期間 0 になっている場合に、ブレークを検出したとみなします。<br>赤外線モードでは、シリアル入力が 1 キャラクタの総転送時間(スタートビット+データ+パリティビット+ストップビットの転送時間)より 0 パルスの連続された期間が長い場合に、ブレークを検出したとみなします。<br><br>FIFO モードでないとき、ブレークを検出されるとセットされます。<br>FIFO モードのとき、ブレークを検出すると全ビット 0 のキャラクタ 1 個を受信用 FIFO に転送します。FIFO の先頭に全ビット 0 のキャラクタが来たときセットされます。<br><br>クリア条件:<br>LSR のリードでクリアされます。 |

| | | | |
|---|---|---|---|
| 3 | FE | R | Framing Error bit.<br>受信したキャラクタに付加されていたストップビットの値が不正であったことを示します。<br><br>セット条件:<br>キャラクタの受信時にストップビットの値が不正であった場合、本 UART はエラーの原因を「次のスタートビットのため」と推定し、エラーからの回復動作を行います。すなわち、このスタートビットを再度サンプリングしデータの受信を行います。<br><br>FIFO モードでないとき、不正なストップビットとともに受信されたキャラクタを RBR に転送したときセットされます。<br>FIFO モードのとき、不正なストップビットとともに受信されたキャラクタが FIFO の先頭に来たときセットされます。<br><br>クリア条件:<br>LSR のリードでクリアされます。 |
| 2 | PE | R | Parity Error bit.<br>受信したキャラクタに付加されていたパリティビットの値が不正であったことを示します。PEN(LCR[3])がセットされているとき有効です。<br><br>セット条件:<br>FIFO モードでないとき、不正なパリティビットと共に受信されたキャラクタが RBR に転送された時。<br>FIFO モードのとき、受信時に不正なパリティビットが検出されたキャラクタが受信用 FIFO の先頭に現れた時。<br><br>クリア条件:<br>LSR のリードでクリアされます。 |
| 1 | OE | R | Overrun error bit.<br>受信したキャラクタの読み出しが間に合わなかったため 1 個以上のキャラクタが失われたことを示します。FIFO モードでないとき、RBR のキャラクタが上書きされます。FIFO モードのとき、受信シフトレジスタのデータが消失し、FIFO のデータは保存されます。<br><br>セット条件:<br>FIFO モードでないとき、RBR から読み出し前に、受信部へ新キャラクタが到着した時。<br>FIFO モードのとき、受信用 FIFO がフルで、受信部へ新キャラクタが到着した時。<br><br>クリア条件:<br>LSR のリードでクリアされます。 |

| | | | |
|---|---|---|---|
| 0 | DR | R | Data Ready bit.<br>RBR または FIFO に受信済みのキャラクタが存在することを示します。<br><br>クリア条件:<br>FIFO モードでないとき、RBR から読み出だす。<br>FIFO モードのとき、受信用 FIFO が空になる。 |

7.7.3.11 Modem Status Register (UARTn_MSR): BASE+0x18

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | DCD | RI | DSR | CTS | DDCD | TERI | DDSR | DCTS |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7 | DCD | R | Data Carrier Detect.<br>本ビットの値は MCR の中にある LOOP ビットの値により、下表に示すように変化します。<br>LOOP=0: モジュールの入力端子 dcd_n の値を反転した値が読み出されます。<br>LOOP=1: MCR の OUT2 ビットの値と等しい値が読み出されます。 |
| 6 | RI | R | Ring Indicator.<br>本ビットの値は MCR の中にある LOOP ビットの値により、下表に示すように変化します。<br>LOOP=0: モジュールの入力端子 ri_n の値を反転した値が読み出されます。<br>LOOP=1: MCR の OUT1 ビットの値と等しい値が読み出されます。 |
| 5 | DSR | R | Data Set Ready.<br>本ビットの値は MCR の中にある LOOP ビットの値により、下表に示すように変化します。<br>LOOP=0: モジュールの入力端子 dsr_n の値を反転した値が読み出されます。<br>LOOP=1: MCR の DTR ビットの値と等しい値が読み出されます。 |

| | | | |
|---|---|---|---|
| 4 | CTS | R | Clear to Send.<br>本ビットの値は MCR の中にある LOOP ビットの値により、下表に示すように変化します。<br>LOOP＝0: モジュールの入力端子 cts_n の値を反転した値が読み出されます。<br>LOOP＝1: MCR の RTS ビットの値と等しい値が読み出されます。 |
| 3 | DDCD | R | Delta Data Carrier Detect.<br>本ビットは、モジュール端子 dcd_n の値が変化した時にセットされ、MSR の値が読み出された時にクリアされます。IER の EDSSI ビットがセットされている時に、本ビットがセットされていると、MODEM ステータス割り込みが発生します。<br>LOOP＝0: 最後に MSR の値が読み出されて以来、モジュール端子 dcd_n の値に変化がないことを示します。<br>LOOP＝1: 最後に MSR の値が読み出されて以来、最低 1 回はモジュール端子 dcd_n の値に変化があったことを示します。 |
| 2 | TERI | R | Trailing Edge of Ring Indicator.<br>本ビットは、モジュール端子 ri_n の値が L レベルから H レベルへ変化した時にセットされ、MSR の値が読み出された時にクリアされます。IER の EDSSI ビットがセットされている時に、本ビットがセットされていると、MODEM ステータス割り込みが発生します。<br>LOOP＝0: 最後に MSR の値が読み出されて以来、モジュール端子 ri_n の値が L レベルから H レベルへ変化していないことを示します。<br>LOOP＝1: 最後に MSR の値が読み出されて以来、最低 1 回はモジュール端子 ri_n の値が L レベルから H レベルへ変化したことを示します。 |
| 1 | DDSR | R | Delta Data Set Ready.<br>本ビットは、モジュール端子 dsr_n の値が変化した時にセットされ、MSR の値が読み出された時にクリアされます。IER の EDSSI ビットがセットされている時に、本ビットがセットされていると、MODEM ステータス割り込みが発生します。<br>LOOP＝0: 最後に MSR の値が読み出されて以来、モジュール端子 dsr_n の値に変化がなかったことを示します。<br>LOOP＝1: 最後に MSR の値が読み出されて以来、最低 1 回はモジュール端子 DSR の値に変化があったことを示します。 |
| 0 | DCTS | R | Delta Clear to Send.<br>本ビットは、モジュール端子 cts_n の値が変化した時にセットされ、MSR の値が読み出された時にクリアされます。IER の EDSSI ビットがセットされている時に、本ビットがセットされていると、MODEM ステータス割り込みが発生します。<br>LOOP＝0: 最後に MSR の値が読み出されて以来、モジュール端子 cst_n の値に変化がなかったことを示します。<br>LOOP＝1: 最後に MSR の値が読み出されて以来、最低 1 回はモジュール端子 cts_n の値に変化があったことを示します。 |

### 7.7.3.12 Scratchpad Register (UARTn_SCR): BASE+0x1C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | SCR | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | Rw | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7:0 | SCR | R/W | 一時的なデータ保持領域です。プログラマが自由に使用することが出来ます。 |

### 7.7.3.13 Low Power Divisor Latch (Low) Register (UARTn_LPDLL): BASE+0x20

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | LPDLL | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | Rw | RW | RW | RW | RW | RW | RW |

※本レジスタは IrDA SIR モードで使用するレジスタで未サポートのため、初期値を変更しないでください。

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7:0 | LPDLL | R/W | 本レジスタはLCR[7](DLABビット)がセットされている時に、アクセス可能です。<br><br>本レジスタは、115.2kbpsを与えるLow Power Divisor Latchレジスタの設定値の下位8ビットを与えます。<br><br>Low Power Divisor Latch レジスタの値が 0 の時は、Low Power ボーレートクロックは無効となり、Low-Power パルス検出を含む如何なるパルス検出も行いません。 |

### 7.7.3.14 Low Power Divisor Latch (High) Register (UARTn_LPDLH): BASE+0x24

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | LPDLH | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | Rw | RW | RW | RW | RW | RW | RW |

※本レジスタは IrDA SIR モードで使用するレジスタで未サポートのため、初期値を変更しないでください。

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7:0 | LPDLH | R/W | 本レジスタはLCR[7](DLABビット)がセットされている時に、アクセス可能です。<br><br>本レジスタは、115.2kbpsを与えるLow Power Divisor Latchレジスタの設定値の上位8ビットを与えます。<br><br>Low Power Divisor Latch レジスタの値が 0 の時は、Low Power ボーレートクロックは無効となり、Low-Power パルス検出を含む如何なるパルス検出も行いません。 |

### 7.7.3.15 Shadow Receive Buffer Register (UARTn_SRBR): BASE+0x30-6C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | SRBR | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7:0 | SRBR | R | 本レジスタは、RBR レジスタのシャドウレジスタです。バースト転送を使って RBR を読み出したい時に、本レジスタを使用することが出来ます。 |

### 7.7.3.16 Shadow Transmit Holding Register (UARTn_STHR): BASE+0x30-6C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | STHR | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7:0 | STHR | W | 本レジスタは、THR レジスタのシャドウレジスタです。バースト転送を使って THR に書き込みたい時に、本レジスタを使用することが出来ます。 |

### 7.7.3.17 FIFO Access Register (UARTn_FAR): BASE+0x70

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | FAR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 0 | FAR | R/W | テストを目的としたFIFOへのアクセスを有効とします。FIFO受信FIFOへの書き込み、送信FIFOからの読み出しが可能となります。<br>0 – FIFO access mode無効<br>1 – FIFO access mode有効 |

### 7.7.3.18 TFR Register (UARTn_TFR): BASE+0x74

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | TFR | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 7:0 | TFR | R | FIFO Access Mode有効時に、送信FIFOを読み出します。 |

### 7.7.3.19 Receive FIFO Write (UARTn_RFW): BASE+0x78

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | RFFE | RFPE | RFWD | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W | W | W |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 9 | RFFE | W | テストを目的としたFIFO Access Mode有効時に、受信FIFOフレーミングエラー情報を書き込みます。 |
| 8 | RFPE | W | テストを目的としたFIFO Access Mode有効時に、受信FIFOパリティエラー情報を書き込みます。 |
| 7:0 | RFWD | W | テストを目的としたFIFO Access Mode有効時に、受信FIFOデータを書き込みます。 |

### 7.7.3.20 UART Status Register (UARTn_USR): BASE+0x7C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | RFF | RFNE | TFE | TFNF | Reserved |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 4 | RFF | R | 受信FIFOがフルであることを示します。<br>0: 受信FIFOはフルではないことを示します。<br>1: 受信FIFOがフルであることを示します。<br>受信 FIFO がフルではなくなると、本ビットはクリアされます。 |
| 3 | RFNE | R | 受信 FIFO が空ではないことを示します。<br>0: 受信 FIFO が空であることを示します。<br>1: 受信 FIFO が空ではないことを示します。<br>FIFO が空になると、本ビットはクリアされます。 |
| 2 | TFE | R | 送信 FIFO が空であることを示します。<br>0: 送信 FIFO が空ではないことを示します。<br>1: 送信 FIFO が空であることを示します。<br>送信 FIFO が空ではなくなると、本ビットはクリアされます。 |

| | | | |
|---|---|---|---|
| 1 | TFNF | R | 送信 FIFO がフルではないことを示します。<br>0: 送信 FIFO がフルであることを示します。<br>1: 送信 FIFO がフルではないことを示します。<br>送信 FIFO がフルになると、本ビットはクリアされます。 |

7.7.3.21 Transmit FIFO Level (UARTn_TFL): BASE+080

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | TFL | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 3:0 | TFL | R | 送信FIFOレベルを示します。送信FIFOにエントリされたデータ数を示します。 |

7.7.3.22 Receive FIFO Level Register (UARTn_RFL): BASE+0x84

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | RFL | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 3:0 | RFL | R | 受信FIFOレベルを示します。受信FIFOにエントリされたデータ数を示します。 |

### 7.7.3.23 Software Reset Register (UARTn_SRR): BASE+0x88

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | XFR | RFR | UR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 2 | XFR | W | 送信 FIFO リセットビット(FCR[2])のシャドウレジスタです。 |
| 1 | RFR | W | 受信 FIFO リセットビット（FCR[1]）のシャドウレジスタです。 |
| 0 | UR | W | UARTをリセットします。<br>リセットが完了するまでに最大でUARTリファレンスクロック2サイクル＋システムクロック3サイクルを要します。 |

### 7.7.3.24 Shadow Request to Send (UARTn_SRTS): BASE+0x8C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | SRTS |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 0 | SRTS | R/W | RTSビット(MCR[1])のシャドウレジスタです。 |

### 7.7.3.25 Shadow Break Control Register (UARTn_SBCR): BASE+0x90

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | SBCR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 0 | SBCR | R/W | ブレークビット（LCR[6]）のシャドウレジスタです。 |

### 7.7.3.26 Shadow DMA Mode (UARTn_SDMAM): BASE+0x94

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | SDMAM |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 0 | SDMAM | R/W | DMAモードビット(FCR[3])のシャドウレジスタです。 |

### 7.7.3.27 Shadow FIFO Enable (UARTn_SFE): BASE+0x98

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | SFE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 0 | SFE | R/W | FIFOイネーブルビット(FCR[0])のシャドウレジスタです。 |

### 7.7.3.28 Shadow RCVR Trigger (UARTn_SRT): BASE+0x9C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | SRT | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 1:0 | SRT | R/W | 受信トリガビット(FCR[7:6])のシャドウレジスタです。 |

### 7.7.3.29 Shadow TX Empty Trigger (UARTn_STET): BASE+0xA0

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | STET | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 1:0 | STET | R/W | 送信エンプティトリガビット(FCR[5:4])のシャドウレジスタです。 |

### 7.7.3.30 Halt TX (UARTn_HTX): BASE+0xA4

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | HTX |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 0 | HTX | R/W | テストを目的とした送信停止レジスタです。送信FIFOを停止することで、意図的に送信FIFOをフルにすることが出来ます。 |

### 7.7.3.31 DMA Software Acknowledge (UARTn_DMASA): BASE+0xA8

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DMASA |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 0 | DMASA | W | ソフトウェア要求によりDMAアクノリッジを生成します。 |

### 7.7.3.32 Component Parameter Register (UARTn_CPR): BASE+0xF4

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | FIFO_MODE | | | | | | | | Reserved | | DMA_EXTRA | UART_ADD_ENCODED_PARAMS | SHADOW | FIFO_STAT | FIFO_ACCESS | ADDITIONAL_FEAT | SIR_LP_MODE | SIR_MODE | THRE_MODE | AFCE_MODE | Reserved | | APB_DATA_WIDTH | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

UART モジュールの構成を示します。

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 23:16 | FIFO_MODE | R | FIFO段数を示します。<br>0x00 = 0<br>0x01 = 16<br>0x02 = 32<br>to<br>0x80 = 2048<br>0x81- 0xff = reserved |
| 13 | DMA_EXTRA | R | DMA対応有無を示します。<br>0 – 未対応<br>1 – 対応 |
| 12 | UART_ADD_ENCODED_PARAMS | R | 本レジスタ(Component Parameter Register)が実装されていることを示します。<br>0 – 未実装<br>1 – 実装 |
| 11 | SHADOW | R | Shadow Registerが実装されていることを示します。<br>0 – 未実装<br>1 – 実装 |
| 10 | FIFO_STAT | R | FIFO Status情報を示すビットが実装されていることを示します。<br>0 – 未実装<br>1 – 実装 |
| 9 | FIFO_ACCESS | R | FIFOアクセスモードを実装していることを示します。<br>0 – 未実装<br>1 – 実装 |
| 8 | ADDITIONAL_FEAT | R | UARTn_UCVレジスタおよびUARTn_CRTレジスタを実装していることを示します。<br>0 – 未実装<br>1 – 実装 |
| 7 | SIR_LP_MODE | R | Low Power IrDASIRモードの対応有無を示します。<br>0 – 未対応<br>1 – 対応(*1) |
| 6 | SIR_MODE | R | IrDA SIRモードの対応有無を示します。<br>0 – 未対応<br>1 – 対応 |

| | | | |
|---|---|---|---|
| 5 | THRE_MODE | R | THRE割り込みに対応していることを示します。<br>0 – 未対応<br>1 – 対応 |
| 4 | AFCE_MODE | R | オートフローコントロールに対応していることを示します。<br>0 – 未対応<br>1 – 対応 |
| 1:0 | APB_DATA_WIDTH | R | LSI内部のAPBバス幅を示します。<br>00 – 8 bits<br>01 – 16 bits<br>10 – 32 bits<br>11 – reserved |

(*1) UART モジュールとしては対応していますが、ML7416 としてはサポートしません。

7.7.3.33 UART Component Version (UARTn_UCV): BASE+0xF8

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | UCV | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 31:0 | UCV | R | UART IP のコンポーネントバージョンを示します。 |

### 7.7.3.34 Component Type Register (UARTn_CTR): BASE+0xFC

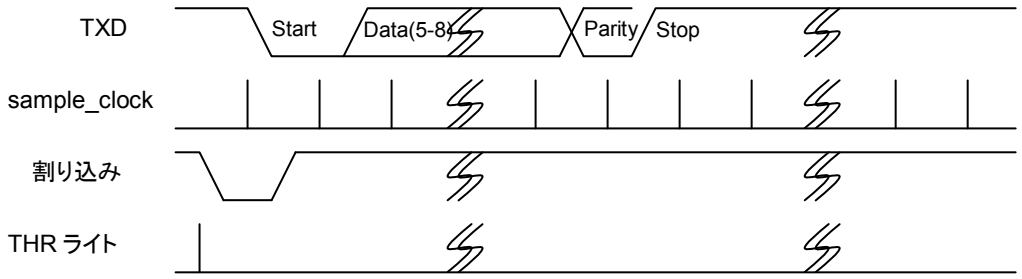
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | CTR | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| 31:0 | CTR | R | UART IPのペリフェラルIDコードを示します。 |

## 7.7.4 動作説明

### 7.7.4.1 データ送信

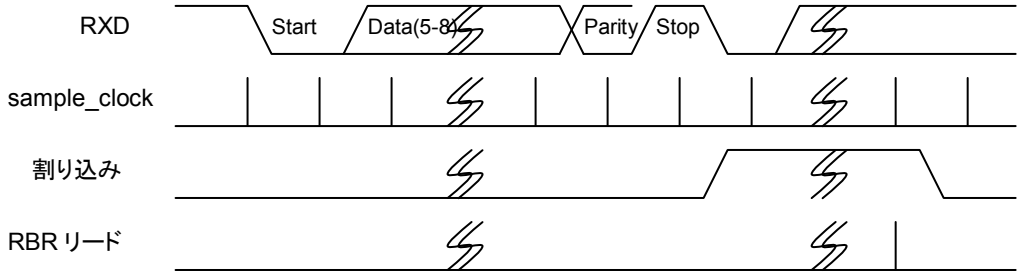
下図に送信タイミングを示します。




送信タイミング

### 7.7.4.2 データ受信

下図に受信タイミングを示します。




受信タイミング

### 7.7.5 UART 端子割り当て

UART 機能(UART0)は ISP 実行時に使用されます。GPIOA[11:8]の 2 次機能に割り当てております。

| **GPIOA[11:8]1 次機能選択時** | **GPIOA[11:8]2 次機能選択時** |
|---|---|
| GPIOA[8] | RXD |
| GPIOA[9] | TXD |
| GPIOA[10] | CTS |
| GPIOA[11] | RTS |

## 7-8.SPI

### 7.8.1 概要

同期式シリアルインターフェースです。特長を以下に示します。

- 全二重でデータ転送を行います。
- マスタまたはスレーブモードの選択が可能です。
- 送信側と受信側に 16 バイトまたは 16 ワード(16 ビット)の FIFO を内蔵しています。
- 転送サイズは 8 ビット(バイト)と 16 ビット(ワード)の選択が可能です。
- 受信バイト(ワード)数および未送信バイト(ワード)数による割り込みは 1～16 の範囲で設定できます。
- LSI ファーストまたは、MSB ファーストを選択可能です。
- シリアルクロックの極性と位相を選択可能です。
- マスタモード時、転送前後の間隔が制御可能です。
- 送受信完了、FIFO 状態を状態ビットで示します。
- マルチマスタバス競合を避けるために、モードフォルトエラーを検出可能です。
- 送信 FIFO がフル状態で、更に書き込みを行うと書込みオーバフローエラーを検出できます。
- 送受信 FIFO が特定状態や、、モードフォルトエラーなどの要因で割込みを生成します。
- マスタ動作時に、SSn を L 固定にしたバースト転送が可能です。
- DMA インタフェースを有します。

※端子機能の割付については 7-11.ポートコンフィグレーションをご参照願います。

### 7.8.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| BASE+0x00 | SPI 制御レジスタ | SPIn_CR | R/W | 0x00000000<br>(SPI2 のみ 0x00000002) | 動作モードを制御します |
| BASE+0x04 | SPI ボーレートレジスタ | SPIn_BRR | R/W | 0x00025002 | 動作モードを制御します |
| BASE+0x08 | SPI 状態レジスタ | SPIn_SR | R | 0x00140000 | データ転送状態やエラー状態を示します。 |
| BASE+0x0C | SPI ライトデータレジスタ | SPIn_DWR | R/W | 0xXXXXXXXX | 送信データを保持する 8(16)ビットレジスタです。 |
| BASE+0x10 | SPI リードデータレジスタ | SPIn_DRR | R | 0xXXXXXXXX | 受信データを保持する 8(16)ビットレジスタです。 |
| BASE+0x18 | SPI DMA レジスタ | SPIn_DMA | R/W | 0x00000000<br>(SPI2 のみ有効です) | DMA 設定を行います。 |
| BASE+0x1C | SPI ID レジスタ | SPIn_ID | R | 0x00001010<br>(SPI2 のみ有効です) | ID 値を読み出します。 |

※ n はモジュール番号(n=0,1,2)を示します。

※ SPI0(n=0)のベースアドレスは 0x40040000 です。

※ SPI1(n=1)のベースアドレスは 0x40040400 です。

※ SPI2(n=2)のベースアドレスは 0x40040800 です。SPI2 は ML7396B 制御用(マスタ専用)となります。

## 7.8.3 レジスタ説明

### 7.8.3.1 SPIn_CR レジスタ: BASE+0x00

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | SSNL | Reserved | | | MOZ | SOZ | SSZ | FICLR | RFIC | | | | TFIC | | | | Reserved | | | MDFIE | ORIE | FIE | RFIE | TFIE | Reserved | CPOL | CPHA | LSBF | MODFEN | Reserved | MSTR | SPE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | R | R | R | RW | RW | RW | RW | RW | R | RW | RW | RW | RW | R | RW | RW |

| | |
|---|---|
| SSNL | SSN **出力の制御(マスタモードかつSPE=1設定時のみ有効。SPI2にてバーストアクセス時にご使用下さい)**<br>0:SSN フリー(通常)<br>**1:SSN=Low 固定出力(SDO 端子は Hi-Z 状態となります)** |
| MOZ | MOSI **出力の制御**<br>0:0/1 **出力**<br>**1:HiZ** |
| SOZ | MISO **出力のSSn=0 時の制御**<br>0:0/1 **出力**<br>1:HiZ<br>**【ご注意】SPI0またはSPI1のとき本レジスタ機能は無効となり、MISOはオープンドレイン出力となります。**<br>**ご使用のシステム構成に応じて、IO設定レジスタにて制御願います。**<br>**CMOS出力設定**(set_io_en=1, set_io[8]=1, set_io[6]=1)<br>pull-up**設定**(set_io[3]=1)<br>pull-down **設定**(set_io[2]=1)**してください。** |

| | |
|---|---|
| SSZ | SSn 出力の制御<br>0:0/1 出力<br>1:HiZ |
| FICLR | FIFO クリア<br>0:NONE<br>1:受/送信バイト(ワード)数をクリア。クリア後"0"にもどして下さい。 |
| RFIC | 受信FIFO 割込み制御。初期値0。DMAが有効な時は、受信DMA要求を生成します。<br>0000: 1Byte(1word)受信で割り込み発生/受信DMA要求発生<br>0001: 2Byte(2word)受信で割り込み発生/受信DMA要求発生<br>:<br>1111: 16Byte(8word)受信で割り込み発生/受信 DMA 要求発生 |
| TFIC | 送信FIFO の残りByte 数割込み制御。初期値0。DMAが有効な時は、送信DMA要求を生成します。<br>0000: 残り0Byte(1word)以下で割り込み発生/送信DMA要求発生<br>0001: 残り1Byte(2word)以下で割り込み発生/送信DMA要求発生<br>:<br>1111: 残り 15Byte(8word)以下で割り込み発生/送信 DMA 要求発生 |
| MDFIE | SPI モードフォルト割り込み許可。初期値0<br>0:割込み禁止<br>1:割込み許可 |
| ORIE | SPI オーバーランエラー割込み許可。初期値0<br>0:割込み禁止<br>1:割込み許可 |
| FIE | 転送終了割り込み許可。初期値0<br>0:割込み禁止<br>1:割込み許可 |
| RFIE | SPI 受信割込み許可。初期値0<br>0:割込み禁止<br>1:割込み許可 |
| TFIE | SPI 送信割込み許可。初期値0<br>0:割込み禁止<br>1:割込み許可 |
| CPOL | シリアルクロック極性。初期値0<br>0:シリアルクロックのデフォルト“0”(送受信の間は“0”)<br>1:シリアルクロックのデフォルト“1”(送受信の間は“1”) |

| | |
|---|---|
| CPHA | シリアルクロック位相。初期値0<br>0:データが一番目のエッジでサンプリング、2 番目のエッジでシフト<br>1:データが一番目のエッジでシフト、2 番目のエッジでサンプリング |
| LSBF | データ転送順番。初期値0<br>0: LSB ファースト<br>1: MSB ファースト |
| MODFEN | モードフォルト制御信号<br>MSTR=1, MODEFEN=1 かつ非転送時、モードフォルトが実行できます。<br>1: 非転送時に、モードフォルトを実行します。<br>0: モードフォルトは実行しません。 |
| MSTR | マスタ／スレーブ選択。初期値0(SPI2のみ初期値は1)<br>0:スレーブ<br>1:マスタ |
| SPE | SPI 許可。初期値0<br>0:SPI 転送禁止<br>1:SPI 転送許可 |

7.8.3.2 SPIn_BRR レジスタ: BASE+0x04

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | DTL | | | | | | | | | LAG | | LEAD | | Reserved | SIZE | SPBR | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| DTL | **データ転送最小間隔(マスタモードのみ設定有効)。初期値** 2 |
| LAG | SSn-SCK **遅延間隔(マスタモードのみ設定有効)。初期値**01<br>0x : 0.5 X SCK<br>10 : 1.0 X SCK<br>11 : 1.5 X SCK |
| LEAD | SCK-SSn **遅延間隔(マスタモードのみ設定有効)。初期値**01<br>0x : 0.5 X SCK<br>10 : 1.0 X SCK<br>11 : 1.5 X SCK |
| SIZE | **転送サイズ設定**<br>0 : 8 **ビット**<br>1 : 16 **ビット** |

| | |
|---|---|
| SPBR | ボーレート設定（マスタモード時に設定有効）。初期値2<br>Baud Rate＝fPCLK/(2＊SPBR)<br>00_0000_000x : 2 分周<br>00_0000_0010 : 4 分周<br>00_0000_0011 : 6 分周<br>：<br>11_1111_1111 : 2046 分周 |

7.8.3.3 SPIn_SR レジスタ: BASE+0x08

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | RFE | RFF | TFE | TFF | WDF | RFD | | | | | TFO | | | | | SPIF | MDF | ORF | FI | RFI | TFI |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW |

| | |
|---|---|
| RFE | **受信**FIFO Empty。**初期値は**1<br>0：Not empty<br>1: Empty(**割り込みは発生しません**) |
| RFF | **受信**FIFO Full。**初期値は**0<br>0: Not Full<br>1: Full(**割り込みは発生しません**) |
| TFE | **送信**FIFO Empty.**初期値は**1<br>0：Not Empty<br>1: Empty(**割り込みは発生しません**) |
| TFF | **送信**FIFO Full。**初期値は**0<br>0: Not Full<br>1: Full(**割り込みは発生しません**) |
| WDF | **書きこみオーバフロー。初期値は**0<br>0: **正常**<br>1: **書きこみオーバフローが発生**(**割り込みは発生しません**)<br>**このビットを読み出すとクリアされます。** |
| RFD | **受信**FIFO **に受信した**Byte(Word)**数。初期値は**00<br>00000: Empty<br>00001：1Byte/1Word<br>：<br>01111：15Byte/15Word<br>1xxxx：16Byte/16Word (Full) |

| | |
|---|---|
| TFO | 送信FIFO の未送信Byte(Word)数。初期値は00<br>00000： Empty<br>00001： 1Byte/1Word<br>：<br>01111： 15Byte/15Word<br>1xxxx： 16Byte/16Word (Full) |
| SPIF | SPI1 バイト(ワード)転送終了表示。初期値は0<br>0:転送中<br>1:転送終了<br>このビットを読み出すとクリアされます。 |
| MDF | モードフォルト。初期値は0<br>0:正常<br>1:モードフォルトが発生。マスタモードでSSnが0 になる。<br>(割り込みが発生します)<br>1 を書き込むことによって割り込み要求はクリアされます。 |
| ORF | オーバーランエラーフラグ。初期値は0<br>0: 正常<br>1: オーバーランエラー発生(割り込みが発生します)<br>1 を書き込むことによって割り込み要求はクリアされます。 |
| FI | 転送終了（送信FIFO 空き、最後の8 ビット転送終了）初期値は0<br>0： 割り込み要求 無<br>1： 割り込み要求 有<br>1 を書き込むことによって割り込み要求はクリアされます。 |
| RFI | 受信割り込み。初期値は0<br>0： 割り込み要求 無<br>1： 割り込み要求 有<br>1 を書き込むことによって割り込み要求はクリアされます。 |
| TFI | 送信割り込み。初期値は0<br>0： 割り込み要求 無<br>1： 割り込み要求 有<br>1 を書き込むことによって割り込み要求はクリアされます。 |

7.8.3.4 SPIn_DW レジスタ: BASE+0x0C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | DW | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| DW | **送信データを保持する** 8(16)**ビットレジスタです。** |

7.8.3.5 SPIn_DR レジスタ: BASE+0x10

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | DR | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| DR | **受信データを保持する** 8(16)**ビットレジスタです。** |

7.8.3.6 SPI DMA レジスタ: BASE+0x18 (SPIn_DMA) (n=0..3)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | RX_DMA_EN | TX_DMA_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW |

※本レジスタは SPI2 のみ有効です。

SPI 制御レジスタの SPE ビットが 1 にセットされている時、SPI 制御レジスタの TFIC, RFIC の値に従って、DMA 転送要求を設定します。

| フィールド | シンボル | 初期値 | 説明 |
|---|---|---|---|
| 1 | RX_DMA_EN | 1 | 0: 受信 DMA 転送要求を生成しません。<br>1: 受信 DMA 転送要求を生成します。 |
| 0 | TX_DMA_EN | 0 | 0: 送信 DMA 転送要求を生成しません。<br>1: 送信 DMA 転送要求を生成します。 |

### 7.8.3.7 SPI ID レジスタ: BASE+0x1C (SPIn_ID) (n=0..3)

受信データを保持する 32 ビットレジスタです。

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | VER | | | | | | | | | | | | | | | | FIFO | | | | | | | | DMA | | | | REV | | | |
| 初期値 | 0x0000 | | | | | | | | | | | | | | | | 0x10 | | | | | | | | 0x1 | | | | 0x0 | | | |
| R/W | R | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

※本レジスタは SPI2 のみ有効です。

SPI モジュールの ID 番号を示します。

SPI モジュールの版数、枝分かれしたリビジョンの管理、ソフトウェアからの識別に使用します。

| フィールド | シンボル | 初期値 | 説明 |
|---|---|---|---|
| 31-16 | ID | 0 | 0: DMA 標準 SPI |
| 15-8 | FIFO | 0x10 | FIFO の段数を示します。 |
| 7-4 | DMA | 0x1 | DMA の有無/リビジョンを示します。<br>0000: DMA なし<br>0001: DMA あり(送信/受信 req/ack Handshake) |
| 3-0 | REV | 0 | 版数を示します。 |

## 7.8.4 機能説明

### 7.8.4.1 マスタモードとスレーブモード

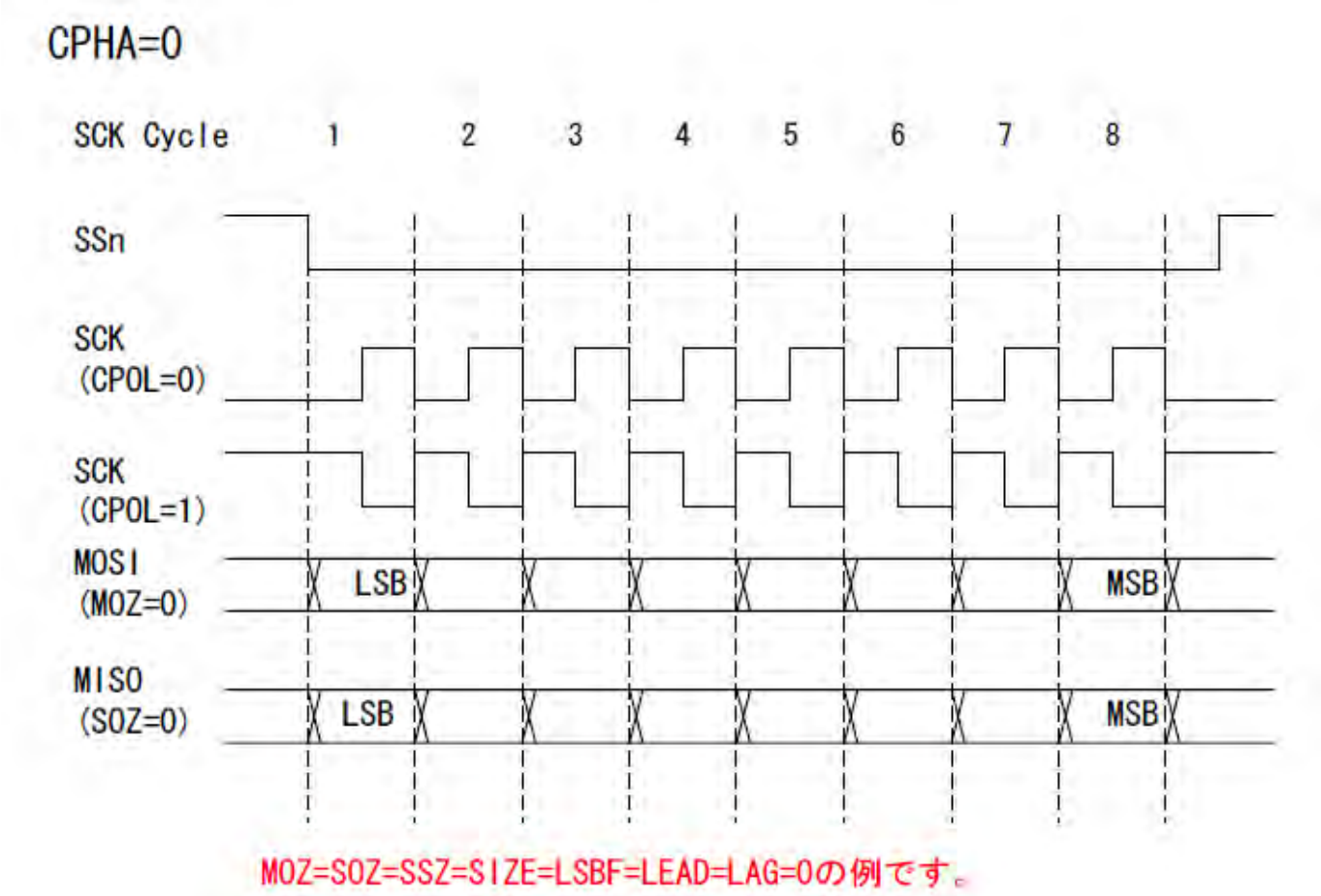
送受信モードとして、マスタモードとスレーブモードの2つのモードがあります。SPCR の MSTR ビットで選択されます。
マスタが、SPBR,LEAD,LAG,DSCK,SSn の信号を決定しますのでマスタの設定値のみが有効です。
CPOL,CPHA,LSBF,SIZE はマスタとスレーブで同じ値に設定する必要があります。

### 7.8.4.2 シリアルクロックの極性と位相の制御

SPCR の CPOL はクロックの極性を,制御します。CPHA はクロックの位相を制御し,送信データのシフトと受信データのサンプリングのタイミングを決定します。通信を行うマスタとスレーブは、CPOL と CPHA の設定値を一致させる必要があります。

#### 7.8.4.2.1 CPHA＝0

下図に、CPHA＝0 の場合のデータ転送タイミングを示します。SCK は CPOL＝0 の場合と CPOL=1 の場合を示します。MOSI はマスタモードの時には送信データを出力します、スレーブモードの時には受信データをサンプリングします。MISO はマスタモードの時には受信データをサンプリングします、スレーブモードの時には送信データを出力します。
SSｎはスレーブモード時に、スレーブ選択として入力します。
マスタモードの場合、SPDR に書きこむと、転送が始まります。スレーブモードの場合、SSｎの立下りエッジで転送が始まります。受信データは SCK の１番目のクロックエッジと後の奇数番目のエッジでサンプリングします。送信データは 2 番目のクロックエッジと後の偶数番目のエッジでシフトします。




CPHA=0 のクロック波形

#### 7.8.4.2.2 CPHA＝1

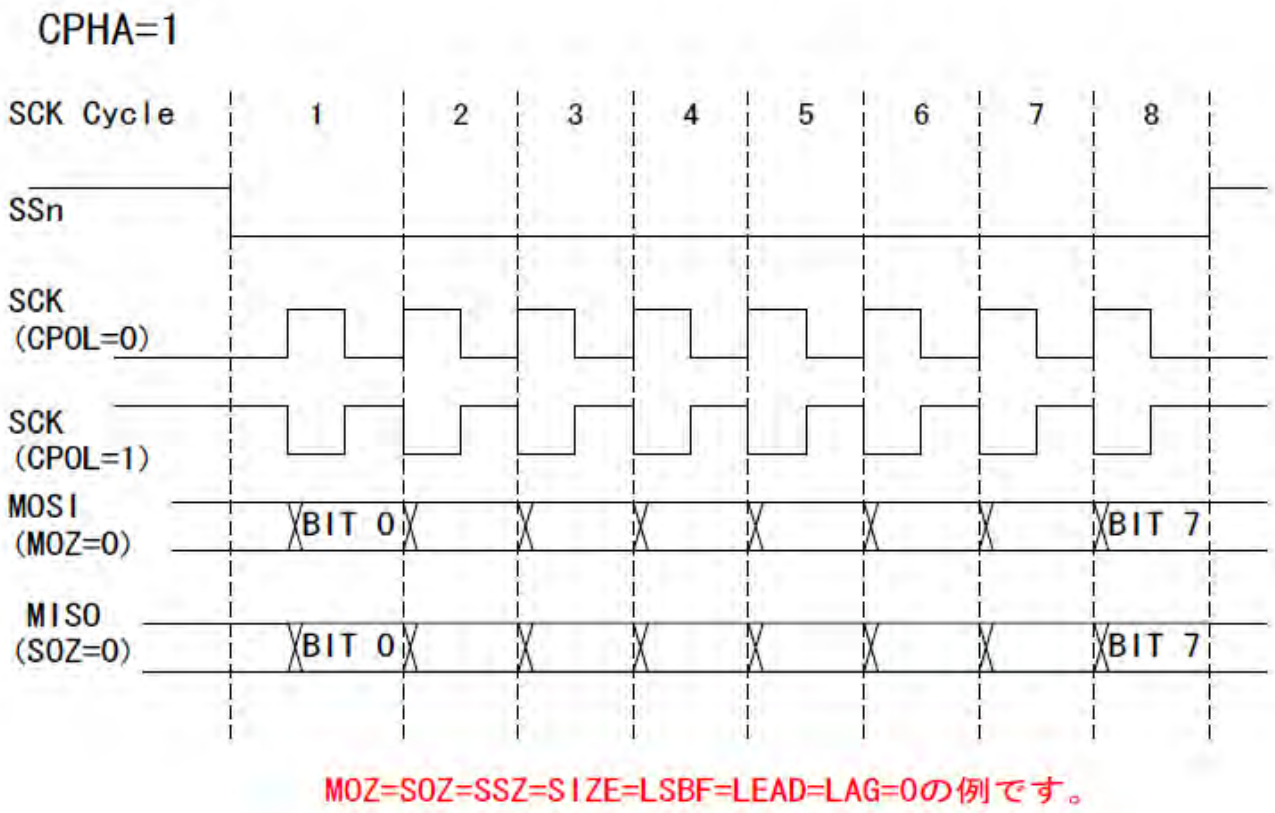
下図に、CPHA＝1 の場合のデータ転送のタイミングを示します。SCK は CPOL＝0 の場合と CPOL=1 の場合を示します。

MOSI はマスタモードの時には送信データを出力し、スレーブモードの時には受信データを入力します。

MISO はマスタモードの時には受信データを入力し、スレーブモードの時には送信データを出力します。

SS n はスレーブモードの時にはスレーブ選択として入力します。

マスタモードの場合、SPDR に書きこむと、転送が始まります。スレーブモードの場合、SCK の一番目のエッジで転送が始まります。受信データは 2 番目のクロックエッジと後の偶数目エッジでサンプリングします。送信データは 1 番目のクロックエッジと後の奇数目エッジでシフトします。




CPHA=1 のクロック波形

#### 7.8.4.3 シリアルクロックボーレート

ボーレートは SPBRR の SPBR ビットで選択します。マスタモードのみ有効です。システムクロック（SYSCLK）を分周して、ボーレートクロック SCK を生成します。

ボーレート(fSCK)算出方法を以下に示します。

$$f_{SCK} = f_{SYSCLK} / (2 \times SPBR)$$

$f_{SCK}$ ：ボーレートクロックの周波数

$f_{SYSCLK}$ ：システムクロックの周波数

SPBR ：SPBRR レジスタの SPBR に設定する値（1～1023）0 を設定した場合、1 として処理します。

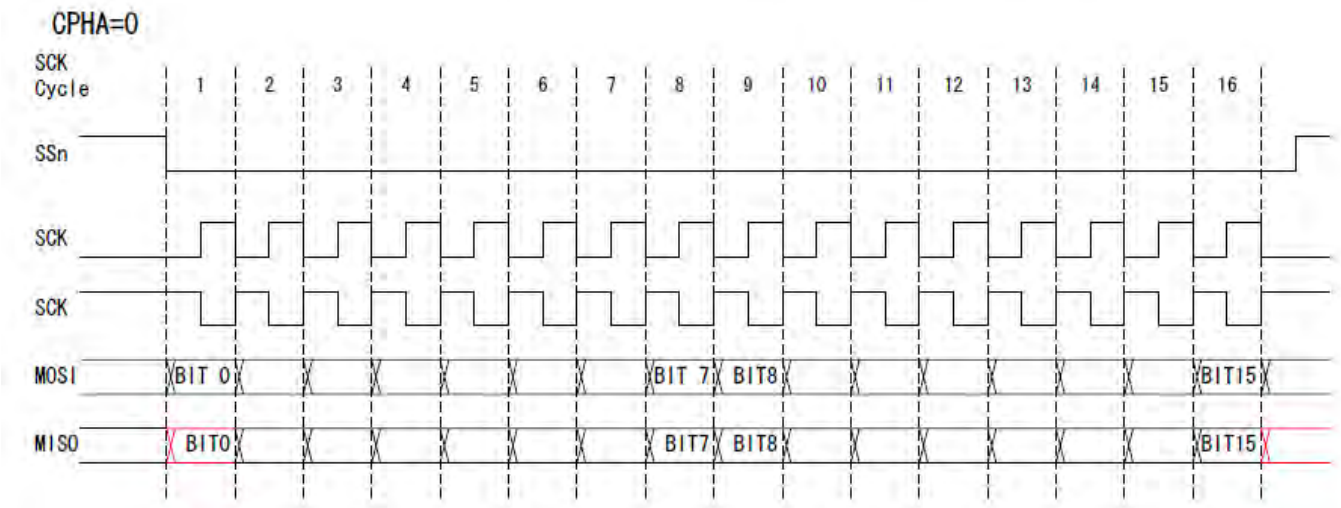
SPBR は 1023 種類(2～2046)の分周が選択できます。

#### 7.8.4.4 転送サイズ

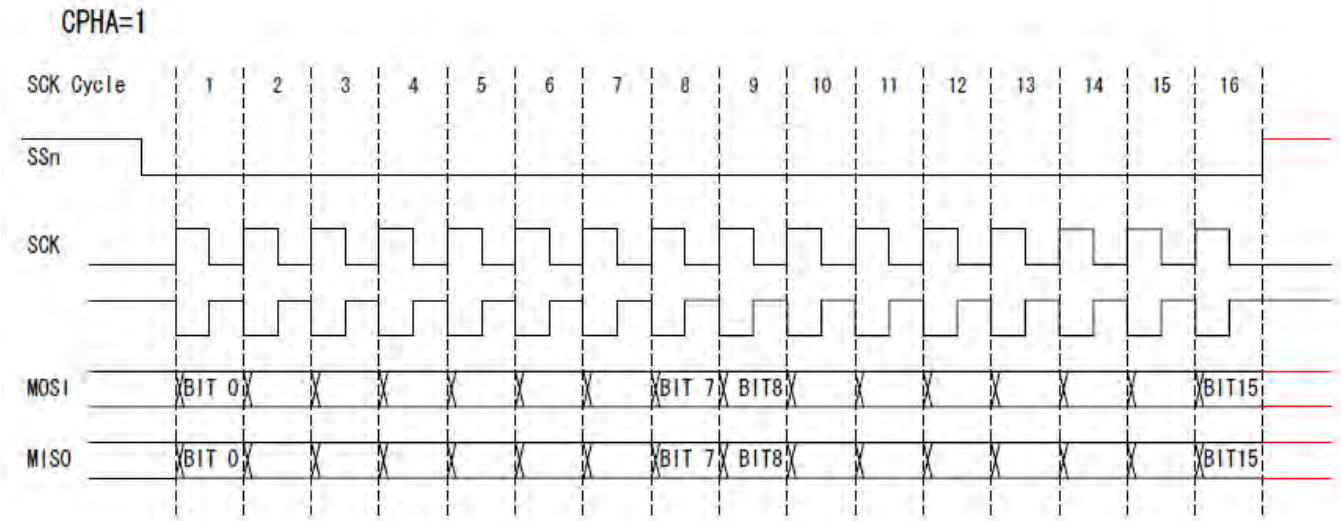
転送サイズは 8 ビット(Byte)と 16 ビット(Word)の選択が可能です。

転送データのリード/ライトは、転送サイズに合せる必要があります。また FIFO の段数は Byte と Word で同一ですので、転送回数は同じです。

通信を行うマスタとスレーブは、SIZE を一致させる必要があります。




転送サイズ SIZE=1(16 ビット)SPI バス波形




転送サイズ SIZE=1(16 ビット)SPI バス波形

#### 7.8.4.5 転送間隔設定

スレーブとスピードを合わせるために、LEAD(SSn-SCK 時間),LAG(SCK_Lag 時間),TDTL(SSn(H)-SSn(H))
が設定できます。マスタモードの設定のみ有効です。スレーブの設定値は無視されます。
転送中の設定は禁止です。

(1) LEAD

設定可能値は、0.5～1.5Tsck です。

(2)LAG

設定可能値は、0.5～1.5Tsck です。

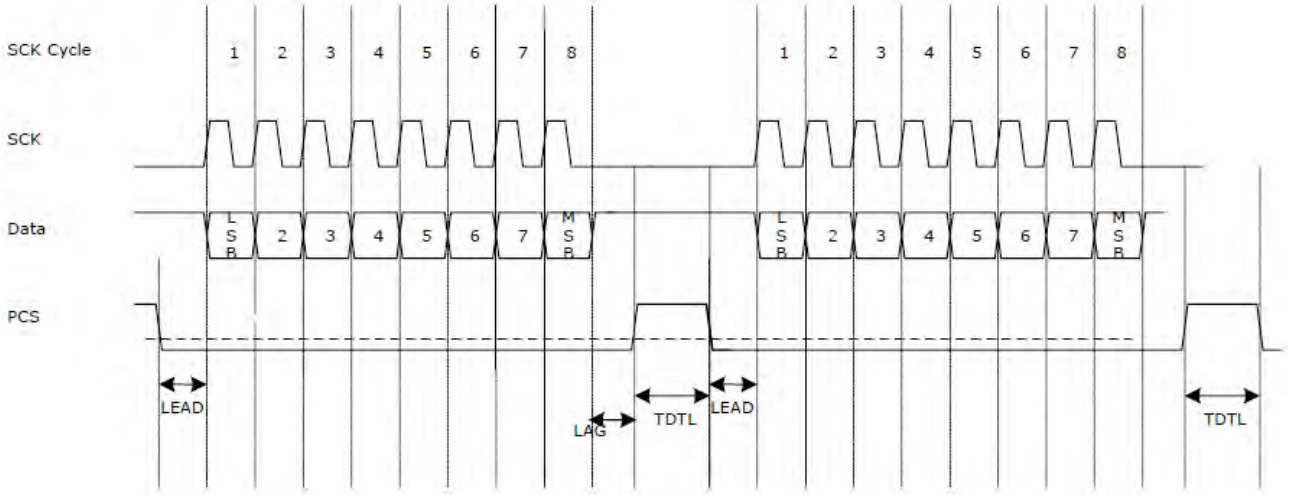
(3)TDTL

SPBRR の DTL の設定によって、最小転送間隔を SCK クロック単位で制御できます。

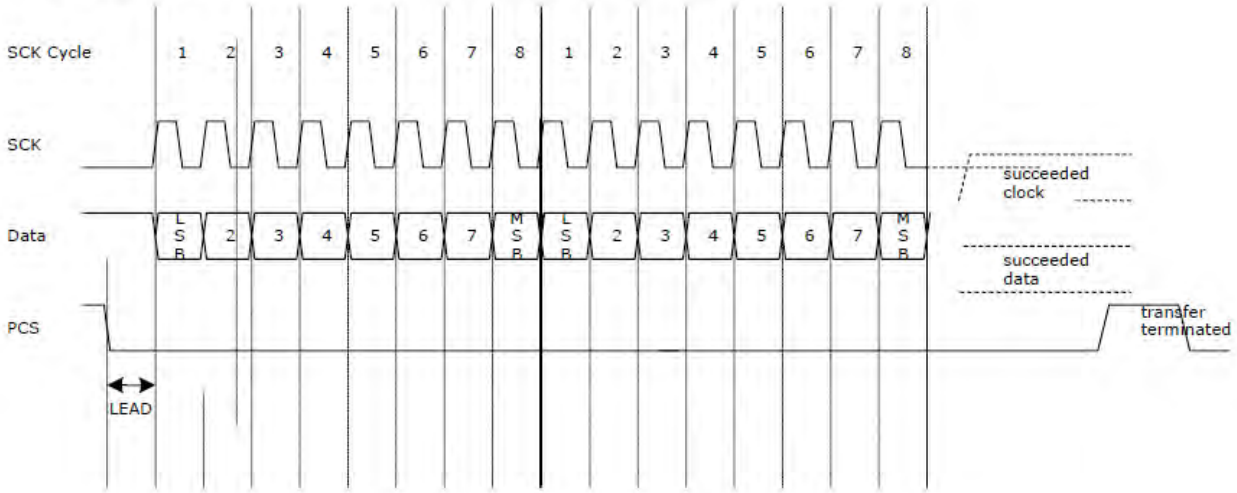
FIFO に転送データがある場合、Byte/Word 転送間に本設定値の時間 SSn は、H になります。

FIFO に転送データが無い場合,送信データが書き込まれるまで H になります。

DTL を 0 に設定した場合、転送後間隔(TDTL)は無くなり連続転送になります。SSn は L にホールドされ、
転送終了後に H に戻ります




Case of DTL disable (continuous transfer)




Note: disable or enable DSCKL do not generate the interval between 8bit data in continuous transfer.

SSn timing

## 7.8.5 動作説明

### 7.8.5.1 送信動作(マスタモード)

① SPCR、SPBRR へ必要な値を書き込んで、MSTR ビットをマスタモードに設定、SPE ビットをセットして、SPI 転送を有効にします。

② SPDWR へ送信データを書きこむと、送信 FIFO Empty フラグは 0 になります (TFE=0) 。SPI は自動送信を開始し、MOSI 端子より、送信データを LSBF の設定通りに LSB または MSB から出力します。

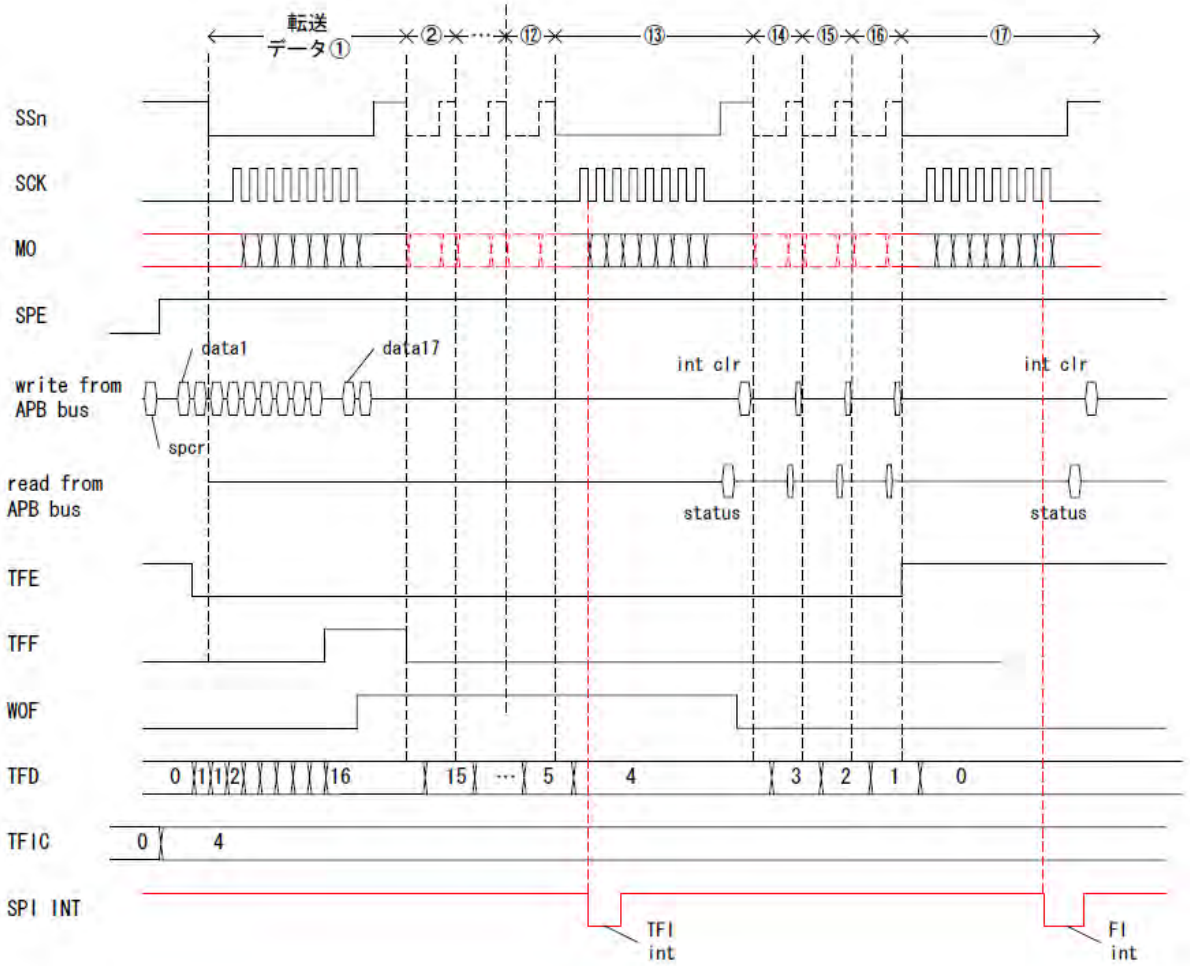
③ LSBF,CPOL と CPHA 及び SPBRR レジスタにより設定した同期クロックを SCK 端子から出力します。

④ SPDWR へ送信データを続いて書き込む事が可能です。但し、送信 FIFO の Full 状態(TFF=1)でさらに書きこむと、書き込みオーバフローが発生します。(WOF=1,割り込みは発生しません。)

⑤ 8 ビット毎に転送が終わると、SPIF ビットがセットされます。(SPIF=1)

⑥ 送信 FIFO の残りのデータが TFIC で選択した Byte 数と一致すると送信割り込みが発生します。(TFI=1)

⑦ 送信 FIFO が空になり、最後のバイトを転送終了すると転送終了割込みが発生します。(FI=1)




マスタモード(送信動作)

#### 7.8.5.2 受信動作(マスタモード)

① SPCR、SPBRR へ必要な値を書き込んで、MSTR ビットをマスタモードに設定、SPE ビットをセットして、SPI 転送を有効にします。

② SPDWR にデータを書きこむと、SPI 転送が始まります。

③ LSBF, CPOL と CPHA 及び SPBRR レジスタにより設定した同期クロックを SCK 端子から出力します。

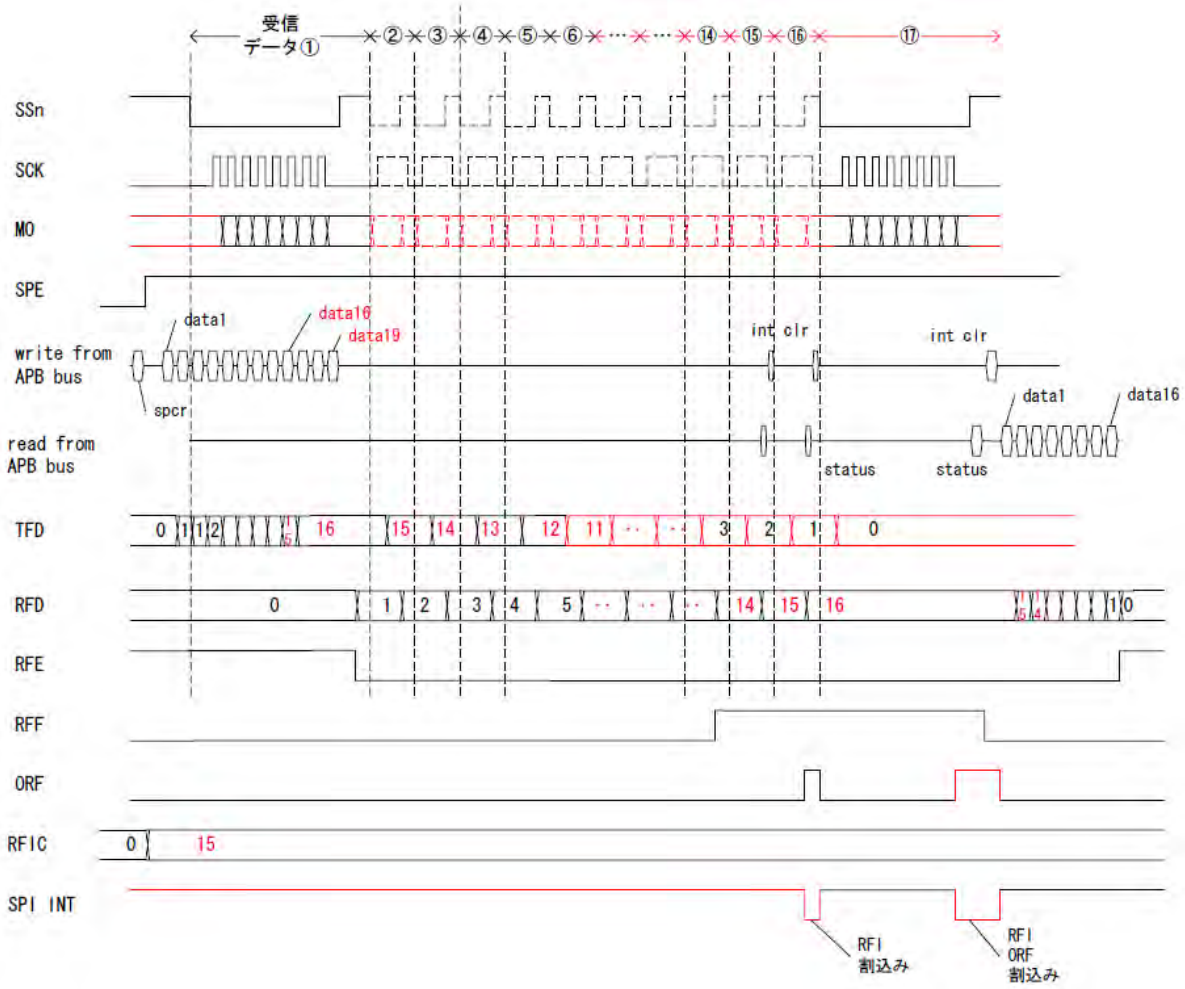
④ MISO 端子から、LSBF の設定通りに LSB または MSB から受信データをサンプリングし、受信 FIFO に格納します。受信 FIFO Empty フラグは 0 になります（RFE=0）。

⑤ 8 ビット毎に転送が終わると、SPIF ビットがセットされます。(SPIF=1)

⑥ 受信 FIFO に受信したデータが RFIC で選択した Byte 数を越えると、受信割込みが発生します。（RFI=1）

⑦ 受信 FIFO が Full になると、以降の受信は出来なくなります。この状態で受信を行うと、オーバーランエラー割り込みが発生します。（ORF=1）

⑧ 送信 FIFO の仮データが空になり、最後のバイトを転送終了すると転送終了割込みが発生します。(FI=1)




マスタモード(受信動作)

#### 7.8.5.3 FIFO 動作

SPI には受信 FIFO 16Byte(Word)、送信 FIFO 16Byte(Word)を内蔵しています。FIFO の状態は SPSR の TFF,TFE,TFD,RFF,RFE,RFD ビットに示します。
FIFO の状態は Full(TFF, RFF)、Empty(TFE, RFE)と Depth(TFD, RFD)の三つがあります。

#### 7.8.5.4 書き込みオーバフロー

送信 FIFO の Full 状態(TFF＝1)でさらに書きこむと、書き込みオーバフローが設定されます。(WOF＝1)
但し、書き込みオーバフローが発生しても割込みは発生しません。
SPSR を読み出すと WOF はクリアされます。

#### 7.8.5.5 オーバーランエラー

受信 FIFO の Full 状態(RFF=1)でさらに受信すると、オーバーランエラーが発生します。(ORF=1)
オーバーランエラーが発生すると、SPSR の ORF ビットをセットし、オーバーランエラー割り込みを発生します。
新しく受信したデータは保持されません。
受信 FIFO の内容を読み出して、RFF ビットをクリアした後で、ORF ビットに 1 を書いて、ORF ビットをクリアしてください。

#### 7.8.5.6 FIFOCLR

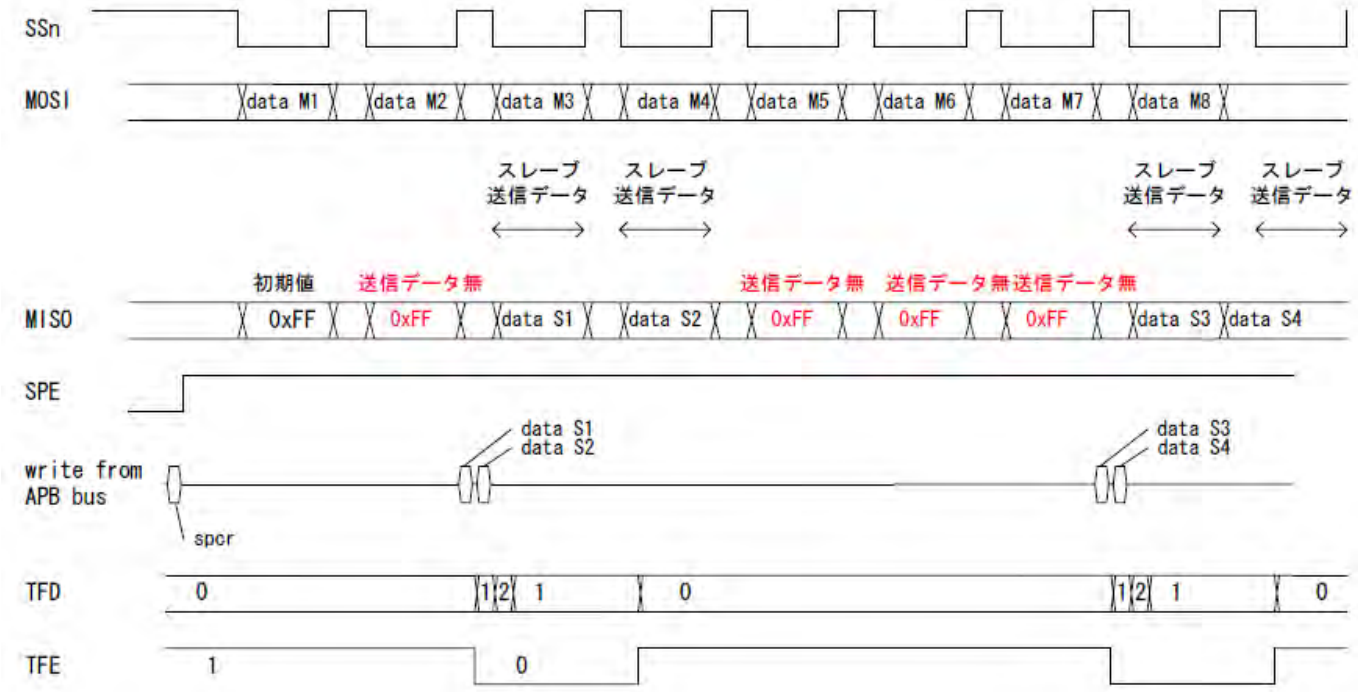
本ビットを 1 に設定すると FIFO の送受信カウンタの制御を初期設定状態にします。
SPSR レジスタの TFF=0,TFE=1,TFD=00000,RFF=0,RFE=1,RFD=00000 にします。
SPE=0 に設定されている時のみ有効になります。
転送を行う前に FIFOCLR=0 にもどしてください。
本ビットを 1 に設定に設定しても、SPCR レジスタの RFIC, TFIC, ORIE,FIE,RFIE,TFIE および SPSR レジスタの ORF,FI,RFI,TFI 割り込みは変更されません。
通信を中断した場合、FIFO のデータを廃棄するのに利用できます。

#### 7.8.5.7 スレーブの FIFO 転送 Byte/Word 数が異なる場合の転送

(1) マスタは、FIFO に送信データが書きこまれている場合のみ送信します。

(2) スレーブの送信はマスタによって決定されますのでスレーブの FIFO 転送 Byte/Word 数が異なる場合の転送は以下のようになります。

・スレーブの FIFO に送信データが書き込まれていない場合、リセット後の状態も含めて 0xFF(Word の場合 0xFFFF)が送信されます。




スレーブの FIFO 転送 Byte/Word 数が異なる場合の転送

#### 7.8.5.8 モードフォルト(MDF)

マスタモード時に、SSn 信号がローレベルになると、モードフォルトエラーが発生します。(SPSR の MDF がセットされます。) このビットが 1 になることは、2 個以上のマスタがバスを競合している危険を示します。

モードフォルトエラーが発生すると、バスラッチアップの危険があるため、SPI は以下の動作を行ないます。

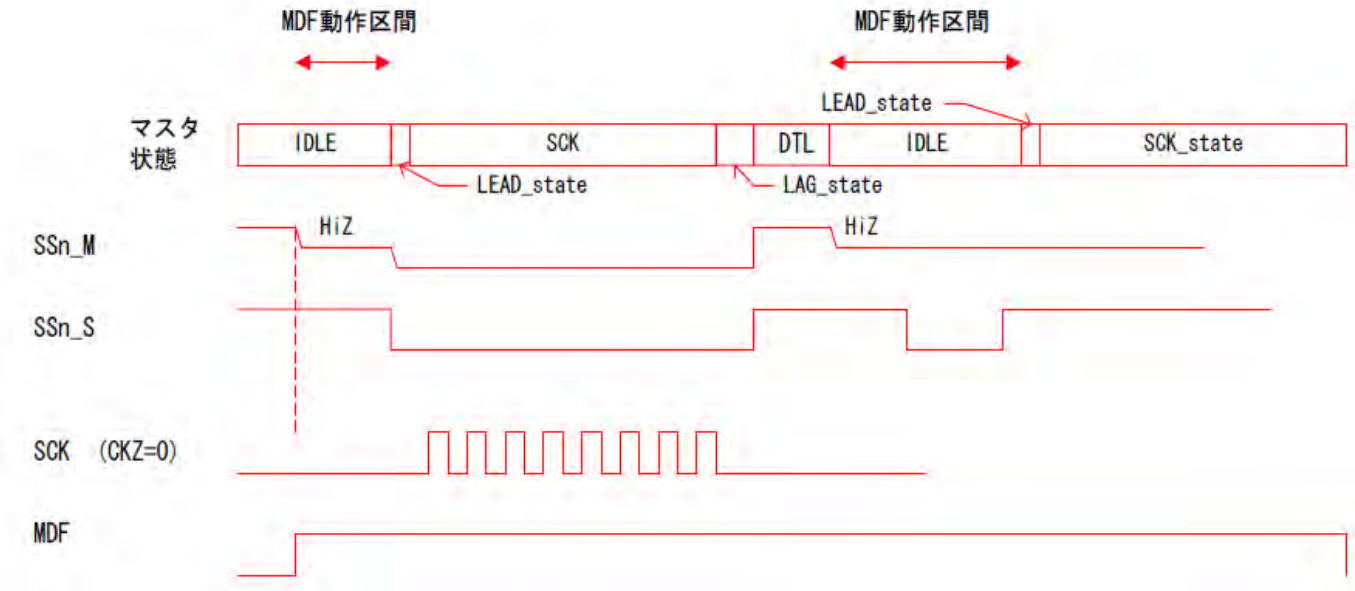
1. SPCR の MSTR ビットを自動的に 0 (スレーブ) にセットします。
2. SPCR の SPE ビットを自動的に 0(無効)にセットし、SPI は転送無効になります。
3. SPSR の MDF をセットし、SPCR1 の MDFIE ビットが 1(割込み許可)の場合は、割込みも発生します。

システムはモードフォルトの原因を解決した後で、下記のステップで MDF をクリアして下さい。

1. MDF へ 1 を書き込みクリアします。
2. SPCR に正確な値を設定します。

モードフォルト時は、すべての出力が Hi-Z になります。

下図にモードフォルト動作可能タイミングを示します。




モードフォルト動作可能タイミング

#### 7.8.5.9 割込み要因

##### 7.8.5.9.1 SPI の割込み要因

下記の 5 種類があります。

● モードフォルト

モードフォルト（マルチマスタバス競合）が発生すると、SPSR の MDF をセットし、モードフォルト割込みを発生します。

● オーバーラン

オーバーランが発生すると、SPSR の ORF をセットし、オーバーランエラー割り込みを発生します。

● 送信 FIFO Threshold

送信 FIFO の残りのデータが TFIC で選択した Byte 数と一致すると、SPSR の TFI をセットし、送信割り込みを発生します。

● 受信 FIFO Threshold

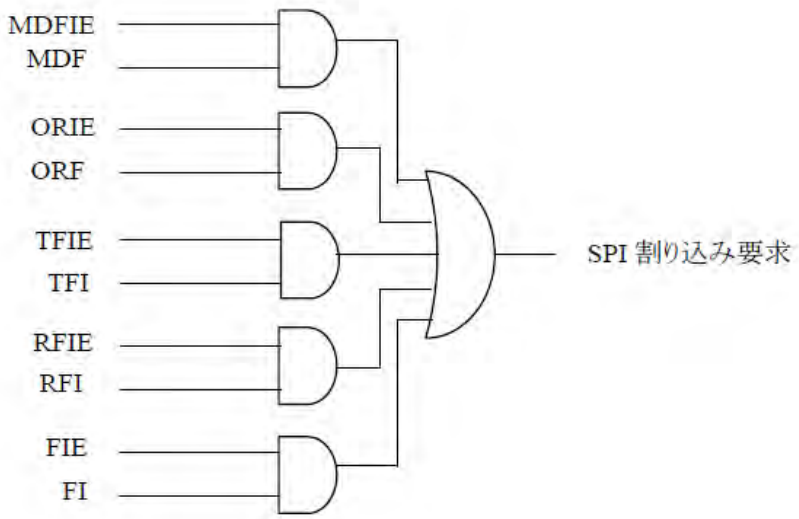
受信 FIFO に受信したデータが SPCR の RFIC で選択した Byte 数を越えると、SPSR の RFI をセットし、受信割込みを発生します。

● 転送終了

送信 FIFO が空になり、最後のバイトを転送終了すると、SPSR の FI をセットし、転送終了割込みを発生します。

##### 7.8.5.9.2 SPI の割込みクリア

割り込み要求は SPSR の各割り込みビット（TFI,RFI,MDF,ORF,FI）に 1 を書き込むとクリアします。




SPI 割込み信号論理

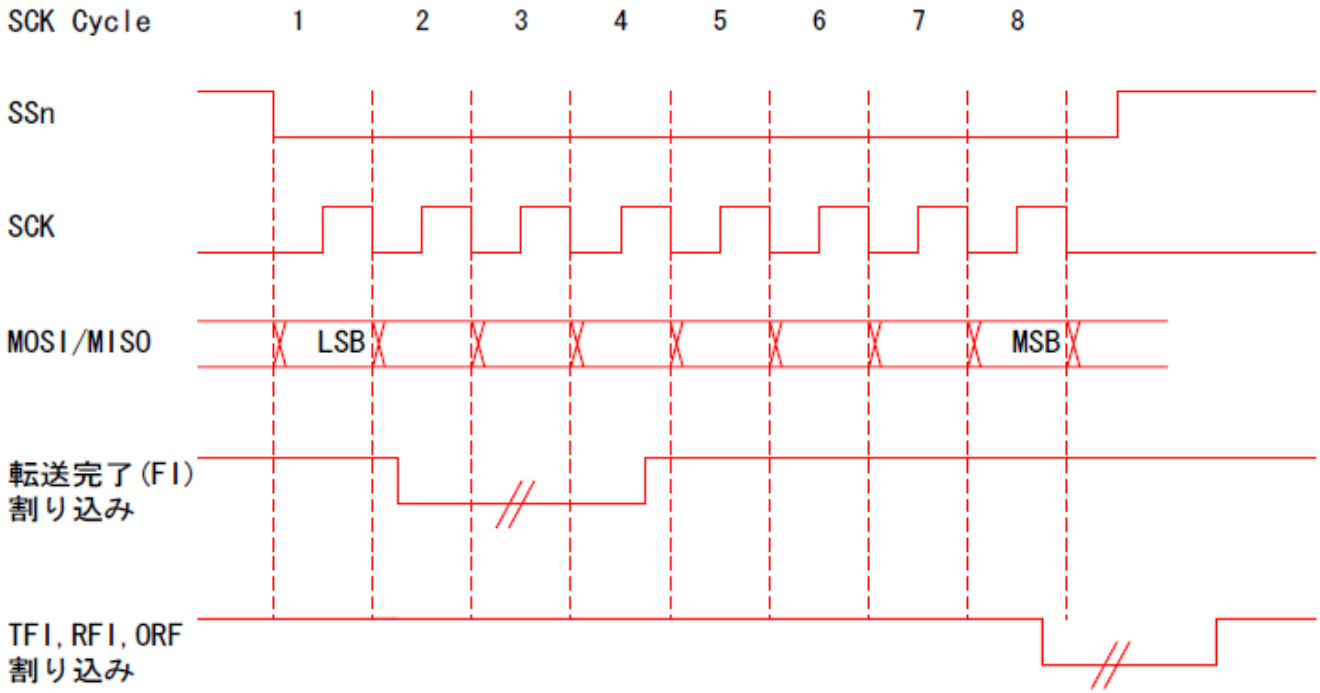
#### 7.8.5.9.3 SPI の割込みタイミング

下図に割込みタイミングを示します。

残り送信バイト数割り込み(TFI)は、2 番目ビットのシフトクロックから 1～2 SYSCLK 後に割り込みを発生します。

受信バイト数割り込み(RFI)、転送完了割り込み(FI), オーバーラン(ORF)は、MSB ビット目のサンプリングクロックから 1～2SYSCLK 後に割り込みを発生します。

MDF は、モードフォルト発生時点で割り込みが発生します。



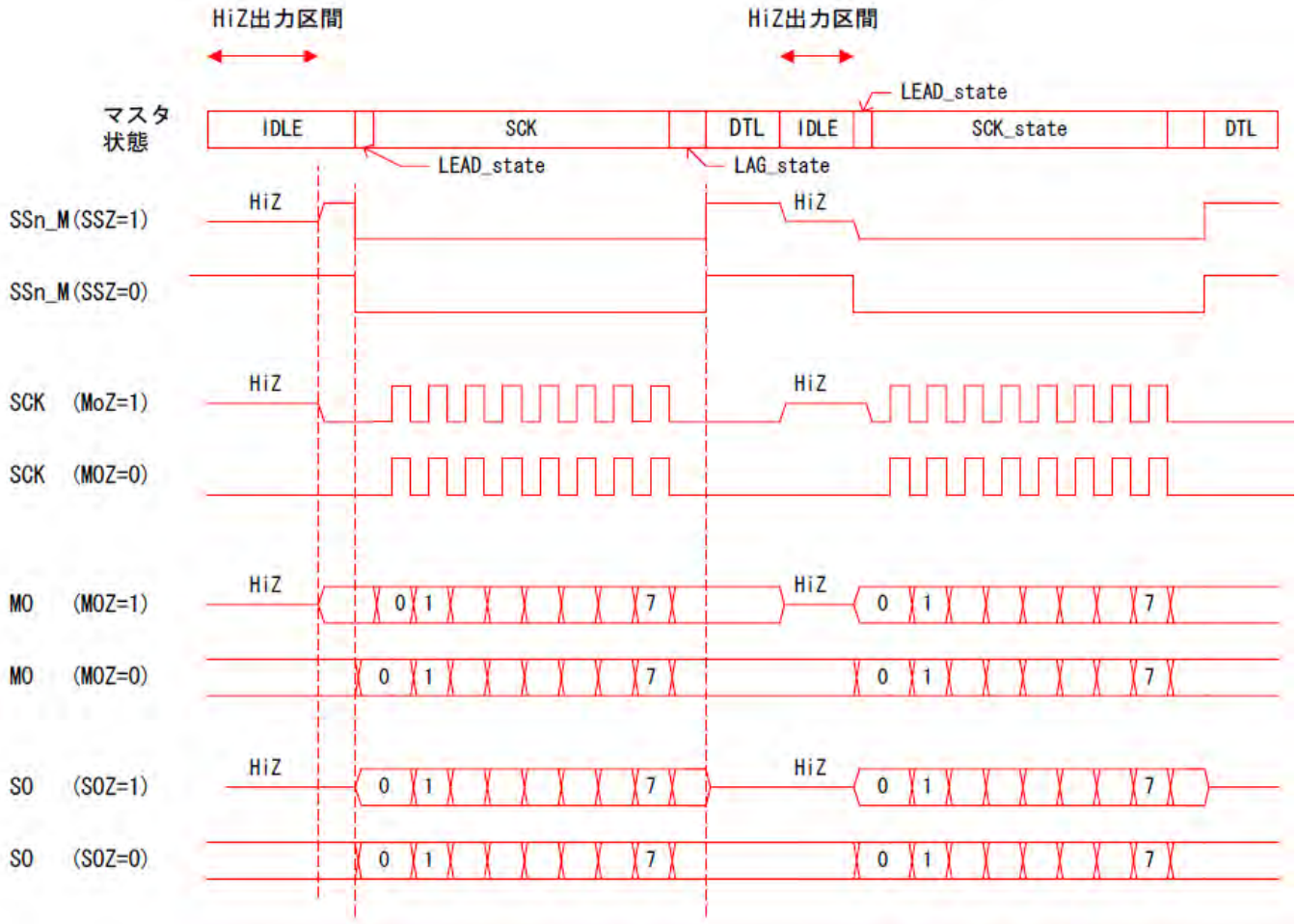

モードフォルト動作可能タイミング

#### 7.8.5.10 Hi-Z の動作

下図に Hi-Z(MOZ,SOZ,SSZ)の使用例を示します。

マスタの Hi-Z 送信区間は、下記の IDLE 時間に限られます。

Hi-Z 状態の雑音の影響を少なくするため送信開始の 1SCK 前に、"1"/"0"が確定し、また転送間隔の DTL 時間は、"1"/"0"が確定します。

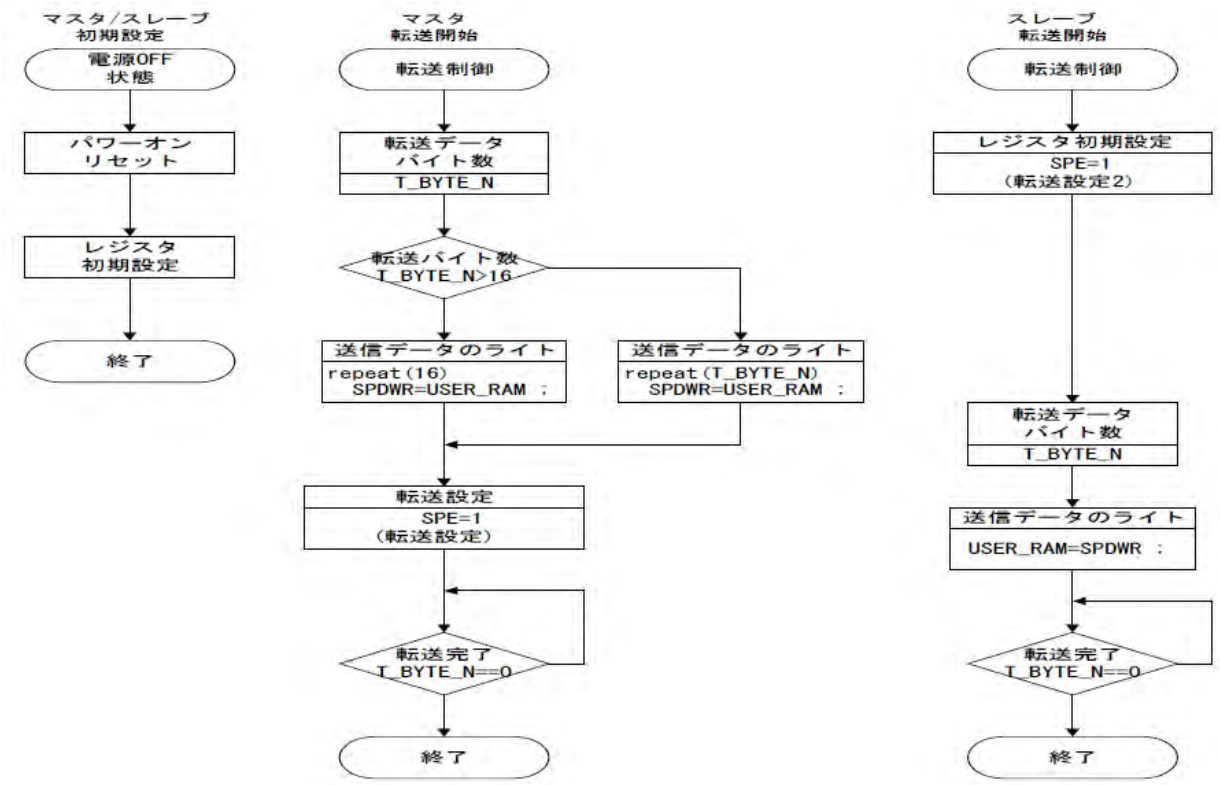



Hi-Z の動作

#### 7.8.5.11 MSTR 設定後から転送開始までの時間

SPI バス(MISO, MOSI, SCK, SSn)は、マスタモードが設定されるまで、ハイインピーダンスです。

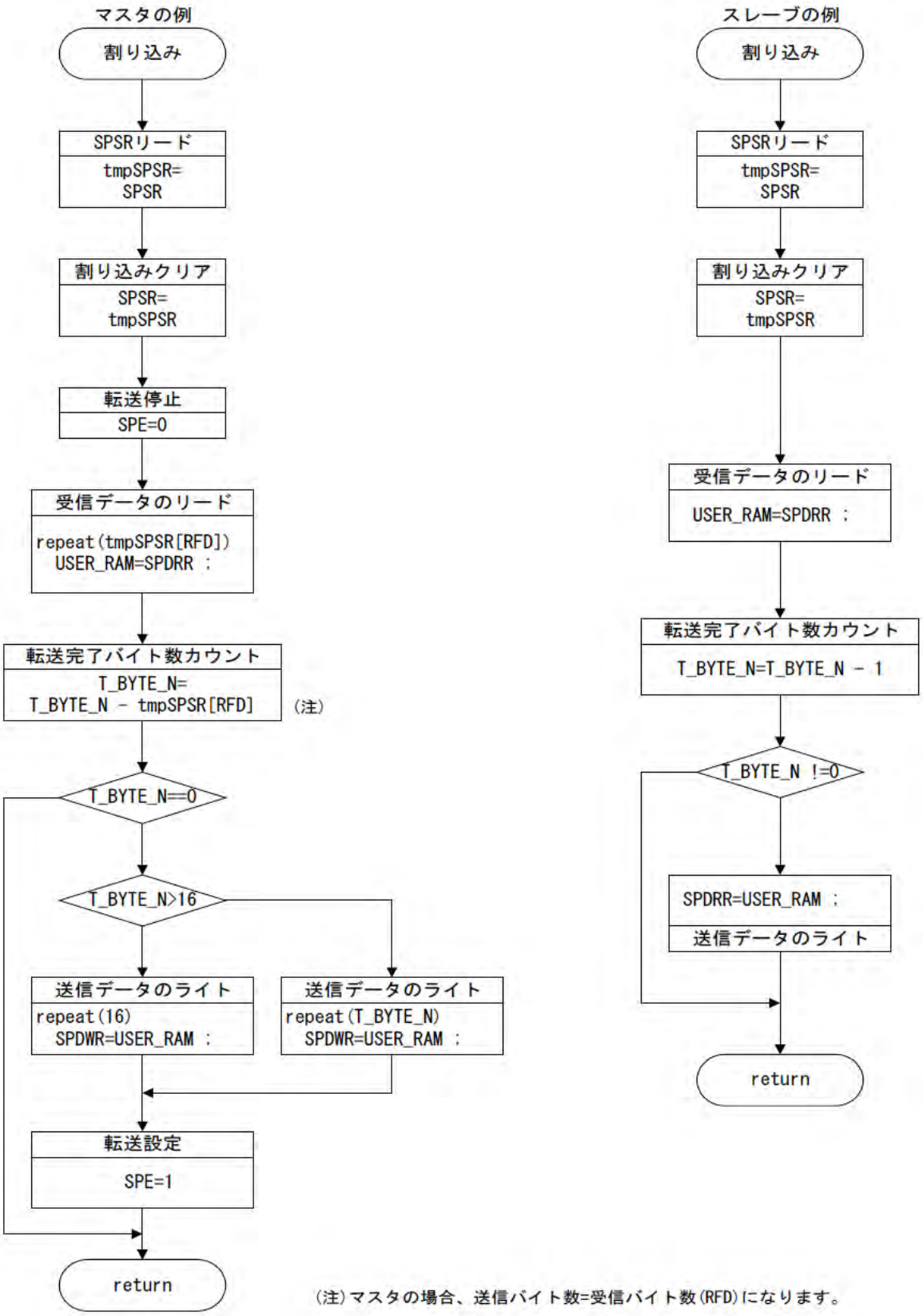
MSTR を設定後、100ns 以上経過してから、送信(SPE=1 もしくはデータライトによる転送開始)を開始してください




初期設定例

| レジスタ名 | 制御ビット | マスタ | | | | | | スレーブ | |
|---|---|---|---|---|---|---|---|---|---|
| | | 初期設定 | | 転送設定 | | 転送停止 | | 初期設定 | |
| SPCR | MOZ | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 |
| | SOZ | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 |
| | SSZ | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 |
| | FICLR | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 |
| | RFIC | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 |
| | TFIC | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 |
| | MDFIE | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 |
| | ORIE | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 |
| | FIE | 0 | 初期値 | 1 | 転送完了 | 1 | 転送完了 | 0 | 初期値 |
| | RFIE | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 1 | 1BYTE毎 |
| | TFIE | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 |
| | CPOL | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | マスタと同じ |
| | CPHA | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | マスタと同じ |
| | LSBF | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | マスタと同じ |
| | MODEFEN | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 |
| | – | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 | 0 | 初期値 |
| | MSTR | 1 | MASTER | 1 | MASTER | 1 | MASTER | 0 | SLAVE |
| | SPE | 0 | 初期値 | 1 | 送信開始 | 0 | 送信停止 | 1 | 通信可 |
| SPBRR | DTL | 16 | 転送間隔16 | 転送中は設定しない | | | | 2 | 初期値 |
| | LAG | 1 | 初期値 | | | | | 1 | 初期値 |
| | LEAD | 1 | 初期値 | | | | | 1 | 初期値 |
| | SIZE | 0 | 8bit | | | | | 0 | マスタと同じ |
| | SPBR | 2 | 8Mbit/s() | | | | | 2 | 初期値 |

レジスタ初期設定例




(注)マスタの場合、送信バイト数=受信バイト数(RFD)になります。

割込み制御フロー例

## 7-9.SSIS(SSI Slave)

### 7.9.1 概要

同期式シリアルインターフェース(スレーブ)です。特長を以下に示します。

- Motorola SPI をサポートします。
- データ長: 4～16 ビット
- 送信・受信 FIFO 各 8 段

※端子機能の割付については 7-11.ポートコンフィグレーションをご参照願います。

### 7.9.2 レジスター覧

**表 SSI レジスター覧**

| アドレス | 名称 | 略称 | サイズ | R/W | 初期値 |
|---|---|---|---|---|---|
| BASE+0x00 | コントロールレジスタ 0 | SSISn_CTRLR0 | 32 | R/W | 0x00000007 |
| BASE+0x04 | コントロールレジスタ 1 | SSISn_CTRLR1 | 32 | R/W | 0x00000000 |
| BASE+0x08 | SSI イネーブルレジスタ | SSISn_SSIENR | 32 | R/W | 0x00000000 |
| BASE+0x0C | Microwire コントロールレジスタ | SSISn_MWCR | 32 | R/W | 0x00000000 |
| BASE+0x10 | スレーブイネーブルレジスタ | SSISn_SER | 32 | R/W | 0x00000000 |
| BASE+0x14 | ボーレート選択レジスタ | SSISn_BAUDR | 32 | R/W | 0x00000000 |
| BASE+0x18 | 送信 FIFO 閾値レベルレジスタ | SSISn_TXFTLR | 32 | R/W | 0x00000000 |
| BASE+0x1C | 受信 FIFO 閾値レベルレジスタ | SSISn_RXFTLR | 32 | R/W | 0x00000000 |
| BASE+0x20 | 送信 FIFO レベルレジスタ | SSISn_TXFLR | 32 | R | 0x00000000 |
| BASE+0x24 | 受信 FIFO レベルレジスタ | SSISn_RXFLR | 32 | R | 0x00000000 |
| BASE+0x28 | ステータスレジスタ | SSISn_SR | 32 | R | 0x00000006 |
| BASE+0x2C | 割り込みマスクレジスタ | SSISn_IMR | 32 | R/W | 0x0000001F |
| BASE+0x30 | 割り込みステータスレジスタ | SSISn_ISR | 32 | R | 0x00000000 |
| BASE+0x34 | RAW 割り込みステータスレジスタ | SSISn_RISR | 32 | R | 0x00000000 |
| BASE+0x38 | 送信 FIFO オーバーフロー割り込みクリアレジスタ | SSISn_TXOICR | 32 | R | 0x00000000 |
| BASE+0x3C | 受信 FIFO オーバーフロー割り込みクリアレジスタ | SSISn_RXOICR | 32 | R | 0x00000000 |
| BASE+0x40 | 受信 FIFO アンダーフロー割り込みクリアレジスタ | SSISn_RXUICR | 32 | R | 0x00000000 |
| BASE+0x44 | マルチマスタ割り込みクリアレジスタ | SSISn_MSTICR | 32 | R | 0x00000000 |
| BASE+0x48 | 割り込みクリアレジスタ | SSISn_ICR | 32 | R | 0x00000000 |
| BASE+0x58 | ID レジスタ | SSISn_IDR | 32 | R | Master 0x00000707<br>Slave 0x80000707 |
| BASE+0x5C | バージョン ID レジスタ | SSISn_SSI_COMP_VER | 32 | R | 0x3332322A |
| BASE+0x60-BASE+0xEC | データレジスタ | SSISn_DR | 32 | R/W | 0x00000000 |
| BASE+0xF0 | RXD サンプル遅延レジスタ | SSISn_RX_SAMPLE_DLY | 32 | R/W | 0x00000000 |

※ n はモジュール番号(n=0)を示します。※ SSI Slave(n=0)のベースアドレスは 0x4000D000 です。

## 2.9.3 レジスタ説明

### 7.9.3.1 コントロールレジスタ 0(SSIxn_CTRLR0): BASE+0x00

SSI モジュールの動作モードを制御するレジスタです。

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | CTRLR0 | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| CTRLR0[15:12] | CFS | R/W | Microwire フレームフォーマットにおけるコントロールワードの長さを指定します。<br>"本フィールドの設定値+1"ビットが実際のコントロールワード長となります。 |
| CTRLR0[11] | SRL | R/W | テスト用レジスタです。通常は、初期値のままご使用下さい。<br>0: 通常モード<br>1: テストモード |
| CTRLR0[10] | SLV_OE | R/W | 本ビットは SSI Slave のみ有効です。<br>スレーブのデータ出力を制御します。<br>0: スレーブ送信データは有効です。<br>1: スレーブ送信データは無効です。 |
| CTRLR0[9:8] | TMOD | R/W | 転送モードを設定します。<br>00: 送受信モード<br>01: 送信のみ<br>10: 受信のみ<br>11: EEPROM リード |
| CTRLR0[7] | SCPOL | R/W | シリアルクロックの極性を設定します。<br>0: L を非活性状態とします。<br>1: H を非活性状態とします。 |
| CTRLR0[6] | SCPH | R/W | シリアルクロックの位相を設定します。<br>0: 初回データ転送の中間でトグルします。<br>1: 初回データ転送開始時にトグルします。 |

| | | | |
|---|---|---|---|
| CTRLR0[5:4] | FRF | R/W | フレームフォーマットを設定します。<br>00: Motorola SPI<br>01: TI SSP<br>10: National Semiconductor Microwire<br>11: Reserved |
| CTRLR0[3:0] | DFS | R/W | データフレーム長を設定します。<br>"本フィールドの設定値+1"がデータ長となります。<br>設定可能な最小値は 0011(データ長 4bit)で、最大値は 1111(データ長 16bit)です。 |

7.9.3.2 コントロールレジスタ 1(SSIxn_CTRLR1): BASE+0x04

SSI モジュールの動作モードを制御するレジスタです。

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | CTRLR1 | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| CTRLR1[15:0] | NDF | R/W | TMOD=10 または TMOD=11 の時、連続して受信するデータフレーム数を設定します。"本フィールドの設定値+1"がフレーム数となります。 |

7.9.3.3 SSI イネーブルレジスタ(SSIxn_SSIENR): BASE+0x08

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | SSI_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| SSIENR[0] | SSI_EN | R/W | SSI モジュールを有効にします。<br>SSI を無効にした時は、転送は直ちに中止され、送信および受信 FIFO はクリアされます。SSI が有効な状態でコントロールレジスタを書き換えることは出来ません。<br>0: 無効<br>1: 有効 |

7.9.3.4 Microwire コントロールレジスタ(SSIxn_MWCR): BASE+0x0C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | MWCR [2:0] | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| MWCR[2] | MHS | RW | ※本ビットは SSI Master のみ有効です。<br>Microwire の busy/ready によるハンドシェイクを有効にします。<br>0: ハンドシェイクは無効です。<br>1: ハンドシェイクは有効です。 |
| MWCR[1] | MDD | RW | Microwire 設定時のデータ転送方向を設定します。<br>0: 受信<br>1: 送信 |
| MWCR[0] | MWMOD | RW | Microwire の転送モードを設定します。<br>0: non-sequential 転送<br>1: sequential 転送 |

7.9.3.5 スレーブイネーブルレジスタ(SSIxn_SER): BASE+0x10

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | SER |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| SER[0] | SER | RW | ※本ビットは SSI Master のみ有効です。<br>対応するスレーブセレクト信号をアサートします。<br>1: 選択<br>0: 非選択 |

※マスタ動作開始時に必ず、本ビットをセットしてください。

7.9.3.6 ボーレート選択レジスタ(SSIxn_BAUDR): BASE+0x14

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | SCKDV | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| BAUDR | SCKDV | RW | ※本ビットは SSI Master のみ有効です。<br>SSI クロックの分周器値です。LSB は常に 0 でライト無効です。<br>通信クロックの周期は以下の式となります。<br>SSI 通信クロック周波数＝入力通信クロック周波数/SCKDV<br>SCKDV には 2 から 65534 までの偶数が設定可能です。 |

7.9.3.7 送信 FIFO 閾値レベルレジスタ(SSIxn_TXFTLR): BASE+0x18

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | TXFTLR | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| TXFTLR[2:0] | TFT | RW | 送信 FIFO の閾値を設定します。<br>本フィールドの設定値以下の時、送信 FIFO エンプティ割り込みが発生します。<br>000: 0 データ以下の時、割り込み発生<br>001: 1 データ以下の時、割り込み発生<br>:<br>111:7 データ以下の時、割り込み発生 |

7.9.3.8 受信 FIFO 閾値レベルレジスタ(SSIxn_RXFTLR): BASE+0x1C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | RXFTLR | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| RXFTLR[2:0] | RFT | RW | 受信 FIFO の閾値を設定します。<br>本フィールドの設定値以上の時、受信 FIFO フル割り込みが発生します。<br>000: 1 データ以上の時、割り込み発生<br>001: 2 データ以上の時、割り込み発生<br>:<br>111:8 データ以上の時、割り込み発生 |

7.9.3.9 送信 FIFO レベルレジスタ(SSIxn_TXFLR): BASE+0x20

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | TXFLR | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| TXFLR[2:0] | TXTFL | R | 送信 FIFO 内の有効なデータ数を示します。 |

7.9.3.10 受信 FIFO レベルレジスタ(SSIxn_RXFLR)：BASE+0x24

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | RXTFL | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| RXFLR[2:0] | RXTFL | R | 受信 FIFO 内の有効なデータ数を示します。 |

7.9.3.11 ステータスレジスタ(SSIxn_SR)：BASE+0x28

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | SR[6:0] | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| SR[6] | DCOL | R | データコリジョンエラー。本ビットはマスタモード時のみ有効です。<br>マスタデバイスとして動作中に他のマスタデバイスが本デバイスをスレーブとして選択した時に本ビットはセットされます。本ビットは最終データ転送が完了する前に中断したことを示します。<br>本ビットは、リード時にクリアされます。<br>0：エラーなし<br>1：データコリジョンエラー発生 |
| SR[5] | TXE | R | 送信エラー。送信 FIFO が空の状態で送信を試みた時に、本ビットはセットされます。本ビットはスレーブ時のみ有効です。本ビットはリード時にクリアされます。<br>0：エラーなし<br>1：送信エラー発生。 |

| | | | |
|---|---|---|---|
| SR[4] | RFF | R | 受信 FIFO Full。<br>受信 FIFO がフルの時、本ビットはセットされます。受信 FIFO に空きが生じると、本ビットはクリアされます。<br>0: not Full<br>1: Full |
| SR[3] | RFNE | R | 受信 FIFO Not Empty。<br>受信 FIFO に 1 つ以上のデータがあると本ビットはセットされ、受信 FIFO が空になると、クリアされます。<br>0: 受信 FIFO Empty<br>1: 受信 FIFO not Empty |
| SR[2] | TFE | R | 送信 FIFO Empty。<br>送信 FIFO が空の時、本ビットはセットされます。1 つ以上の有効なデータがある時、本ビットはクリアされます。本ビットは割り込み要因とはなりません。<br>0: 送信 FIFO not Empty<br>1: 送信 FIFO Empty |
| SR[1] | TFNF | R | 送信 FIFO Not Full。<br>送信 FIFO に 1 つ以上のデータがある時、本ビットはセットされ、送信 FIFO が空になると、本ビットはクリアされます。<br>0: 送信 FIFO Full<br>1: 送信 FIFO not Full |
| SR[0] | BUSY | R | SSI ビジー。<br>シリアル転送中に本ビットはセットされます。IDLE または SSI Disable 時に本ビットはクリアされます。<br>0: SSI モジュールは IDLE または Disable<br>1: シリアル転送中 |

7.9.3.12 割り込みマスクレジスタ(SSIxn_IMR): BASE+0x2C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | IMR[5:0] | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| IMR[5] | MSTIM | RW | ※本ビットは SSI Master のみ有効です。SSI Slave では常に 0 が読み出されます。<br>マルチマスタコンテンション割り込みマスク<br>0:マスク / 1:非マスク |
| IMR[4] | RXFIM | RW | 受信 FIFO フル割り込みマスク<br>0:マスク / 1:非マスク |
| IMR[3] | RXOIM | RW | 受信 FIFO オーバーフロー割り込みマスク<br>0:マスク / 1:非マスク |
| IMR[2] | RXUIM | RW | 受信 FIFO アンダーフロー割り込みマスク<br>0:マスク / 1:非マスク |
| IMR[1] | TXOIM | RW | 送信 FIFO オーバーフロー割り込みマスク<br>0:マスク / 1:非マスク |
| IMR[0] | TXEIM | RW | 送信 FIFO Empty 割り込みマスク<br>0:マスク / 1:非マスク |

0 をライトすることで、マスクされます。

7.9.3.13 割り込みステータスレジスタ(SSIxn_ISR): BASE+0x30

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | ISR[5:0] | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW |

マスク後の割り込みステータスを示します。

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| ISR[5] | MSTIS | RW | ※本ビットは SSI Master のみ有効です。<br>マルチマスタコンテンション割り込み |
| ISR[4] | RXFIS | RW | 受信 FIFO フル割り込み |
| ISR[3] | RXOIS | RW | 受信 FIFO オーバーフロー割り込み |
| ISR[2] | RXUIS | RW | 受信 FIFO アンダーフロー割り込み |
| ISR[1] | TXOIS | RW | 送信 FIFO オーバーフロー割り込み |
| ISR[0] | TXEIS | RW | 送信 FIFO Empty 割り込み |

7.9.3.14 RAW 割り込みステータスレジスタ(SSIxn_RISR): BASE+0x34

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | RISR[5:0] | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

マスク前の割り込みステータスを示します。

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| RISR[5] | MSTIR | R | ※本ビットは SSI Master のみ有効です。<br>マルチマスタコンテンション RAW 割り込み |
| RISR[4] | TXFIR | R | 受信 FIFO フル RAW 割り込み |
| RISR[3] | TXOIR | R | 受信 FIFO オーバーフローRAW 割り込み |
| RISR[2] | RXUIR | R | 受信 FIFO アンダーフローRAW 割り込み |
| RISR[1] | TXOIR | R | 送信 FIFO オーバーフローRAW 割り込み |
| RISR[0] | TXEIR | R | 送信 FIFO Empty RAW 割り込み |

7.9.3.15 送信 FIFO オーバーフロー割り込みクリアレジスタ(SSIxn_TXOICR)：BASE+0x38

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | TXOICR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| TXOICR[0] | TXOICR | R | 本レジスタをリードすると、送信 FIFO オーバーフロー割り込みがクリアされます。ライトは無視されます。 |

7.9.3.16 受信 FIFO オーバーフロー割り込みクリアレジスタ(SSIxn_RXOICR): BASE+0x3C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | RXOICR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| RXOICR[0] | RXOICR | R | 本レジスタをリードすると受信 FIFO オーバーフロー割り込みがクリアされます。ライト時は無視されます。 |

7.9.3.17 受信 FIFO アンダーフロー割り込みクリアレジスタ(SSIxn_RXUICR): BASE+0x40

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | RXUICR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| RXUICR [0] | RXUICR | R | 本レジスタをリードすると、受信 FIFO アンダーフロー割り込みがクリアされます。ライトは無視されます。 |

7.9.3.18 マルチマスタ割り込みクリアレジスタ(SSIxn_MSTICR): BASE+0x44

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | MSTICR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| MSTICR [0] | MSTICR | R | 本レジスタをリードすると、マルチマスタコンテンション割り込みがクリアされます。ライトは無視されます。 |

7.9.3.19 割り込みクリアレジスタ(SSIxn_ICR): BASE+0x48

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | ICR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| ICR[0] | ICR | R | 本レジスタをリードすると、アクティブな全ての割り込みがクリアされます。ライトは無視されます。 |

7.9.3.20 ID レジスタ(SSIxn_IDR): BASE+0x58

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | IDCODE | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 説明を参照 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| IDR[31:0] | IDCODE | R | ユーザ定義 ID コード。SSI の構成を示す。<br>Bit[31]=0:Master、1:Slave。<br>Bit:[30:25]=予約。値は 0。<br>Bit:[24:20]= ペリフェラル番号。0-31。<br>Bit:[19:16]=SSI 信号の本数(SSI_NUM_SLAVES)。<br>値 0-15 が本数 1-16 に対応。<br>Bit:[15:8]=送信 FIFO の深さ。<br>値 1-255 が FIFO の深さ 2-256 に対応。<br>Bit:[7:0]=受信 FIFO の深さ。<br>値 1-255 が FIFO の深さ 2-256 に対応。<br><br>初期値<br>Master:0x00000707<br>Slave:0x80000707 |

7.9.3.21 バージョン ID レジスタ(SSIxn_SSI_CMP_VERSION): BASE+0x5C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | SS_CMP_VERSION | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| SSI_CMP_VERSION [31:0] | SSI_CMP_VERSION | R | Component version |

7.9.3.22 データレジスタ(SSIxn_DR): BASE+0x60 to 0xEC

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | DR | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| DR [15:0] | DR | R/W | リード時: 受信 FIFO バッファ<br>ライト時: 送信 FIFO バッファ |

7.9.3.23 RX サンプル遅延レジスタ (SSIxn_RX_SAMPLE_DLY): BASE+0xF0

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | RSD | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW |

※本レジスタは SSI Master のみ有効です。SSI Slave では書き込みは無視され、読み出しは 0x00000000 を返します。

| ビット | 名前 | R/W | 説明 |
|---|---|---|---|
| RX_SAMPLE_DLY [7:0] | RSD | R/W | 受信データサンプル遅延<br>5 以上に設定すると遅延は 0 になります。 |

## 7-10.WDT

### 7.10.1 概要

プログラマブルな 16bit のウォッチドッグタイマです。特長を以下に示します。

- カウンタがタイムアウトとなった時に、1 回目のタイムアウトで割り込みアサート、2 回目のタイムアウトでシステムリセット動作を行います。割り込みのみアサートしてリセット動作は行わないモード設定も可能です。モード設定については※7.29.3.1 WDT 設定レジスタを参照願います。
- SYSCON_PPM1、SYSCON_PPM2 レジスタにより SLEEP モード中のカウンタ動作/停止を選択可能です。
- ウォッチドッグタイマのソースクロックは制御レジスタにより選択可能です。

### 7.10.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| 0x40010000 | WDT コントロールレジスタ | WDT_CR | RW | 0x00000002 | |
| 0x40010004 | WDT タイマタイムアウトレンジレジスタ | WDT_TORR | RW | 0x0000000F | |
| 0x40010008 | WDT 現カウント値レジスタ | WDT_CCVR | R | 0x007FFFFF | |
| 0x4001000C | WDT カウンタ再開レジスタ | WDT_CRR | W | 0x00000000 | |
| 0x40010010 | WDT 割り込みステータスレジスタ | WDT_STAT | R | 0x00000000 | |
| 0x40010014 | WDT 割り込みクリアレジスタ | WDT_EOI | R | 0x00000000 | |
| 0x400100E4 | WDT 構成パラメータレジスタ 5 | WDT_COMP_PARAMS_5 | R | 0x007FFFFF | |
| 0x400100E8 | WDT 構成パラメータレジスタ 4 | WDT_COMP_PARAMS_4 | R | 0x00000000 | |
| 0x400100EC | WDT 構成パラメータレジスタ 3 | WDT_COMP_PARAMS_3 | R | 0x0000000F | |
| 0x400100F0 | WDT 構成パラメータレジスタ 2 | WDT_COMP_PARAMS_2 | R | 0x007FFFFF | |
| 0x400100F4 | WDT 構成パラメータレジスタ 1 | WDT_COMP_PARAMS_1 | R | 0x100F0212 | |
| 0x400100F8 | コンポーネントバージョンレジスタ | WDT_CMP_VERSION | R | 0x3130372A | |
| 0x400100FC | コンポーネントタイプレジスタ | WDT_COMP_TYPE | R | 0x44570120 | |

### 7.10.3 レジスタ説明

#### 7.10.3.1 WDT コントロールレジスタ: 0x40010000

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | RPL | | | RMOD | WDT_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| RPL | リセットパルス幅を設定します。通常、初期値のまま、ご使用下さい。 |
| RMOD | カウンタがタイムアウトした時の動作を設定します。<br>0: システムをリセットします。<br>1: 1 回目のタイムアウトで割り込みをアサートします。2 回目のタイムアウトまでに割り込み要因がクリアされない場合は、システムをリセットします。 |
| WDT_EN | ウォッチドッグタイマを有効にします。<br>0: ウォッチドッグタイマは無効です。<br>1: ウォッチドッグタイマは有効です。 |

※ ビット 5 は R/W 可能な予約ビットです。ビット 6-31 はリードすると必ず 0 が読み出されます。

7.10.3.2 WDT タイムアウトレンジレジスタ: 0x40010004

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | TOP | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

| | |
|---|---|
| TOP | カウンタ動作再開時のカウンタ値の値を設定します。設定値とカウンタ初期値の関係は次の通りです。<br>TOP:カウンタ初期値<br>0x0: 0x0000_00ff<br>0x1: 0x0000_01ff<br>0x2: 0x0000_03ff<br>0x3: 0x0000_07ff<br>0x4: 0x0000_0fff<br>0x5: 0x0000_1fff<br>0x6: 0x0000_3fff<br>0x7: 0x0000_7fff<br>0x8: 0x0000_ffff<br>0x9: 0x0001_ffff<br>0xa: 0x0003_ffff<br>0xb: 0x0007_ffff<br>0xc: 0x000f_ffff<br>0xd: 0x001f_ffff<br>0xe: 0x003f_ffff<br>0xf: 0x007f_ffff |

7.10.3.3 WDT 現カウンタ値レジスタ: 0x40010008

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | WDT_CCVR | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| WDT_CCVR | 内部のカウンタの値を示します。 |

7.10.3.4 WDT カウンタ再開レジスタ: 0x4001000C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | WDT_CCR | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

| | |
|---|---|
| WDT_CCR | WDT の再開時に使用します。<br>WDT 再開時は、本レジスタに 0x76 を書き込んでください。WDT の再開により、割り込みはクリアされます。<br>リード時は常に 0 が読み出されます。 |

7.10.3.5 WDT 割り込みステータスレジスタ: 0x40010010

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | WDT_STAT |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| WDT_STAT | 割り込みステータスを示します。<br>1: 割り込みが発生していることを示します。<br>0: 割り込みが発生していないことを示します。 |

7.10.3.6 WDT 割り込みクリアレジスタ: 0x40010014

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | WDT_EOI |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| WDT_EOI | ウォッチドッグタイマを再開することなく、割り込みをクリアするために使用します。<br>1-shot タイマ用途として使用できます。 |

## 7-11.ポートコンフィグレーション

### 7.11.1 概要

- 各汎用ポート(Pmn: m=A,B, n=0,1,2,..,15)の機能を選択します。

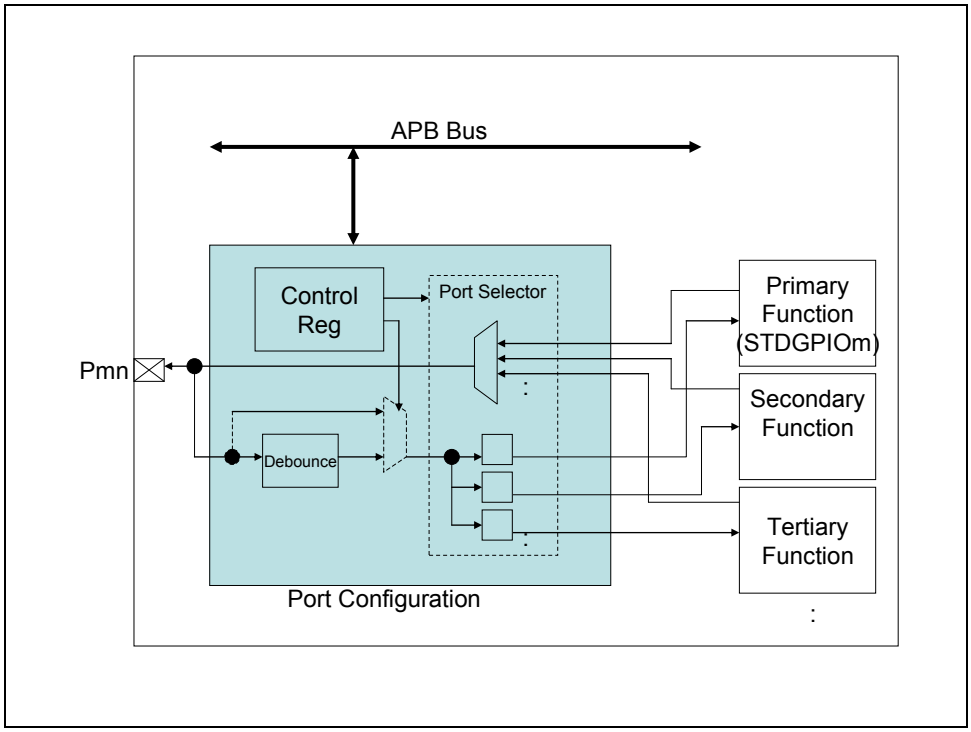



図 7-11 ポートコンフィグレーション概略図

<ご注意>

ポートコンフィグレーションによる端子制御を有効にするためには対象端子の IO 設定レジスタの set_io_en を"0"に設定する必要があります。詳細は 7.29.5 IO 制御 をご参照願います。

### 7.11.2 レジスター覧

| アドレス | 名称 | 略称 | R/W | 説明 |
|---|---|---|---|---|
| BASE+0x00 | ポート m 2 次機能選択レジスタ | STDPORTm_SEL2 | R/W | GPIOm(汎用ポート m)の２次機能を有効にします。 |
| BASE+0x04 | ポート m 3 次機能選択レジスタ | STDPORTm_SEL3 | R/W | GPIOm(汎用ポート m)の３次機能を有効にします。 |
| BASE+0x08 | ポート m4 次機能選択レジスタ | STDPORTm_SEL4 | R/W | GPIOm(汎用ポート m)の４次機能を有効にします。 |
| BASE+0x0C | ポート m5 次機能選択レジスタ | STDPORTm_SEL5 | R/W | GPIOm(汎用ポート m)の５次機能を有効にします。 |
| 0x40018010 | テスト制御レジスタ | TESTCON | R/W | BER 測定等のテストモードを有効にします。 |
| 0x40018014 | RF チップ間配線機能選択レジスタ | INTRPORT_SEL | R/W | RF インターフェース機能を有効にします。 |

※m はモジュール番号 (m=A, B)を示します

m=A: BASE=0x40018000; m=B: BASE=0x40018100

※0x40018014(RF チップ間配線機能選択レジスタ)は Reserved レジスタのため初期値のまま使用願います。

### 7.11.3 レジスタ説明

#### 7.11.3.1 ポート m 2 次機能選択レジスタ（STDPORTm_SEL2）: BASE+0x00

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | PORTm_SEL2 | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

PORTm_SEL2[n]: 0: Pmn(汎用ポート m,ビット n)のソースに 2 次機能を設定しません。
1: Pmn(汎用ポート m, ビット n)のソースに 2 次機能を設定します。

※ m=A の場合はビット 00～12 までが有効となります。

#### 7.11.3.2 ポート m 3 次機能選択レジスタ（STDPORTm_SEL3）: BASE+0x04

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | PORTm_SEL3 | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

PORTm_SEL3[n]: 0: Pmn(汎用ポート m, ビット n)のソースに 3 次機能を設定しません。
1: Pmn(汎用ポート m, ビット n)のソースに 3 次機能を設定します。

※ m=A の場合はビット 00～12 までが有効となります。

7.11.3.3　　ポート m 4 次機能選択レジスタ（STDPORTm_SEL4）：BASE+0x08

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | PORTm_SEL4 | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

PORTm_SEL4[n]: 0:　Pmn(汎用ポート m，ビット n）のソースに 4 次機能を設定しません。
　　1:　Pmn(汎用ポート m，ビット n）のソースに 4 次機能を設定します。

※ m=A の場合はビット 00～12 までが有効となります。

7.11.3.4　　ポート m 5 次機能選択レジスタ（STDPORTm_SEL5）：BASE+0x0C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | PORTm_SEL5 | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

PORTm_SEL5[n]: 0:　Pmn(汎用ポート m，ビット n）のソースに 5 次機能を設定しません。
　　1:　Pmn(汎用ポート m，ビット n）のソースに 5 次機能を設定します。

※ m=A の場合はビット 00～12 までが有効となります。

### 7.11.3.5 テスト制御レジスタ（TESTCON）：0x40018010

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | Reserved | | | | | | | | | | | RFMON_EN | Reserved | | | BER_MODE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| RFMON_EN | DMON 端子入力を GPIOA3 に出力する<br>0：通常モード<br>1：DMON 端子入力を GPIOA3 に出力 |
| BER_MODE | BER 測定モードイネーブル<br>0：通常モード<br>1：GPIOA1 および GPIOA2 を BER 測定モードに切り替える<br>本ビットを 1 に設定した場合、GPIOA1 は DCLK 出力、GPIOA2 は DIO 出力にそれぞれ割り当てられます。 |

### 7.11.4 動作説明

#### 7-11.4.1 機能選択

汎用ポート GPIOAn, GPIOBn(n=0,1,..,15)の各端子に割り当てる機能を選択します。

STDGPIOm[n](m=A,B/n=0..15)の機能は次の条件により決定されます。

表 7-11-1 汎用ポート(GPIOmn)機能選択条件

| 条件 | 機能 | 備考 |
|---|---|---|
| PORTm_SEL2[n]=0 かつ<br>PORTm_SEL3[n]=0 かつ<br>PORTm_SEL4[n]=0 かつ<br>PORTm_SEL5[n]=0 | 1 次機能 | 初期値 |
| PORTm_SEL2[n]=1 | 2 次機能 | |
| PORTm_SEL2[n]=0 かつ<br>PORTm_SEL3[n]=1 | 3 次機能 | |
| PORTm_SEL2[n]=0 かつ<br>PORTm_SEL3[n]=0 かつ<br>PORTm_SEL4[n]=1 | 4 次機能 | |
| PORTm_SEL2[n]=0 かつ<br>PORTm_SEL3[n]=0 かつ<br>PORTm_SEL4[n]=0 かつ<br>PORTm_SEL5[n]=1 | 5 次機能 | |

### 7.11.5 汎用ポート設定

表 7-11-2 GPIO 機能一覧

| ポート | 1 次機能 | 2 次機能 | 3 次機能 | 4 次機能 | 5 次機能 |
|---|---|---|---|---|---|
| GPIOA[0] | 汎用ポート | UART RXD | SPI SCK | I2C SCL | STD GPIO |
| GPIOA[1] | 汎用ポート | UART TXD | SPI SSN | I2C SDA | STD GPIO |
| GPIOA[2] | 汎用ポート | UART CTS | SPI MISO | FTM | STD GPIO |
| GPIOA[3] | 汎用ポート | UART RTS | SPI MOSI | Reserved | STD GPIO |
| GPIOA[4] | 汎用ポート | UART RXD | SSI Slave SCK | I2C SCL | STD GPIO |
| GPIOA[5] | 汎用ポート | UART TXD | SSI Slave SSn | I2C SDA | STD GPIO |
| GPIOA[6] | 汎用ポート | UART CTS | SSI Slave TXD | FTM | STD GPIO |
| GPIOA[7] | 汎用ポート | UART RTS | SSI Slave RXD | Reserved | STD GPIO |
| GPIOA[8] | 汎用ポート | UART RXD | SPI SCK | I2C SCL | STD GPIO |
| GPIOA[9] | 汎用ポート | UART TXD | SPI SSN | I2C SDA | STD GPIO |
| GPIOA[10] | 汎用ポート | UART CTS | SPI MISO | FTM | STD GPIO |
| GPIOA[11] | 汎用ポート | UART RTS | SPI MOSI | Reserved | STD GPIO |
| GPIOA[12] | 汎用ポート | Reserved | Reserved | Reserved | Reserved |
| GPIOD[0] | 汎用ポート | | | | |

※黄色セルは ISP(In-System Programming)時に使用する機能(ポート)となります。

※紫色セルは RF 割込み検出時に使用する機能となります(LSI ポートとしては存在しません)。

ML7416 では内部のペリフェラルのブロック数に対し、出力ポート数の方が多い機能が複数あります。

| ペリフェラル名 | ブロック数 | GPIO 出力ポート数 |
|---|---|---|
| UART | 3 | 7 |
| SPI | 2(*1) | 6 |
| I2C | 1 | 7 |
| FTM | 1 | 7 |
| STD GPIO | 4 | 28 |

(*1)ML7396B と接続する SPI(SPI2)は GPIO 割当でなく、専用ポートから出力されます。

これらの機能については、GPIO のイネーブル状況によって自動的に割り当てが変わります。
割当方法は以下に示す通りです。

1. 標準適用ブロックがある端子については、イネーブル時必ずそのブロックが適用されます。
2. 標準適用ブロックが無い端子については、他の端子イネーブル状況によって余っているブロックが適用されます。
   余りブロックが複数ある場合は番号が小さいブロックから順に適用されます。
   余りのブロックが無い場合、GPIO 機能をイネーブルにしても何も割り当てられません。

組み合わせについての詳細は以下の表をご参照ください。表中-(*2)は汎用ポート(APB GPIO)に割り当てます。

STD GPIO は以下の割当てとなります。*は A または B を示します。

GPIO*[0],[4],[8]から 1 つのみ選択可能。
GPIO*[1],[5],[9]から 1 つのみ選択可能。
GPIO*[2],[5],[10]から 1 つのみ選択可能。
GPIO*[3],[6],[11]から 1 つのみ選択可能。

＜ご注意＞

端子機能の切替えにより瞬間的に GPIOAn 端子にノイズが発生する可能性があります。端子機能の切替えは各端子に割付た機能をディセーブルにした状態で実施することを推奨します。各端子に割付た機能を動作させた状態で端子機能を切換えたい場合は個別にご相談下さい。

○UART

| STDPORTm SEL2 | | | | | | | GPIOB 2次(HW1次) | | | | GPIOA 2次(HW1次) | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| B[15:12] | B[11: 8] | B[ 7: 4] | B[ 3: 0] | A[11: 8] | A[ 7: 4] | A[ 3: 0] | [15:12] | [11: 8] | [ 7: 4] | [ 3: 0] | [11: 8] | [ 7: 4] | [ 3: 0] |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | | | | | | | UART0 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | | | | | | UART0 | |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | | | | | | UART1 | UART0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | | | | | UART0 | | |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | | | | | UART0 | | UART1 |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | | | | | UART0 | UART1 | |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | | | | | UART0 | UART2 | UART1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | | | | UART0 | | | |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | | | | UART1 | | | UART0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | | | | UART1 | | UART0 | |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | | | | UART2 | | UART1 | UART0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | | | | UART1 | UART0 | | |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | | | | UART2 | UART0 | | UART1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | | | | UART2 | UART0 | UART1 | |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | | | UART0 | | | | |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | | | UART1 | | | | UART0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | | | UART1 | | | UART0 | |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | | | UART2 | | | UART1 | UART0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | | | UART1 | | UART0 | | |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | | | UART2 | | UART0 | | UART1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | | | UART2 | | UART0 | UART1 | |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | | | UART1 | UART0 | | | |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | | | UART2 | UART1 | | | UART0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | | | UART2 | UART1 | | UART0 | |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 | | | UART2 | UART1 | UART0 | | |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | | UART0 | | | | | |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | | UART1 | | | | | UART0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | | UART1 | | | | UART0 | |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | | UART2 | | | | UART1 | UART0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | | UART1 | | | UART0 | | |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | | UART2 | | | UART0 | | UART1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | | UART2 | | | UART0 | UART1 | |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | | UART1 | | UART0 | | | |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | | UART2 | | UART1 | | | UART0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | | UART2 | | UART1 | | UART0 | |
| 0 | 1 | 0 | 1 | 1 | 0 | 0 | | UART2 | | UART1 | UART0 | | |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | | UART1 | UART0 | | | | |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | | UART2 | UART1 | | | | UART0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | | UART2 | UART1 | | | UART0 | |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | | UART2 | UART1 | | UART0 | | |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | | UART2 | UART1 | UART0 | | | |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | UART0 | | | | | | |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | UART1 | | | | | | UART0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | UART1 | | | | | UART0 | |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | UART2 | | | | | UART1 | UART0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | UART1 | | | | UART0 | | |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | UART2 | | | | UART0 | | UART1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | UART2 | | | | UART0 | UART1 | |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | UART1 | | | UART0 | | | |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | UART2 | | | UART1 | | | UART0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | UART2 | | | UART1 | | UART0 | |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | UART2 | | | UART1 | UART0 | | |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | UART1 | | UART0 | | | | |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | UART2 | | UART1 | | | | UART0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 | UART2 | | UART1 | | | UART0 | |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | UART2 | | UART1 | | UART0 | | |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | UART2 | | UART1 | UART0 | | | |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | UART1 | UART0 | | | | | |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | UART2 | UART1 | | | | | UART0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | UART2 | UART1 | | | | UART0 | |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | UART2 | UART1 | | | UART0 | | |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | UART2 | UART1 | | UART0 | | | |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | UART2 | UART1 | UART0 | | | | |

○SPI、SSIS

| STDPORTm SEL3 | | | | | | | GPIOB 3次(HW2次) | | | | GPIOA 3次(HW2次) | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| B[15:12] | B[11: 8] | B[ 7: 4] | B[ 3: 0] | A[11: 8] | A[ 7: 4] | A[ 3: 0] | [15:12] | [11: 8] | [ 7: 4] | [ 3: 0] | [11: 8] | [ 7: 4] | [ 3: 0] |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | | | | | | | SPI0 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | | | | | | SSIS | |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | | | | | | SSIS | SPI0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | | | | | SPI0 | | |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | | | | | SPI1 | | SPI0 |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | | | | | SPI0 | SSIS | |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | | | | SPI0 | | | |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | | | | SPI1 | | | SPI0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | | | | SPI0 | | SSIS | |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | | | | SPI1 | SPI0 | | |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | | | SPI0 | | | | |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | | | SPI1 | | | | SPI0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | | | SPI0 | | | SSIS | |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | | | SPI1 | | SPI0 | | |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | | | SPI1 | SPI0 | | | |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | | SPI0 | | | | | |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | | SPI1 | | | | | SPI0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | | SPI0 | | | | SSIS | |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | | SPI1 | | | SPI0 | | |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | | SPI1 | | SPI0 | | | |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | | SPI1 | SPI0 | | | | |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | SPI0 | | | | | | |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | SPI1 | | | | | | SPI0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | SPI0 | | | | | SSIS | |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | SPI1 | | | | SPI0 | | |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | SPI1 | | | SPI0 | | | |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | SPI1 | | SPI0 | | | | |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | SPI1 | SPI0 | | | | | |

○I2C

| STDPORTm SEL4 | | | | | | | GPIOB 4次(HW3次) | | | | GPIOA 4次(HW3次) | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| B[13:12] | B[9:8] | B[5:4] | B[1:0] | A[9:8] | A[5:4] | A[1:0] | [13:12] | [9:8] | [5:4] | [1:0] | [9:8] | [5:4] | [1:0] |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | | | | | | | I2C |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | | | | | | I2C | |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | | | | | I2C | | |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | | | | I2C | | | |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | | | I2C | | | | |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | | I2C | | | | | |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | I2C | | | | | | |

○FTM

| STDPORTm SEL4 | | | | | | | GPIOB 4次(HW3次) | | | | GPIOA 4次(HW3次) | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| B[14] | B[10] | B[ 6] | B[ 2] | A[10] | A[ 6] | A[ 2] | [14] | [10] | [ 6] | [ 2] | [10] | [ 6] | [ 2] |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | | | | | | | FTM0 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | | | | | | FTM0 | |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | | | | | FTM0 | | |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | | | | FTM0 | | | |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | | | FTM0 | | | | |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | | FTM0 | | | | | |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | FTM0 | | | | | | |

○STD GPIO

| STDPORTm SEL5 | | | | | | | GPIOB 5次(HW4次) | | | | GPIOA 5次(HW4次) | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| B[15:12] | B[11: 8] | B[ 7: 4] | B[ 3: 0] | A[11: 8] | A[ 7: 4] | A[ 3: 0] | [15:12] | [11: 8] | [ 7: 4] | [ 3: 0] | [11: 8] | [ 7: 4] | [ 3: 0] |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | | | | | | | STD GPIO |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | | | | | | STD GPIO | |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | | | | | STD GPIO | | |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | | | | STD GPIO | | | |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | | | STD GPIO | | | | |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | | STD GPIO | | | | | |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | STD GPIO | | | | | | |

## 7-12.GPIO(APB-GPIO)

### 7.12.1 概要

割り込み機能を有する汎用ポートです。特長を以下に示します。

- 13bit(PortA 13bit)の汎用ポートと 1bit(GPIOD)の入力ポートです。
- 外部割り込み入力として使用出来ます。※レベル or エッジ、Low or High いずれかの選択となります。
- 入力側にデバウンス回路を内蔵します。
- SLEEP/DEEPSLEEP からの復帰要因として使用可能です。
- GPIOD は SINTN_CPU 端子に割当てられています。

※端子機能の割付については 7-11.ポートコンフィグレーションをご参照願います。

### 7.12.2 レジスター覧

| アドレス | 名称 | 略称 | R/W | 説明 |
|---|---|---|---|---|
| BASE+0x00 | GPIO ポートデータレジスタ | GPIOn_SWPORTA_DR | R/W | 汎用ポート選択時の各ポートの出力値を決定します。 |
| BASE+0x04 | GPIO ポートデータ方向レジスタ | GPIOn_SWPORTA_DDR | R/W | 汎用ポート選択時の各ポートの入力レベルを読み出します。 |
| BASE+0x30 | GPIO 割り込みイネーブルレジスタ | GPIOn_INTEN | R/W | Port からの割り込みを有効にします。 |
| BASE+0x34 | GPIO 割り込みマスクレジスタ | GPIOn_INTMASK | R/W | Port からの割り込みをマスクします。 |
| BASE+0x38 | GPIO 割り込みレベルレジスタ | GPIOn_INTTYPE_LEVEL | R/W | Port からの割り込みタイプを指定します。 |
| BASE+0x3C | GPIO 割り込み極性レジスタ | GPIOn_INT_POLARITY | R/W | Port からの割り込み極性を指定します。 |
| BASE+0x40 | GPIO 割り込みステータスレジスタ | GPIOn_INTSTATUS | R | Port からの割り込みステータスを示します。 |
| BASE+0x44 | GPIO RAW 割り込みステータスレジスタ | GPIOn_RAW_INTSTATUS | R | Port からのマスク前の割り込みステータスを示します。 |
| BASE+0x48 | GPIO デバウンスイネーブルレジスタ | GPIOn_DEBOUNCE | R/W | Port のデバウンス回路を有効にします。 |
| BASE+0x4C | GPIO 割り込みクリアレジスタ | GPIOn_PORTA_EOI | W | Port からの割り込みをクリアします。 |
| BASE+0x50 | GPIO 外部ポートレジスタ | GPIOn_EXT_PORT | R | Port の入力レベルを示します。 |
| BASE+0x60 | GPIO レベルセンシティブ同期イネーブル | GPIOn_LS_SYNC | R/W | Port からのレベル割り込みの同期化を設定します。 |

※ n はモジュール番号(n=0,1,2,…)を示します。

※ GPIOA(n=0)のベースアドレスは 0x4000A000 です。

※GPIOD(n=3)のベースアドレスは 0x4000A300 です。ML7396B 制御用です。LSI ポートとしては存在しません。

## 7.12.3 レジスタ説明

### 7.12.3.1 ポートデータレジスタ(GPIOn_SWPORTA_DR): BASE+0x00

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | SWPORTA_DR[15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

SWPORTA_DR[n]: 0: GPIO[n]が汎用ポート(1 次機能モード)の時、かつ、出力モード時に出力を L レベルに設定します。

1: GPIO[n]が汎用ポート(1 次機能モード)の時、かつ、出力モード時に出力を H レベルに設定します。

※ GPIOA の場合はビット 00～12 までが有効となります。

※ GPIOD の場合は使用できません

### 7.12.3.2 ポートデータ方向レジスタ(GPIOn_SWPORTA_DDR): BASE+0x04

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | SWPORTA_DDR[15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

SWPORTA_DDR[n]: 0: GPIO[n]を入力に設定します。

1: GPIO[n]を出力に設定します。

※ GPIOA の場合はビット 00～12 までが有効となります。

※ GPIOD の場合は入力方向で使用してください

7.12.3.3 GPIO 割り込みイネーブルレジスタ(GPIOn_INTEN) ：BASE+0x30

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | INT_EN[15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Port の各ビットを外部割り込みソースとして使用します。

INT_EN[n]：0：GPIO[n]からの割り込みは無効です。

1：GPIO[n]からの割り込みは有効です。

※ GPIOA の場合はビット 00～12 までが有効となります。

※ GPIOD の場合はビット 00 が有効となります。

7.12.3.4 GPIO 割り込みマスクレジスタ(GPIOn_INTMASK) ：BASE+0x34

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | INTMASK[15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Port 各ビットからの割り込みをマスクします。

INTMASK[n]：0：GPIO[n]からの割り込みはマスクされません。

1：GPIO[n]からの割り込みはマスクされます。

※ GPIOA の場合はビット 00～12 までが有効となります。

※ GPIOD の場合はビット 00 が有効となります。

7.12.3.5 GPIO 割り込みレベルレジスタ(GPIOn_INTTYPE_LEVEL) : BASE+0x38

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | INTTYPE_LEVEL[15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Port の各ビットから割り込みのタイプを設定します。

INTTYPE_LEVEL[n]: 0: GPIO[n]をレベル割り込みとして使用します。
1: GPIO[n]をエッジ割り込みとして使用します。

※DeepSleep 時のように GPIO クロックを停止させている場合は、レベル割込みのみ有効となります。

※GPIOD のクロックは CPU と共通のため、Sleep 時(=CPU 停止時)はエッジ割込みが無効となります。

※ GPIOA の場合はビット 00～12 までが有効となります。

※ GPIOD の場合はビット 00 が有効となります。

7.12.3.6 GPIO 割り込み極性レジスタ(GPIOn_INT_POLARITY) : BASE+0x3C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | INT_POLARITY [15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Port の各ビットから割り込みの極性を設定します。

INT_POLARITY [n]: 0: L レベルまたは立ち下がりエッジ

1: H レベルまたは立ち上がりエッジ

※ GPIOA の場合はビット 00～12 までが有効となります。

※ GPIOD の場合はビット 00 が有効となります。

7.12.3.7 GPIO 割り込みステータスレジスタ(GPIOn_INTSTATUS) : BASE+0x40

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | INTSTATUS [15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

Port の各ビットから割り込みのステータスを示します。

※ GPIOA の場合はビット 00～12 までが有効となります。

※ GPIOD の場合はビット 00 が有効となります。

7.12.3.8 GPIO RAW 割り込みステータスレジスタ(GPIOn_RAW_INTSTATUS) : BASE+0x44

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | RAW_INTSTATUS [15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

Port の各ビットから割り込みのステータス(マスク前)を示します。

※ GPIOA の場合はビット 00～12 までが有効となります。

※ GPIOD の場合はビット 00 が有効となります。

7.12.3.9 GPIO デバウンスイネーブルレジスタ(GPIOn_DEBOUNCE) : BASE+0x48

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | DEBOUNCE [15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Port のデバウンス回路を有効にします。

DEBOUNCE[n]: 0: デバウンス回路は無効です。(バイパスされます)

1: デバウンス回路は有効です。

※DeepSleep 時のように GPIO クロックを停止させた状態でレベル割り込みで復帰する場合は、デバウンス回路は無効に設定します。

※ GPIOA の場合はビット 00～12 までが有効となります。

※ GPIOD の場合はビット 00 が有効となります。

7.12.3.10　GPIO 割り込みクリアレジスタ (GPIOn_PORTA_EOI) : BASE+0x4C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | EOI [15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |

Port からの割り込みをクリアします。

EOI [n]: 0: 割り込みはクリアされません。

1: 割り込みはクリアされます。

※ GPIOA の場合はビット 00～12 までが有効となります。

※ GPIOD の場合はビット 00 が有効となります。

7.12.3.11　GPIO ポート外部入力レジスタ (GPIOn_EXT_PORTA) : BASE+0x50

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | EXT_PORTA [7:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

GPIO Port の状態を読み出します。

EXT_PORT [n]: 0: L レベルであることを示します。

1: H レベルであることを示します。

※ GPIOA の場合はビット 00～12 までが有効となります。

※ GPIOD の場合はビット 00 が有効となります。

7.12.3.12 GPIO レベルセンシティブ同期イネーブルレジスタ (GPIOn_LS_SYNC) : BASE+0x60

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | SL |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

SL(Synchronization Level): 0: レベルセンシティブ割り込みを同期せずに出力します。

1: レベルセンシティブ割り込みを同期して出力します。

- DEEPSLEEP からの復帰に、GPIO Portm からのレベル割り込みを使用する場合は、必ず 0 に設定してください。
- SLEEP からの復帰や通常動作中に GPIO Portm からのレベル割り込みを使用する場合は、1 を設定してください。

## 7-13.標準 GPIO(Single-cycle I/O)

### 7.13.1 概要

1 サイクルでアクセス可能な Single-cycle I/O に接続された汎用ポート機能モジュールです。
※割り込み機能については APB-GPIO と共通となります(APB-GPIO の章を参照願います)。
※端子機能の割付については 7-11.ポートコンフィグレーションをご参照願います。

### 7.13.2 レジスター覧

**表 7-13-1 STDGPIO レジスター覧**

| アドレス | 名称 | 略称 | R/W | 説明 |
|---|---|---|---|---|
| BASE + 0x000-<br>BASE + 0x3FF | 標準 GPIOn データレジスタ | STDGPIOm_DATA | R/W | リード時は汎用ポートの状態を読み出します。出力モード時はセットした値が汎用ポートに出力されます。 |
| BASE + 0x400 | 標準 GPIOn 入出力制御レジスタ | STDGPIOm_DIR | R/W | 各汎用ポートの入出力方向を制御します。 |

(m=A)
m=A: BASE=0x5C000000

### 7.13.3 レジスタ説明

#### 7.13.3.1 標準 GPIOm データレジスタ(STDGPIOm_DATA)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | GPIOmDATA [31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

※ ML7416 では下位 4bit のみポートとして割り当てられています。

※ GPIOmDATA[n]は LSI の外部端子 Pmn(m=A,B,.., n=0,1,…)の 5 次機能に割り当てられています。

##### 7.13.3.1.1 ワード/ハーフワードアクセス時

GPIOmDATA[n]: GPIOmDIR[n]が 0(入力)の時、外部端子 Pmn の値を読み出します。

GPIOmDIR[n]が 1(出力)の時、GPIOmDATA[n]にセットした値を外部端子 Pmn から出力します。

(m=A,B,C,..,nx=0..3)

##### 7.13.3.1.2 バイトライト時

HADDR[9:2]をマスクとして、HADDR[1:0]で選択されたバイトレーンにビットセット/ビットクリアを行います。他のバイトレーンは変化しません。

(例) 0x5C000009 に 0x02 をバイトライトした場合(HADDR[9:2]=0x02, HADDR[1:0]=0x01, HWDATA=0x200, HSIZE=0b000)

GPIOADATA[15:8] = HADDR[15:8] & ~(HADDR[9:2]) | HWDATA[15:8] & HADDR[9:2]

(GPIOADATA[9]のビットセット)

(例) 0x5C000009 に 0x00 をバイトライトした場合(HADDR[9:2]=0x02, HADDR[1:0]=0x01, HWDATA=0x0, HSIZE=0b000)

GPIOADATA[15:8] = HADDR[15:8] & ~(HADDR[9:2]) | HWDATA[15:8] & HADDR[9:2]
(GPIOADATA[9]のビットクリア)

#### 7.13.3.1.3 バイトリード時

HADDR[9:2]をマスクとして、HADDR[1:0]で選択されたバイトレーンに対するビットリードを行います。対象外のバイトレーンおよびマスクされたビットは 0 が読み出されます。

（例） 0x5C000009 をバイトリードした場合(HADDR[9:2]=0x02, HADDR[1:0]=0x01, HSIZE=0b000)

HRDATA[15:8] = GPIOADATA[15:8] & HADDR[9:2]

### 7.13.3.2 標準 GPIOm 入出力制御レジスタ(STDGPIOm_DIR: m=A)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | GPIOmDIR[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

GPIOmDIR[n]: 0:入力モードに設定します。
1: 出力モードに設定します。
(m=A, n=0..3)

※ ML7416 では下位 4bit のみポートとして割り当てられています。

## 7-14.Timer

### 7.14.1 概要

32 ビットの汎用タイマです。特長を以下に示します。

- デバッガにより CPU が停止された場合は、タイマのカウンタ動作を停止します。
- カスケード接続により 64 ビットタイマとして使用可能です。TimerB と TimerC、TimerD と TimerE の組み合わせにてそれぞれ使用可能です。

### 7.14.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| BASE+0x00 | タイマ 1 ロードカウントレジスタ | TMRm_TIMER1LOADCOUNT | R/W | 0x00000000 | タイマのロード値を設定します。 |
| BASE+0x04 | タイマ 1 カレント値レジスタ | TMRm_TIMER1CURRENTVALUE | R | 0xFFFFFFFF | タイマのカウント値を示します。 |
| BASE+0x08 | タイマ 1 コントロールレジスタ | TMRm_TIMER1CONTROLREG | R/W | 0x00000000 | タイマの動作を制御します。 |
| BASE+0x0C | タイマ 1 割り込みクリアレジスタ | TMRm_TIMER1EOI | R | 0x00000000 | タイマからの割り込みをクリアします。 |
| BASE+0x10 | タイマ 1 割り込みステータスレジスタ | TMRm_TIMER1INTSTATUS | R | 0x00000000 | タイマの割り込みステータス(マスク後)を示します。 |
| BASE+0xA8 | タイマ RAW 割り込みステータスレジスタ | TMRm_TIMERSRAWINTSTATUS | R | 0x00000000 | タイマの割り込みステータス(マスク前)を示します。 |
| BASE+0xAC | タイマコンポーネントバージョンレジスタ | TMRm_TIMERS_COMP_VERSION | R | 0x3230382A | タイマコンポーネントバージョン |

※ m はモジュール番号(m=A,B,C,D,E)を示します。

※ TimerA(m=A)のベースアドレスは 0x40001000 です。

※ TimerB(m=B)のベースアドレスは 0x40041000 です。

※ TimerC(m=C)のベースアドレスは 0x40041400 です。

※ TimerD(m＝D)のベースアドレスは 0x40041800 です。

※ TimerE(m＝E)のベースアドレスは 0x40041C00 です。

## 7.14.3 レジスタ説明

### 7.14.3.1 タイマ 1 ロードカウントレジスタ: BASE＋0x00 (TMRm_TIMER1LOADCOUNT)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | TIMER1LOADCOUNT | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

タイマ 1 にロードする値を設定します。本レジスタに設定した値からカウントダウン動作を開始します。

### 7.14.3.2 タイマ 1 カレント値レジスタ: BASE＋0x04 (TMRm_TIMER1CURRENTVALUE)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | TIMER1CURRENTVALUE | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

タイマ 1 の現在値です。

7.14.3.3 タイマ 1 コントロールレジスタ: BASE+0x08 (TMRm_TIMER1CONTROLREG)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | INT_MASK | MODE | TIMER_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

| | |
|---|---|
| INT_MASK | 割り込みをマスクします。<br>0: マスクなし<br>1: マスクあり |
| MODE | タイマの動作モードを設定します。タイマ値が 0 に達した時、本ビットの値に応じて、以下の動作を行います。<br>0: フリーランニングモード<br>タイマ 1 の最大値からカウントダウン動作を行います。<br>1: ユーザ定義カウントモード<br>タイマ 1 ロードカウントレジスタに設定した値からカウントダウン動作を行います。 |
| TIMER_EN | タイマを有効にします。<br>0: disable<br>1: enable |

bit3 への 1 ライトは禁止です。

7.14.3.4 タイマ 1 割り込みクリアレジスタ: BASE+0x0C (TMRm_TIMER1EOI)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | EOI |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタをリードすると、タイマ 1 からの割り込みをクリアします。

リード時は常に 0 が読み出されます。

7.14.3.5 タイマ 1 割り込みステータスレジスタ: BASE+0x10 (TMRm_TIMER1INTSTATUS)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | STATUS |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

Timer1 からの割り込みステータス(マスク後)を表示します。

### 7.14.3.6 タイマ RAW 割り込みステータスレジスタ: BASE+0xA8 (TMRm_TIMERSRAWINTSTATUS)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | NUM_TIMERS-1:0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名称 | 説明 |
|---|---|---|
| n<br>(n=0, ... , NUM_TIMERS-1) | TIMERn_RAWSTATUS | タイマ n からの割り込みステータス(マスク前)を示します。 |

各ビットに対応するタイマのチャネルからの割り込みステータス(マスク前)を表示します。

### 7.14.3.7 タイマコンポーネントバージョンレジスタ: BASE+0xAC(TMRm_TIMERS_COMP_VERSION)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | TIMERS_COMPONET _VERSION | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

コンポーネントバージョン ID。

### 7.14.4 動作説明

開始手順を以下に示します。

(1) 割込みコントローラ(NVIC)の該当タイマ割込みをイネーブルに設定します。
(2) Timer1 ロードカウントレジスタに所望の値をセットします。
(3) Timer1 コントロールレジスタの MODE ビットを所望の値に、マスクビットを 0、TIMER_EN ビットを 1 にそれぞれセットして、カウントダウン動作を開始します。

例)下記の設定ではタイマー開始から 1sec 後にタイマー割込みが発生します。

SUB_CLK_SEL=0(XTAL32KHz(32.768KHz))
TIMERm_CLK_SEL=1(サブクロック)
TMRm_DIV=0x0(分周なし)
TMRm_TIMER1CONTROLREG.MODE=1
TMRm_TIMER1LOADCOUNT=0x7D00

停止手順を以下に示します。

(1) Timer1 割込みクリアレジスタを Read します。
(2) 割込みコントローラ(NVIC)の該当タイマ割込みをディセーブルに設定します。
(3) ペリフェラルリセットレジスタ(SYSCON_PRST_CON)の該当タイマビットに 1 をセットし初期化します。
(4) ペリフェラルリセットレジスタの該当タイマビットが 0 になっていることを確認します。

## 7-15.EXT_Timer

### 7.15.1 概要

32 ビットの汎用タイマを 6 チャネル搭載しております。割り込み番号は IRQ[19]で、6 チャネル共通となります。

### 7.15.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| BASE+0x00 | タイマ n ロードカウントレジスタ | EXTTMRm_TIMERnLOADCOUNT | R/W | 0x00000000 | タイマのロード値を設定します。 |
| BASE+0x04 | タイマ n カレント値レジスタ | EXTTMRm_TIMERnCURRENTVALUE | R | 0xFFFFFFFF | タイマのカウント値を示します。 |
| BASE+0x08 | タイマ n コントロールレジスタ | EXTTMRm_TIMERnCONTROLREG | R/W | 0x00000000 | タイマの動作を制御します。 |
| BASE+0x0C | タイマ n 割り込みクリアレジスタ | EXTTMRm_TIMERnEOI | R | 0x00000000 | タイマからの割り込みをクリアします。 |
| BASE+0x10 | タイマ n 割り込みステータスレジスタ | EXTTMRm_TIMERnINTSTATUS | R | 0x00000000 | タイマの割り込みステータス(マスク後)を示します。 |
| 0x400420A0 | EXT タイマ割り込みステータスレジスタ | EXTTMRm_TIMERSINTSTATUS | R | 0x00000000 | EXT タイマの割り込みステータス(マスク後)を示します。 |
| 0x400420A4 | EXT タイマ割り込みクリアレジスタ | EXTTMRm_TIMERSEOI | R | 0x00000000 | EXT タイマからの割り込みをクリアします。 |
| 0x400420A8 | EXT タイマ RAW 割り込みステータスレジスタ | EXTTMRm_TIMERSRAWINTSTATUS | R | 0x00000000 | EXT タイマの割り込みステータス(マスク前)を示します。 |
| 0x400420AC | EXT タイマコンポーネントバージョンレジスタ | EXTTMRm_TIMERS_COMP_VERSION | R | 0x3230382A | EXT タイマコンポーネントバージョン |

※ n はチャネル番号(n=1,2,3,4,5,6)を示します。

※ EXT_Timer1(n=1)のベースアドレスは 0x40042000 です。

※ EXT_Timer2(n=2)のベースアドレスは 0x40042014 です。

※ EXT_Timer3(n=3)のベースアドレスは 0x40042028 です。

※ EXT_Timer4(n=4)のベースアドレスは 0x4004203C です。

※ EXT_Timer5(n=5)のベースアドレスは 0x40042050 です。

※ EXT_Timer6(n=6)のベースアドレスは 0x40042064 です。

## 7.15.3 レジスタ説明

### 7.15.3.1 タイマ n ロードカウントレジスタ: BASE+0x00 (EXTTMRm_TIMERnLOADCOUNT)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | TIMERnLOADCOUNT | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

タイマ n にロードする値を設定します。本レジスタに設定した値からカウントダウン動作を開始します。

### 7.15.3.2 タイマ n カレント値レジスタ: BASE+0x04 (EXTTMRm_TIMERnCURRENTVALUE)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | TIMERnCURRENTVALUE | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

タイマ n の現在値です。

7.15.3.3 タイマ n コントロールレジスタ: BASE+0x08 (EXTTMRm_TIMERnCONTROLREG)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | INT_MASK | MODE | TIMER_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

| | |
|---|---|
| INT_MASK | 割り込みをマスクします。<br>0: マスクなし<br>1: マスクあり |
| MODE | タイマの動作モードを設定します。タイマ値が 0 に達した時、本ビットの値に応じて、以下の動作を行います。<br>0: フリーランニングモード<br>タイマ 1 の最大値からカウントダウン動作を行います。<br>1: ユーザ定義カウントモード<br>タイマ 1 ロードカウントレジスタに設定した値からカウントダウン動作を行います。 |
| TIMER_EN | タイマを有効にします。<br>0: disable<br>1: enable |

bit3 への 1 ライトは禁止です。

7.15.3.4 タイマ n 割り込みクリアレジスタ: BASE+0x0C (EXTTMRm_TIMERnEOI)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | EOI |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタをリードすると、タイマ n からの割り込みをクリアします。

リード時は常に 0 が読み出されます。

7.15.3.5 タイマ n 割り込みステータスレジスタ: BASE+0x10 (EXTTMRm_TIMERnINTSTATUS)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | STATUS |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

タイマ n からの割り込みステータス(マスク後)を表示します。

### 7.15.3.6 EXT タイマ割り込みステータスレジスタ: 0x400420A0 (EXTTMRm_TIMERINTSTATUS)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | TIMERn_STATUS | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

EXT タイマからの割り込みステータス(マスク後)を表示します。

### 7.15.3.7 EXT タイマ割り込みクリアレジスタ: 0x400420A4 (EXTTMRm_TIMEREOI)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | TIMERn_EOI | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタをリードすると、EXT タイマ n からの割り込みをクリアします。

リード時は常に 0 が読み出されます。

### 7.15.3.8 EXT タイマ RAW 割り込みステータスレジスタ: 0x400420A8 (EXTTMRm_TIMERSRAWINTSTATUS)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | NUM_TIMERS-1:0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名称 | 説明 |
|---|---|---|
| n<br>(n=0, ... , NUM_TIMERS-1) | TIMERn_RAWSTATUS | EXT タイマ n からの割り込みステータス(マスク前)を示します。 |

各ビットに対応するタイマのチャネルからの割り込みステータス(マスク前)を表示します。

### 7.15.3.9 EXT タイマコンポーネントバージョンレジスタ: 0x400420AC(EXTTMRm_TIMERS_COMP_VERSION)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | TIMERS_COMPONET _VERSION | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

コンポーネントバージョン ID。

### 7.15.4 動作説明

動作手順を以下に示します。

(5) EXT_Timer1 コントロールレジスタの TIMER_EN ビットを 0 にクリアします。

(6) EXT_Timer1 コントロールレジスタの MODE ビットを所望の値に設定します。

(7) EXT_Timer1 ロードカウントレジスタに所望の値をセットします。

(8) EXT_Timer1 コントロールレジスタの TIMER_EN ビットを 1 にセットして、カウントダウン動作を開始します。

## 7-16.RTC

### 7.16.1 概要

秒単位から読み書き出来る万年カレンダ付きリアルタイムクロックです。特長を以下に示します。

- 時刻の設定、補正、読み出しが可能です。
- 割り込み要因として使用可能です。

### 7.16.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| 0x40003000 | S1 レジスタ | RTC_S1 | RW | 0xXXXXXXXX | 1 秒桁レジスタ |
| 0x40003004 | S10 レジスタ | RTC_S10 | RW | 0xXXXXXXXX | 10 秒桁レジスタ |
| 0x40003008 | MI1 レジスタ | RTC_MI1 | RW | 0xXXXXXXXX | 1 分桁レジスタ |
| 0x4000300C | MI10 レジスタ | RTC_MI10 | RW | 0xXXXXXXXX | 10 分桁レジスタ |
| 0x40003010 | H1 レジスタ | RTC_H1 | RW | 0xXXXXXXXX | 1 時桁レジスタ |
| 0x40003014 | H10 レジスタ | RTC_H10 | RW | 0xXXXXXXXX | PM/AM<br>10 時桁レジスタ |
| 0x40003018 | D1 レジスタ | RTC_D1 | RW | 0xXXXXXXXX | 1 日桁レジスタ |
| 0x4000301C | D10 レジスタ | RTC_D10 | RW | 0xXXXXXXXX | 10 日桁レジスタ |
| 0x40003020 | MO1 レジスタ | RTC_MO1 | RW | 0xXXXXXXXX | 1 月桁レジスタ |
| 0x40003024 | MO10 レジスタ | RTC_MO10 | RW | 0xXXXXXXXX | 10 月年桁レジスタ |
| 0x40003028 | Y1 レジスタ | RTC_Y1 | RW | 0xXXXXXXXX | 1 年桁レジスタ |
| 0x4000302C | Y10 レジスタ | RTC_Y10 | RW | 0xXXXXXXXX | 10 年桁レジスタ |
| 0x40003030 | W レジスタ | RTC_W | RW | 0xXXXXXXXX | 週レジスタ |
| 0x40003034 | コントロールレジスタ D | RTC_CD | RW | 0xXXXXXXXX | RTC 制御 |
| 0x40003038 | コントロールレジスタ E | RTC_CE | RW | 0xXXXXXXXX | RTC 制御 |
| 0x4000303C | コントロールレジスタ F | RTC_CF | RW | 0xXXXXXXXX | RTC 制御 |
| 0x40003040 | FT_S1 レジスタ | RTC_FT_S1 | RW | 0xXXXXXXXX | 時刻指定割込みの 1 秒桁レジスタ |
| 0x40003044 | FT_S10 レジスタ | RTC_FT_S10 | RW | 0xXXXXXXXX | 時刻指定割込みの 10 秒桁レジスタ |
| 0x40003048 | FT_MI1 レジスタ | RTC_FT_MI1 | RW | 0xXXXXXXXX | 時刻指定割込みの 1 分桁レジスタ |
| 0x4000304C | FT_MI10 レジスタ | RTC_FT_MI10 | RW | 0xXXXXXXXX | 時刻指定割込みの 10 分桁レジスタ |
| 0x40003050 | FT_H1 レジスタ | RTC_FT_H1 | RW | 0xXXXXXXXX | 時刻指定割込みの 1 時桁レジスタ |

| | | | | | |
|---|---|---|---|---|---|
| 0x40003054 | FT_H10 レジスタ | RTC_FT_H10 | RW | 0xXXXXXXXX | 時刻指定割込みの PM/AM 10 時桁レジスタ |
| 0x40003058 | FT_D1 レジスタ | RTC_FT_D1 | RW | 0xXXXXXXXX | 時刻指定割込みの 1 日桁レジスタ |
| 0x4000305C | FT_D10 レジスタ | RTC_FT_D10 | RW | 0xXXXXXXXX | 時刻指定割込みの 10 日桁レジスタ |
| 0x40003060 | FT_MO1 レジスタ | RTC_FT_MO1 | RW | 0xXXXXXXXX | 時刻指定割込みの 1 月桁レジスタ |
| 0x40003064 | FT_MO10 レジスタ | RTC_FT_MO10 | RW | 0xXXXXXXXX | 時刻指定割込みの 10 月年桁レジスタ |
| 0x40003068 | FT_Y1 レジスタ | RTC_FT_Y1 | RW | 0xXXXXXXXX | 時刻指定割込みの 1 年桁レジスタ |
| 0x4000306C | FT_Y10 レジスタ | RTC_FT_Y10 | RW | 0xXXXXXXXX | 時刻指定割込みの 10 年桁レジスタ |

## 7.16.3 レジスタ説明

### 7.16.3.1 S1 レジスタ: 0x40003000

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | S1 | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

秒の 1 の位を示します。

### 7.16.3.2 S10 レジスタ: 0x40003004

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | S10 | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW |

秒の 10 の位を示します。

### 7.16.3.3 MI1 レジスタ: 0x40003008

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | M1 | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

分の 1 の位を示します。

7.16.3.4 MI10 レジスタ: 0x4000300C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | M10 | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW |

分の 10 の位を示します。

7.16.3.5 H1 レジスタ: 0x40003010

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | H1 | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

時の 1 の位を示します。

7.16.3.6 H10 レジスタ: 0x40003014

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | AM PM | H10 | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW |

H10: 時の 10 の位を示します。

AM/PM: 24 時間制の時、本ビットは無視されます。

12 時間制の時、AM または PM であることを示します。(0: AM, 1: PM)

7.16.3.7 D1 レジスタ: 0x40003018

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | D1 | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

日の 1 の位を示します。

7.16.3.8 D10 レジスタ: 0x4000301C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | D10 | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW |

日の 10 の位を示します。

7.16.3.9 M1 レジスタ: 0x40003020

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | MO1 | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

月の 1 の位を示します。

7.16.3.10 M10 レジスタ: 0x40003024

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | M10 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

月の 10 の位を示します。

7.16.3.11 Y1 レジスタ: 0x40003028

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | Y1 | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

年の 1 の位を示します。

7.16.3.12　　Y10 レジスタ: 0x4000302C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | Y10 | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

年の 10 の位を示します。

7.16.3.13　　W レジスタ: 0x40003030

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | W | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW |

曜日を表示します。曜日の割り当ては表 W レジスタと曜日との対応の通りです。

**表 W レジスタと曜日との対応**

| W | 曜日 |
|---|---|
| 000 | 日 |
| 001 | 月 |
| 010 | 火 |
| 011 | 水 |
| 100 | 木 |
| 101 | 金 |
| 110 | 土 |

7.16.3.14　　コントロールレジスタ D: 0x40003034

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_IRQ | ADJ30S | IRQ | BUSY | HOLD |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW |

**HOLD:** S1～W レジスタの読み出し、または、書き込み時に 1 秒桁以上のカウンタの桁上げを抑止するために使用します。

**BUSY:** S1～W レジスタの書き換え可否を示します。HOLD ビットが 1、かつ、BUSY ビットが 0 の時、書き換え可能です。

読み出しに HOLD ビットを使用する場合は、BUSY ビット 0 の時に読み出し可能となります。

**IRQ:** 割り込み要求の有無を示します。

0:割込み無

1:割込み有

**ADJ30S:** 本ビットに 1 を書き込むと 30 秒補正が行われます。S1,S10 レジスタが 0～29 秒を示している時は、S1,S10 レジスタが 0 にリセットされ、S1,S10 レジスタが 30～59 秒を示している時は、S1,S10 レジスタが 0 にリセットされるとともに、MI1 の桁が+1 だけ加算されます。

本ビットの"1"書き込み時から 190us 間はレジスタ S1～W(アドレス 0x40003000～0x40003030)の読み書きは禁止です。

本ビットの"1"書き込み時から 190us 間本ビットは"1"を保持し, その後自動的に"0"に復帰します。

**FT_IRQ:** 時刻指定割り込みの有無を示します。

0:割込み無

1:割込み有

7.16.3.15 コントロールレジスタ E: 0x40003038

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_MASK | T1 | T0 | ITRPT/STND | MASK |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW |

**MASK:** 割り込み要求をマスクします。(1: マスク、0: マスクなし)

**ITRPT/STND:** 割り込み信号の動作を設定します。

1: 割り込み要求を出力します。

割り込みタイミングで割り込み要求がマスクされていない場合に割り込み要求をアサートします。

IRQ FLAG ビットへの 0 書き込み、または、割り込みマスク要求を 1 にセットすることでデアサートします。

割り込みタイミング(周期)は、T1,T0 ビットの値によって決まります。

0: 定周期波形を出力します。

割り込みタイミングで割り込み要求がマスクされていない場合に割り込み要求をアサートします。

自動復帰、または、IRQ FLAG ビットへの 0 書き込み、または、割り込みマスク要求を 1 にセットすることでデアサートします。割り込みタイミング(周期)、自動復帰までの時間は、T1,T0 ビットの値によって決まります。

**T1,T0:** 割り込み周期および定周期波形の周期を設定します。

| T1 | T0 | 周期 | ITRPT/STND ビット 0 の時の L レベルの DUTY |
|---|---|---|---|
| 0 | 0 | 1/64 秒 | 1/2 |
| 0 | 1 | 1 秒 | 1/128 |
| 1 | 0 | 1 分 | 1/7680 |
| 1 | 1 | 1 時間 | 1/460800 |

**FT_MASK:** 時刻指定割り込みをマスクします。

0:マスク無

1:マスク

7.16.3.16 コントロールレジスタ F: 0x4000303C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | TEST | 24/12 | STOP | REST |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

**REST:** 内部の秒未満のカウンタ値をリセットします。本ビットを 1 にリセット状態となり、0 を書き込むまでリセット状態を継続します。

**STOP:** 本ビットに 1 を書き込むと、全ての計時を停止します。0 を書き込むと計時を再開します。

**24/12:** 24/12 時間制を選択します。

1: 24 時間制

0: 12 時間制

**TEST:** テスト用ビットです。本ビットを 1 にセットすると、通常 1Hz の S1 レジスタの桁上げが、4.096kHz となり、秒未満をリセットする REST および STOP 動作は無効となります。

7.16.3.17 FT_S1 レジスタ: 0x40003040

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_S1 | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

時刻指定割込みの秒の 1 の位を示します。

本レジスタに値を設定する際は、時刻指定割込みをディセーブルにしてください。

7.16.3.18 FT_S10 レジスタ: 0x40003044

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_S10 | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW |

時刻指定割込みの秒の 10 の位を示します。

本レジスタに値を設定する際は、時刻指定割込みをディセーブルにしてください。

7.16.3.19 FT_MI1 レジスタ: 0x40003048

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_M1 | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

時刻指定割込みの分の 1 の位を示します。

本レジスタに値を設定する際は、時刻指定割込みをディセーブルにしてください。

7.16.3.20 FT_MI10 レジスタ: 0x4000304C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_M10 | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW |

時刻指定割込みの分の 10 の位を示します。

本レジスタに値を設定する際は、時刻指定割込みをディセーブルにしてください。

7.16.3.21 FT_H1 レジスタ: 0x40003050

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_H1 | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

時刻指定割込みの時の 1 の位を示します。

本レジスタに値を設定する際は、時刻指定割込みをディセーブルにしてください。

7.16.3.22 FT_H10 レジスタ: 0x40003054

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_AMPM | FT_H10 | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW |

H10: 時刻指定割込みの時の 10 の位を示します。

AM/PM: 24 時間制の時、本ビットは無視されます。

12 時間制の時、AM または PM であることを示します。(0: AM, 1: PM)

本レジスタに値を設定する際は、時刻指定割込みをディセーブルにしてください。

7.16.3.23 FT_D1 レジスタ: 0x40003058

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_D1 | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

時刻指定割込みの日の 1 の位を示します。

本レジスタに値を設定する際は、時刻指定割込みをディセーブルにしてください。

7.16.3.24 FT_D10 レジスタ: 0x4000305C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_D10 | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW |

時刻指定割込みの日の 10 の位を示します。

本レジスタに値を設定する際は、時刻指定割込みをディセーブルにしてください。

7.16.3.25 FT_M1 レジスタ: 0x40003060

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_MO1 | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

時刻指定割込みの月の 1 の位を示します。

本レジスタに値を設定する際は、時刻指定割込みをディセーブルにしてください。

7.16.3.26 FT_M10 レジスタ: 0x40003064

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_MO10 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

時刻指定割込みの月の 10 の位を示します。

本レジスタに値を設定する際は、時刻指定割込みをディセーブルにしてください。

7.16.3.27 FT_Y1 レジスタ: 0x40003068

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_Y1 | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

時刻指定割込みの年の 1 の位を示します。

本レジスタに値を設定する際は、時刻指定割込みをディセーブルにしてください。

7.16.3.28 FT_Y10 レジスタ: 0x4000306C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | FT_Y10 | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

時刻指定割込みの年の 10 の位を示します。

本レジスタに値を設定する際は、時刻指定割込みをディセーブルにしてください。

## 7.16.4 動作説明

### 7.16.4.1 初期動作手順

図 7-16-1 RTC 初期動作に初期動作を示します。電源投入時は、各レジスタ値は不定であるため、必ず、この手順に従って、初期化してください。

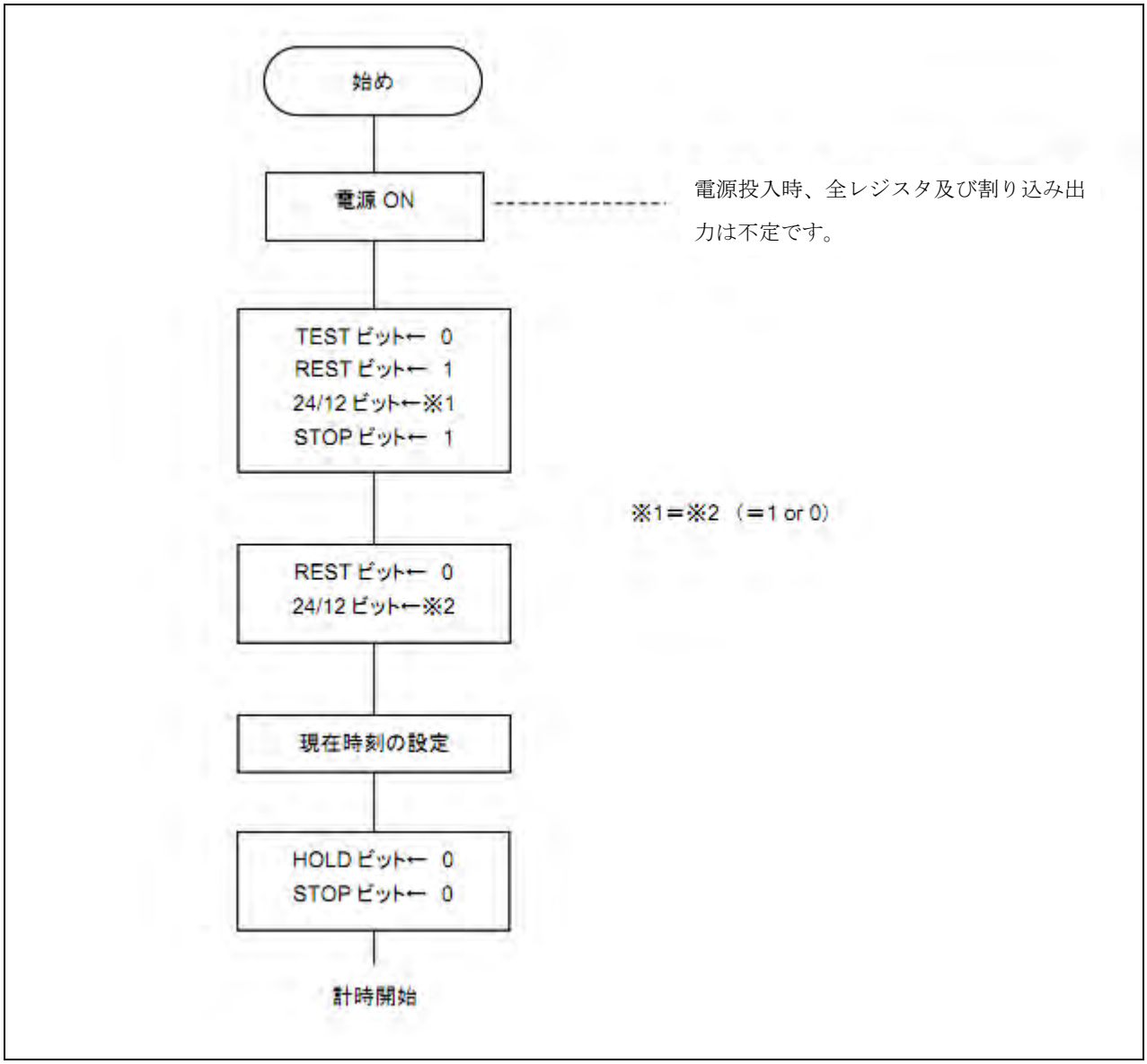



**図 7-16-1 RTC 初期動作手順**

### 7.16.4.2 S1～W レジスタ読み出し、書き込み手順

図 7-16-2 RTC S1～W レジスタ読み出し、書き込み手順に HOLD ビット使用時の S1～W レジスタの読み出し、書き込み手順を示します。(※図中のアイドリング時間は 62usec 以上の時間を確保してください)

図 7-16-3 S1～W レジスタ読み出し手順(HOLD ビットを使用しない場合)に HOLD ビットを使用しない S1～W レジスタの読み出し手順を示します。

図 7-16-4 S1～W レジスタ読み出し手順(IRQ を参照する場合)に IRQ ビットを参照して、S1～W レジスタを読み出す方法を示します。

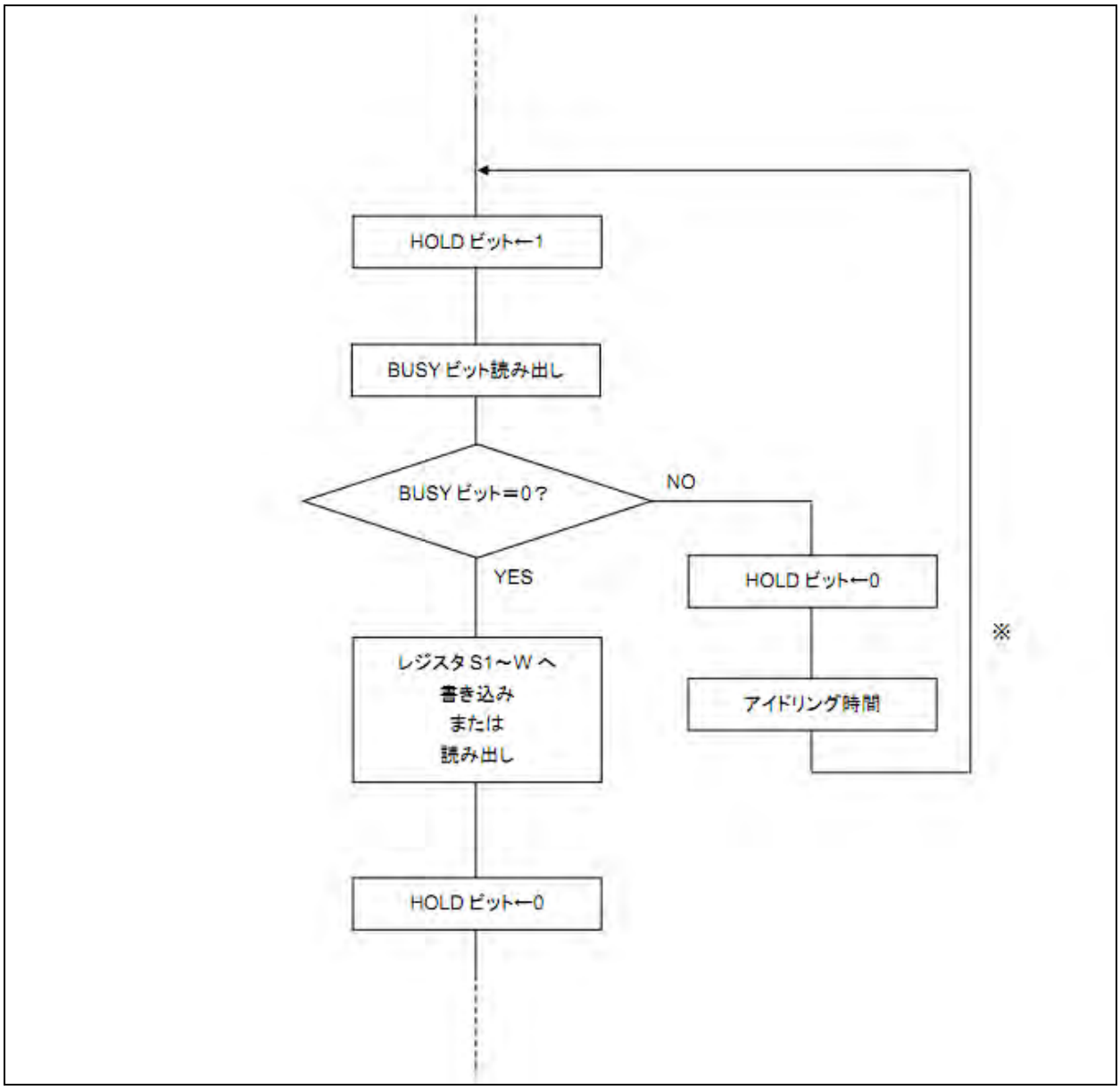



**図 7-16-2 RTC S1～W レジスタ読み出し、書き込み手順(HOLD ビット使用時)**

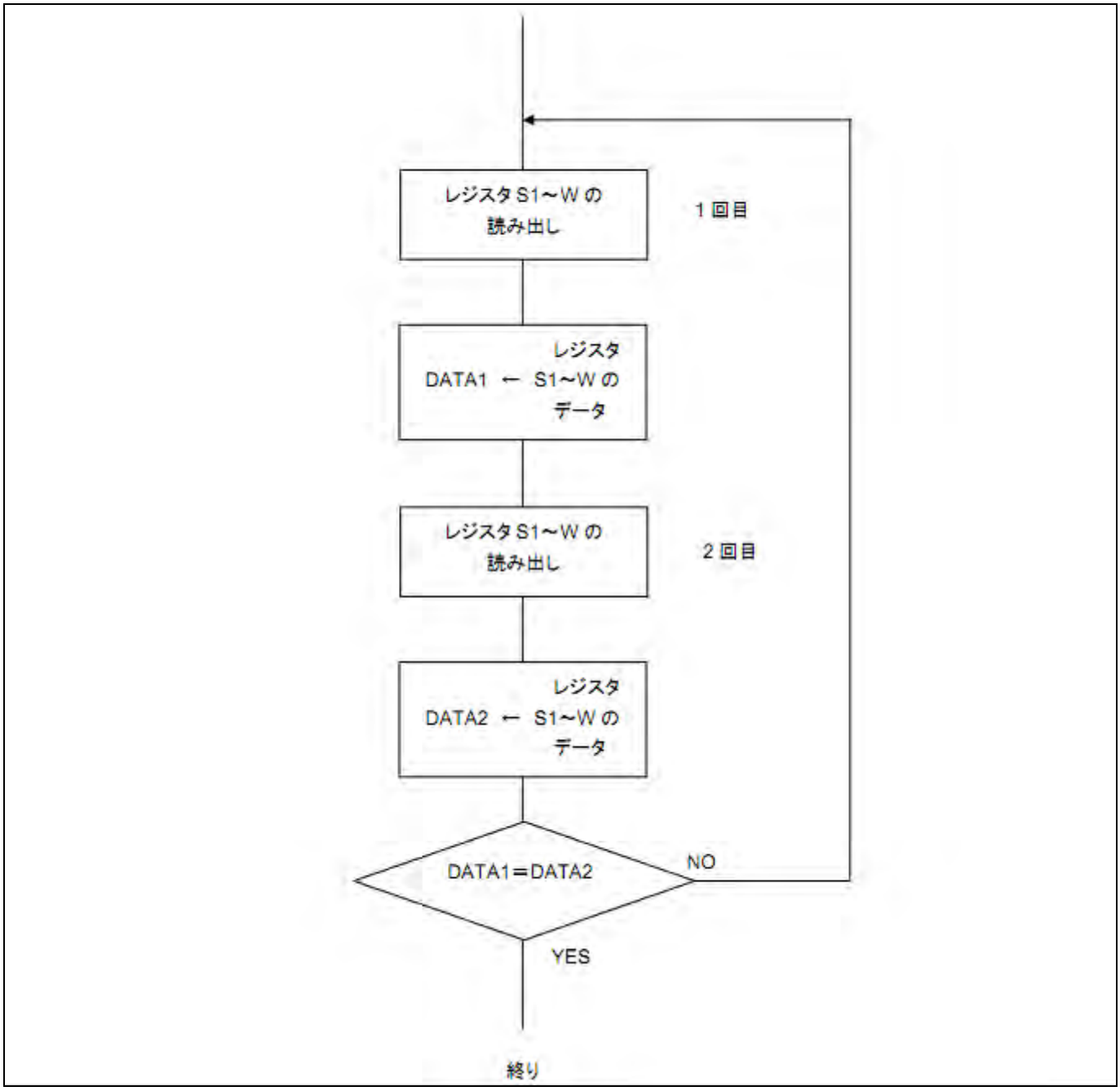



**図 7-16-3 S1～W レジスタ読み出し手順(HOLD ビットを使用しない場合)**

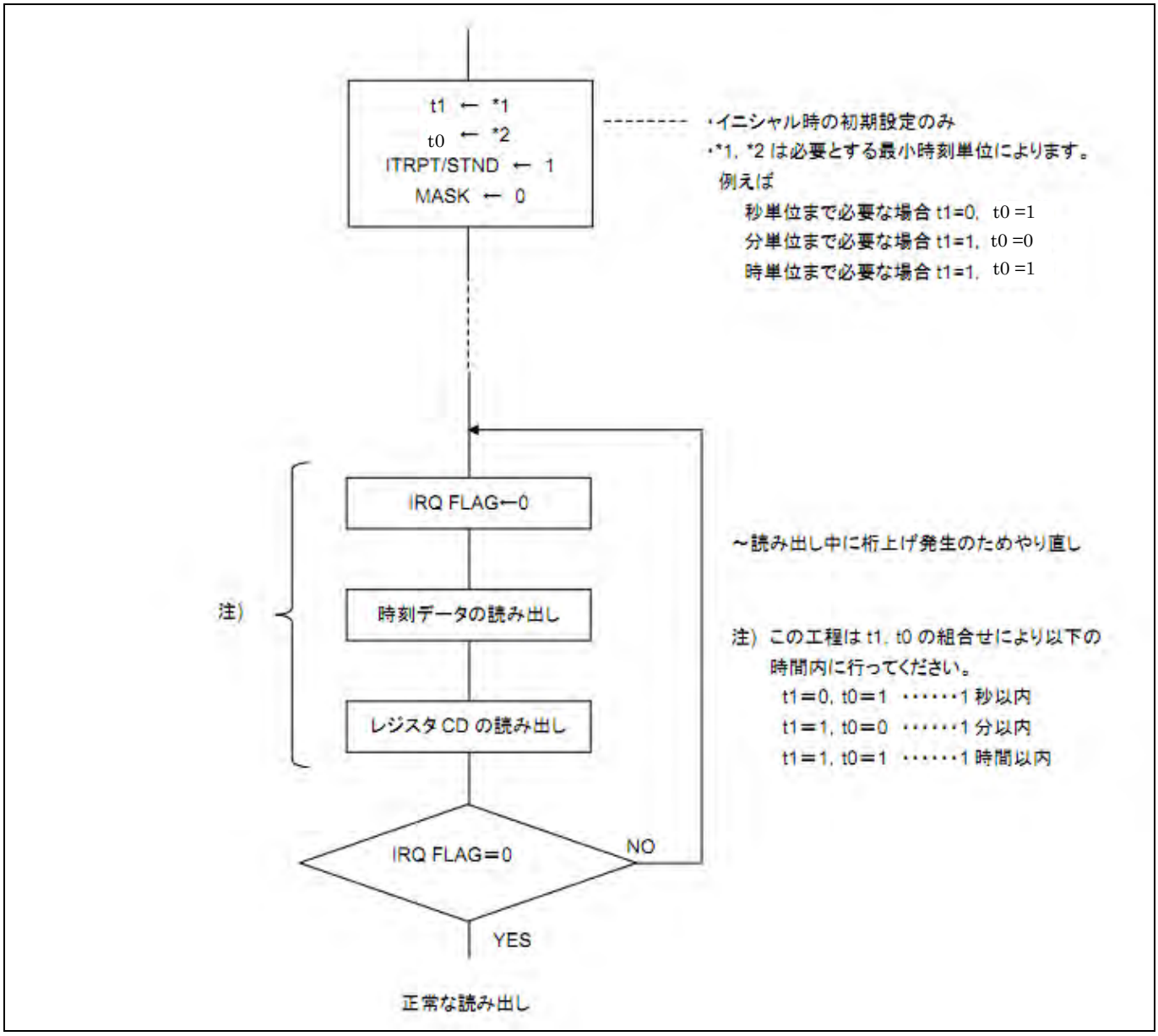



**図 7-16-4 S1～W レジスタ読み出し手順(IRQ を参照する場合)**

#### 7.16.4.3 ADJ30S レジスタの書き込み手順

図 7-16-5 ADJ30S の書き込み手順に ADJ30S ビットの書き込み手順(方法 1 および方法 2)を示します。

方法 1 では、ADJ30S ビットに 1 をセットした後、ADJ30S ビットがクリアされるまで、レジスタ値をポーリングします。

方法 2 では、レジスタ値のポーリングの替わりに、ADJ30S ビットがクリアされることが保証される 190μsec が経過するのを待ちます。

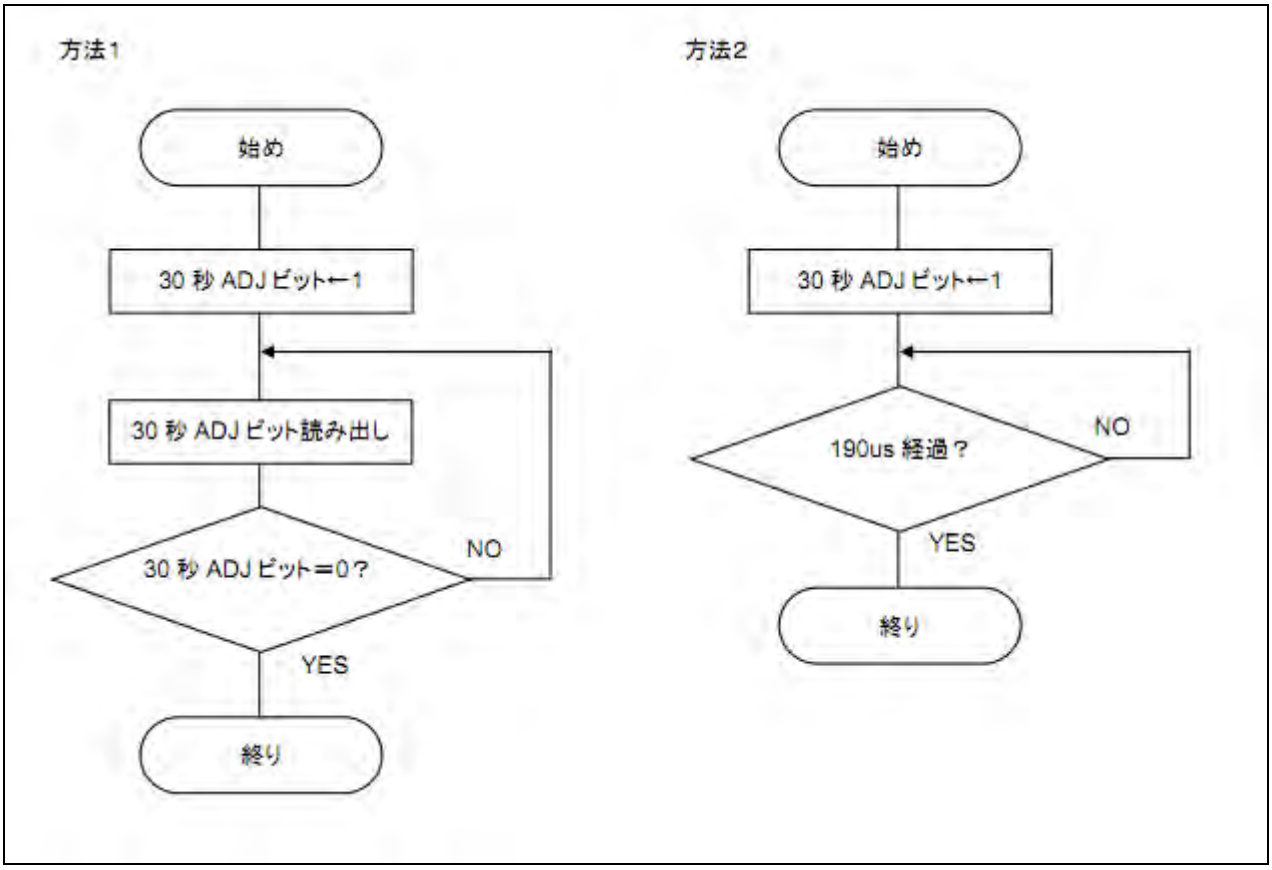



**図 7-16-5 ADJ30S の書き込み手順**

## 7-17.フレキシブルタイマ(FTM)

### 7.17.1 概要

16 ビットの多機能タイマです。特長を以下に示します。

- オートリロード（ART）
- コンペアアウト（CMO）
- パルス幅変調（PWM）
- キャプチャ（CAP）

### 7.17.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| 0x40002000 | タイマコントロールレジスタ 0 | FTMm_FTM0CON | R/W | 0x00000000 | |
| 0x40002004 | タイマステータスレジスタ 0 | FTMm_FTM0ST | R/W | 0x00000000 | |
| 0x40002008 | タイマカウンタ 0 | FTMm_FTM0C | R/W | 0x00000000 | |
| 0x4000200C | タイマレジスタ 0 | FTMm_FTM0R | R/W | 0x00000000 | |
| 0x40002010 | タイマ汎用レジスタ 0 | FTMm_FTM0GR | R/W | 0x00000000 | |
| 0x40002014 | タイマ入出力レベルレジスタ 0 | FTMm_FTM0IOLV | R/W | 0x00000000 | |
| 0x40002018 | タイマ出力レジスタ 0 | FTMm_FTM0OUT | R/W | 0x00000000 | |
| 0x4000201C | タイマ割り込みイネーブルレジスタ 0 | FTMm_FTM0IER | R/W | 0x00000000 | |
| 0x40002020 | タイマクロック制御 0 | FTMm_FTM0CKCON | R/W | 0x00000000 | |
| 0x40002200 | タイマイネーブルレジスタ | FTMm_FTMEN | R/W | 0x00000000 | |
| 0x40002204 | タイマディセーブルレジスタ | FTMm_FTMDIS | W | 0x00000000 | |

※ n はモジュール番号(n=A)を示します。

## 7.17.3 レジスタ説明

### 7.17.3.1 タイマコントロールレジスタ 0 (FTMm_FTMnCON: n=0~~~7)

アドレス: BASE+0x0040*n

アクセス:R/W

アクセスサイズ:32 ビット

初期値:0x00000000

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* |
| アクセス | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | MOD[1:0] | | FTMCLK[2:0] | | |
| アクセス | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | R/W | R/W | R/W | R/W | R/W |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

【注意】

*:将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。

[レジスタの説明]

FTMnCON は、Timer n の動作モード、カウンタクロックを設定する読み出し/書き込みが可能なレジスタです。以下に FTMnCON の構成を示します。(n=0~~~7)

[ビットの説明]

- **FTMCLK[2:0]**（ビット 0-2)

  カウンタクロックを選択します。

  ・ FTMnCON (n=0~~,1,2~~):

| FTMCLK[2:0] | 説明 |
|---|---|
| 000 | システムクロックで動作します。 |
| 001 | システムクロックの 2 分周で動作します。 |
| 010 | システムクロックの 4 分周で動作します。 |
| 011 | システムクロックの 8 分周で動作します。 |
| 100 | システムクロックの 16 分周で動作します。 |
| 101 | システムクロックの 32 分周で動作します。 |

| | |
|---|---|
| 110 | FTMCLK[n]の立ち上がりエッジ |
| 111 | FTMCLK[n]の立ち下がりエッジ |

※ FTMCLK[n]のソースクロックは、タイマクロック制御レジスタによって決定されます。詳細は、07.17.3.9 タイマクロック制御レジスタ 0 (FTMm_FTMnCKCON: **n=0～7)**を参照してください。

- **MOD[1:0]**（ビット 3-4)

| MOD[1:0] | 説明 |
|---|---|
| 00 | オートリロード（ART）モード |
| 01 | コンペアアウト（CMO）モード |
| 10 | パルス幅変調（PWM）モード |
| 11 | キャプチャ（CAP）モード |

7.17.3.2 タイマステータスレジスタ 0 (FTMm_FTMnST: n=0～7)

アドレス：BASE+0x040*n+0x004

アクセス：R/W

アクセスサイズ：32 ビット

初期値：0x0000_0000

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* |
| アクセス | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | OVF | CM_CAPEV |
| アクセス | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | R/W | R/W |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

【注意】

*：将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。

一度セットされた OVF ビット、CM/CAPEV ビットは自動的にリセットされませんので、プログラムによりリセットする必要があります。ビットに"1"を書き込むとリセットされ、"0"を書き込むと状態は変化しません。割り込み要求によるフラグのセットと書き込みによるフラグのリセットが競合した場合、フラグのセットが優先されます。

[レジスタの説明]

FTMnST は、各チャネルのステータスを示す読み出し/書き込みが可能なレジスタです。以下に FTMnST の構成を示します。（n＝0-7）

[ビットの説明]

- **CM_CAPEV**（ビット 0)

・ CMO モード時：

タイマカウンタ FTMnC の値とタイマ汎用レジスタ FTMnGR の値が一致したときにセットされます。この時、割り込み要求を発生します。"1"をライトすることでクリアされます。

| CM_CAPEV | 説明 |
|---|---|
| 0 | タイマカウンタ FTMnC の値とタイマ汎用レジスタの値が異なる |
| 1 | タイマカウンタ FTMnC の値とタイマ汎用レジスタの値が一致 |

・ CAP モード時：

タイマ入力(FTMINn)からの入力が変化したとき（キャプチャトリガ）にセットされます。この時、割り込み要求を発生します。"1"をライトすることでクリアされます。

| CM_CAPEV | 説明 |
|---|---|
| 0 | タイマ入力端子にキャプチャトリガが未発生 |
| 1 | タイマ入力端子にキャプチャトリガが発生 |

・ ART/PWM モード時：

本ビットの値は変化しません。

- **OVF**（ビット 1)

タイマカウンタがオーバーフローしたときにセットされます。 この時、割り込み要求を発生します。"1"をライトすることでクリアされます。

| OVF | 説明 |
|---|---|
| 0 | オーバーフロー未発生 |
| 1 | オーバーフロー発生 |

7.17.3.3 タイマカウンタ 0 (FTMm_FTMnC: n=0～7)

アドレス:BASE+0x040*n+0x008

アクセス:R/W

アクセスサイズ:32 ビット

初期値:0x0000_0000

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* |
| アクセス | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | FTMnC [15:0] | | | | | | | | | | | | | | | |
| アクセス | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

【注意】

*:将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。

[レジスタの説明]

FTMnC は、タイマコントロールレジスタ FTMnCON で選択されたカウンタクロックによりカウントアップする読み出し/書き込みが可能な 16 ビットカウンタです。以下に FTMnCの構成を示します。(n=0-7)

[ビットの説明]

- **FTMnC[15:0]** (ビット 0-15)

  FTMnC はタイマイネーブルレジスタ FTMnEN の対応したチャネルに"1"を書くことで起動し、タイマディセーブルレジスタ FTMnDIS の対応したチャネルに"1"を書くことで停止します。

  オーバーフロー時、割り込み要求発生と共にタイマレジスタ FTMnR の値がロードされます。

  タイマカウンタ(FTMm_FTMnC)にライトをした場合には、タイマカウンタ(FTMm_FTMnC)とタイマレジスタ(FTMm_FTMnR)に同じ値が書き込まれます。

7.17.3.4 タイマレジスタ 0 (FTMm_FTMnR: n=0~7)

アドレス:BASE+0x040*n+0x00C

アクセス:R/W

アクセスサイズ:32 ビット

初期値:0x0000_0000

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* |
| アクセス | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | FTMnR[15:0] | | | | | | | | | | | | | | | |
| アクセス | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

【注意】

*:将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。

[レジスタの説明]

FTMnR は、タイマカウンタ FTMnC のリロード値を設定する読み出し/書き込みが可能な 16 ビットレジスタです。以下に FTMnR の構成を示します。(n=0-7)

[ビットの説明]

- **FTMnR[15:0]** (ビット 0-15)

  タイマカウンタ(FTMm_FTMnC)にライトをした場合には、タイマカウンタ(FTMm_FTMnC)とタイマレジスタ(FTMm_FTMnR)に同じ値が書き込まれます。

  タイマレジスタ(FTMm_FTMnR)にライトした場合には、タイマレジスタ(FTMm_FTMnR)にその値が書き込まれますが、タイマカウンタ(FTMm_FTMnC)にはその値は書き込まれません。

7.17.3.5 タイマ汎用レジスタ 0 (FTMm_FTMnGR: n=0~7)

アドレス:BASE+0x040*n+0x010

アクセス:R/W

アクセスサイズ:32 ビット

初期値:0x0000_0000

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | —* | —* | —* | —* | —* | —* | —* | —* | —* | —* | —* | —* | —* | —* | —* | —* |
| アクセス | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | FTMnGR[15:0] | | | | | | | | | | | | | | | |
| アクセス | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

【注意】

*:将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。

[レジスタの説明]

FTMnGR は、CMO モード、PWM モードあるいは CAP モードに設定されている場合に使用される読出し/書き込みが可能な 16 ビットレジスタです。以下に FTMnGR の構成を示します。(n=0~7)

[ビットの説明]

- **FTMnGR[15:0]** (ビット 0-15)
  - CMO モード/PWM モード時:
    タイマカウンタ FTMnC との比較のための値を保持します。
  - CAP モード時:
    タイマ入力(FTMINn)からの入力が変化したときのタイマカウンタ FTMnC の値を保持します。
    尚、タイマカウンタFTMnCの値を保持するタイミングと、CPU からの本レジスタへの書き込みとが競合した場合、CPU からの書き込みが優先されます。

7.17.3.6 タイマ入出力レベルレジスタ 0 (FTMm_FTMnIOLV: n=0～7)

アドレス:BASE+0x040*n + 0x014

アクセス:R/W

アクセスサイズ:32 ビット

初期値:0x0000_0000

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* |
| アクセス | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | IOLV[1:0] | |
| アクセス | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | R/W | R/W |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

【注意】

*:将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。

[レジスタの説明]

FTMnIOLV は、CMO モード、PWM モードではタイマ出力 TIMERn(FTMOUT[n])、CAP モードではタイマ入力(FTMIN[n])に関する設定を指定する読み出し/書き込みが可能なレジスタです。(n=0～7)

[ビットの説明]

- **IOLV[1:0]** (ビット 0-1)

・ CMO モード時:

TIMERn(FTMOUT[n])の設定を行います。

| IOLV[1:0] | 説明 |
|---|---|
| 00 | タイマカウンタ FTMnC とタイマ汎用レジスタ FTMnGR が一致したとき"0"を出力 |
| 01 | タイマカウンタ FTMnC とタイマ汎用レジスタ FTMnGR が一致したとき"1"を出力 |
| 10 | タイマカウンタ FTMnC とタイマ汎用レジスタ FTMnGR が一致したとき出力を反転 |
| 11 | 設定禁止 |

・ PWM モード時:

TIMERn(FTMOUT[n])の設定を行います。

| IOLV[1:0] | 説明 |
|---|---|
| 00 | タイマカウンタ FTMnC≦タイマ汎用レジスタ FTMnGR のとき"0"を出力<br>タイマカウンタ FTMnC＞タイマ汎用レジスタ FTMnGR のとき"1"を出力 |
| 01 | タイマカウンタ FTMnC≦タイマ汎用レジスタ FTMnGR のとき"1"を出力<br>タイマカウンタ FTMnC＞タイマ汎用レジスタ FTMnGR のとき"0"を出力 |
| 1X | 設定禁止 |

・ CAP モード時:

FTMIN[n]のキャプチャトリガの設定を行います。

| IOLV[1:0] | 説明 |
|---|---|
| 00 | キャプチャトリガを設定しない。 |
| 01 | タイマ入力 FTMIN[n]の立ち上がりエッジをキャプチャトリガとして検出する。 |
| 10 | タイマ入力 FTMIN[n]の立ち下がりエッジをキャプチャトリガとして検出する。 |
| 11 | タイマ入力 FTMIN[n]の両エッジをキャプチャトリガとして検出する。 |

7.17.3.7 タイマ出力レベルレジスタ 0 (FTMm_FTMnOUT: n=0~~~7)

アドレス:BASE+0x040*n + 0x018

アクセス:R/W

アクセスサイズ:32 ビット

初期値:0x0000_0000

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* |
| アクセス | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | FTMOUT |
| アクセス | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | R/W |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

【注意】

*:将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。

CMO モード、PWM モードの場合、タイマカウンタ値(FTMm_FTMnC)とタイマ汎用レジスタ値(FTMm_FTMnGR)の一致によってタイマ出力値 TIMERn(FTMOUT[n])が決定されるタイミングと、CPU からの本レジスタへの書き込みとが競合した場合、本レジスタへの書き込みが優先されます。

[レジスタの説明]

FTMnOUT は、タイマ出力 TIMERn(FTMOUT[n])から出力される値を保持する読み出し/書き込みが可能なレジスタです。以下に FTMnOUT の構成を示します。(n=0~7)

[ビットの説明]

- **FTMOUT**（ビット 0)

  TIMERn(FTMOUT[n])を設定するビットです。

| FTMOUT | 説明 |
|---|---|
| 0 | FTMOUT[n]を"0"に設定する。 |
| 1 | FTMOUT[n]を"1"に設定する。 |

7.17.3.8 タイマ割り込みイネーブルレジスタ 0 (FTMm_FTMnIER: n=0~7)

アドレス:BASE+0x040*n + 0x01C

アクセス:R/W

アクセスサイズ:32 ビット

初期値:0x0000_0000

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* |
| アクセス | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | OVFIE | CMOIE_CAPIE |
| アクセス | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | R/W | R/W |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

【注意】

*:将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。

[レジスタの説明]

FTMnIER は、チャネル毎の割り込みをイネーブル設定する読み出し/書き込みが可能なレジスタです。以下に FTMnIER の構成を示します。(n=0~7)

[ビットの説明]

- **CMOIE_CAPIE**（ビット 0)

・ CMO モード時:

タイマカウンタ FTMnC の値とタイマ汎用レジスタ FTMnGR の値が一致したときの割り込みをイネーブル/ディセーブル設定します。ディセーブル時は CPU への割り込み出力を行いません。

| CMOIE/CAPIE | 説明 |
|---|---|
| 0 | タイマカウンタ FTMnC の値とタイマ汎用レジスター致割り込みをディセーブルに設定 |
| 1 | タイマカウンタ FTMnC の値とタイマ汎用レジスター致割り込みをイネーブルに設定 |

・ CAP モード時:

タイマ入力(FTMIN[n])からの入力が変化したとき(キャプチャトリガ)の割り込みをイネーブル/ディセーブル設定します。ディセーブル時は CPU への割り込み出力を行いません。

| CMOIE/CAPIE | 説明 |
|---|---|
| 0 | タイマ入力キャプチャ割り込みをディセーブルに設定 |
| 1 | タイマ入力キャプチャ割り込みをイネーブルに設定 |

- **OVFIE**(ビット 1)

タイマカウンタがオーバーフローしたときの割り込みをイネーブル/ディセーブル設定します。

ディセーブル時は CPU への割り込み出力を行いません。

| OVFIE | 説明 |
|---|---|
| 0 | オーバーフロー割り込みをディセーブルに設定 |
| 1 | オーバーフロー割り込みをイネーブルに設定 |

7.17.3.9 タイマクロック制御レジスタ 0 (FTMm_FTMnCKCON: n=0～7)

アドレス:BASE+0x040*n + 0x020

アクセス:R/W

アクセスサイズ:32 ビット

初期値:0x0000_0000

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* |
| アクセス | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | ―* | CKCON[3:0] | | | |
| アクセス | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | ― | R/W | R/W |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

【注意】

*:将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。

[レジスタの説明]

FTMnCKCON は、チャネル毎にクロック生成部から供給される FTMCLK[n]を制御します[7]。

**表 CKCON[3:0]と FTMCLK[n]の関係**

| CKCON[3:0] | FTMCLK[n]の周波数 | 備考 |
|---|---|---|
| 0000 | システムクロックの 64 分周 | |
| 0001 | システムクロックの 128 分周 | |
| 0010 | システムクロックの 256 分周 | |
| 0011 | システムクロックの 512 分周 | |
| 01xx | システムクロックとは独立した SysTick タイマクロックをクロックとして使用します。 | |
| 1xxx | ftmn_io 入力をクロックとして使用します。(n は対応する ch 番号 0～7) | |

7.17.3.10　　タイマイネーブルレジスタ (FTMm_FTMEN)

アドレス:BASE+0x200

アクセス:R/W

アクセスサイズ:32 ビット

初期値:0x0000_0000

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* |
| アクセス | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | FTMEN[7:0] | | | | | | | |
| アクセス | ー | ー | ー | ー | ー | ー | ー | ー | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

【注意】

*:将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。

[レジスタの説明]

FTMEN は、各タイマ動作を許可する読み出し／書き込みが可能なレジスタです。以下に FTMEN の構成を示します。

[ビットの説明]

- **FTMEN[7:0]**（ビット 0-7)

"1"を書き込むとこれらのビットは"1"にセットされタイマ動作が開始します。"0"を書き込んだ場合は変化しません。

FTMEN[n] ： TimerN の動作開始を制御

※ 有効ではないチャネルに対応したビットへの書き込みは出来ません(本 LSI ではビット 0 のみ有効です)。

7.17.3.11　　タイマディセーブルレジスタ (FTMDIS)

アドレス:BASE+0x204

アクセス:W

アクセスサイズ:32 ビット

初期値:0x0000_0000

| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* |
| アクセス | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー | ー |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| シンボル名 | ー* | ー* | ー* | ー* | ー* | ー* | ー* | ー* | FTMDIS[7:0] | | | | | | | |
| アクセス | ー | ー | ー | ー | ー | ー | ー | ー | W | W | W | W | W | W | W | W |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

【注意】

*:将来の拡張用の予約ビットです。ライト時は"0"を書き込んで下さい。

[レジスタの説明]

FTMDIS は、各タイマ動作を禁止する書き込みのみ可能なレジスタです。以下に FTMDIS の構成を示します。

[ビットの説明]

- **FTMDIS[2:0]**（ビット 0-2)

  "1"を書き込むとタイマイネーブルレジスタ FTMEN の対応したビットを"0"にリセットされタイマ動作が停止します。"0"を書き込んだ場合、FTMEN は変化しません。

  FTMDIS[N] ： TimerN の動作停止を制御

  ※ 有効ではないチャネルに対応したビットへの書き込みは出来ません(本 LSI ではビット 0 のみ有効です)。

## 7.17.4 動作シーケンス(TimerN)

フレキシブルタイマの各チャネルには

- オートリロード・タイマ・モード(ART)
- コンペアアウト・モード(CMO)
- PWM モード
- キャプチャ・モード(CAP)

の動作モードがあります。

各チャネルに対応したタイマコントロールレジスタ(FTMm_FTMnCON)の MOD ビットにより動作モードが選択できます。

以下に各モードの動作について説明します。

### 7.17.4.1 オートリロード・タイマ・モード(ART)

各チャネルに対応するタイマ・コントロール・レジスタ(FTMm_FTMnCON)のMODビットを00(ART)に設定することによりオートリロード・タイマとして動作します。

タイマ・カウンタ(FTMm_FTMnC)がオーバーフローすると、タイマ・レジスタ(FTMm_FTMnR)の値がタイマカウンタにロードされます。また、同時に割り込み要求が発生します。

オートリロード・タイマ・モードの場合、タイマ出力端子 TIMERn(FTMOUT[n])の状態は変化しません。

オートリロード・タイマ・モード時の動作を図 0-1 オートリロード・タイマ・モード時の動作に示します。

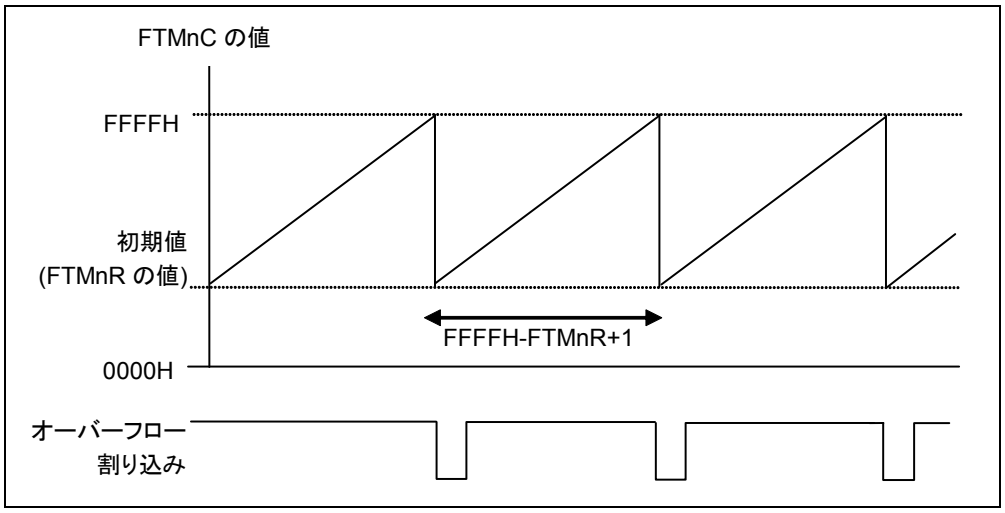



**図 0-1 オートリロード・タイマ・モード時の動作**

7.17.4.2 コンペアアウト・モード(CMO)

各チャネルに対応するタイマ・コントロール・レジスタ(FTMm_FTMnCON)の MOD ビットを 01(CMO)に設定することによりコンペアアウト・モードとして動作します。
タイマ・カウンタ(FTMm_FTMnC)の値とタイマ汎用レジスタ(FTMm_FTMnGR)の値の一致によってタイマ入出力 ftm_io[n](FTMOUT[n])から出力される値は、タイマ入出力レベル・レジスタ(FTMm_FTMnIOLV)の IOLV ビット設定によって決まります。
オーバーフロー発生時、およびタイマカウンタの値とタイマ汎用レジスタの値が一致した時、割り込み要求を発生します。

コンペアアウト・モード時の動作を図 0-2 コンペアアウト・モード時の動作に示します。

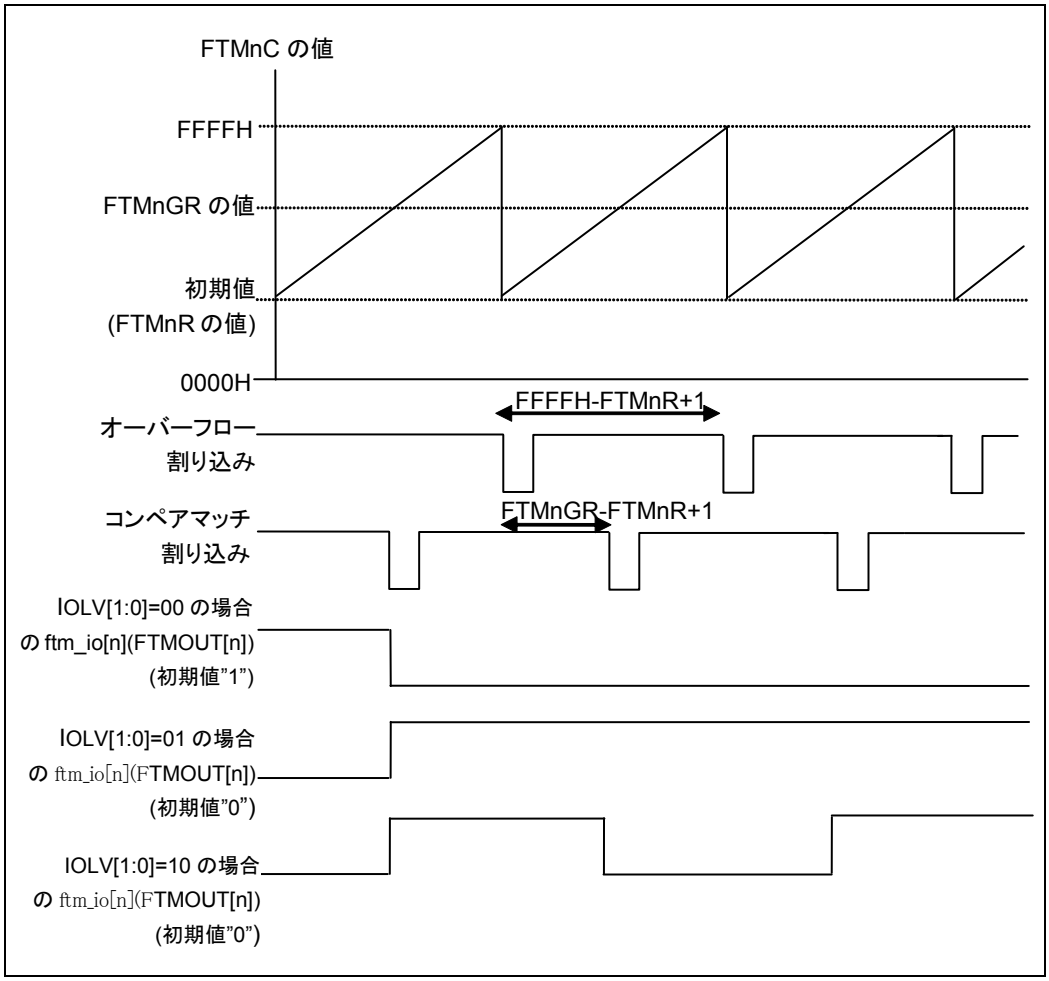



**図 0-2 コンペアアウト・モード時の動作**

#### 7.17.4.3 PWM モード

各チャネルに対応するタイマ・コントロール・レジスタ(FTMm_FTMnCON)の MOD ビットを 10(PWM)に設定することにより PWM モードとして動作します。

周期をタイマ・レジスタ(FTMm_FTMnR)に、PWM 出力の前半相の長さをタイマ汎用レジスタ(FTMm_FTMnGR)に設定します。

タイマ入出力 ftm_io[n](FTMOUT[n])から出力される値は、タイマ入出力レベル・レジスタ(FTMm_FTMnIOLV)の IOLV フィールド設定によって決まります。

タイマ・カウンタ(FTMm_FTMnC)がオーバーフローすると同時に割り込み要求が発生します。

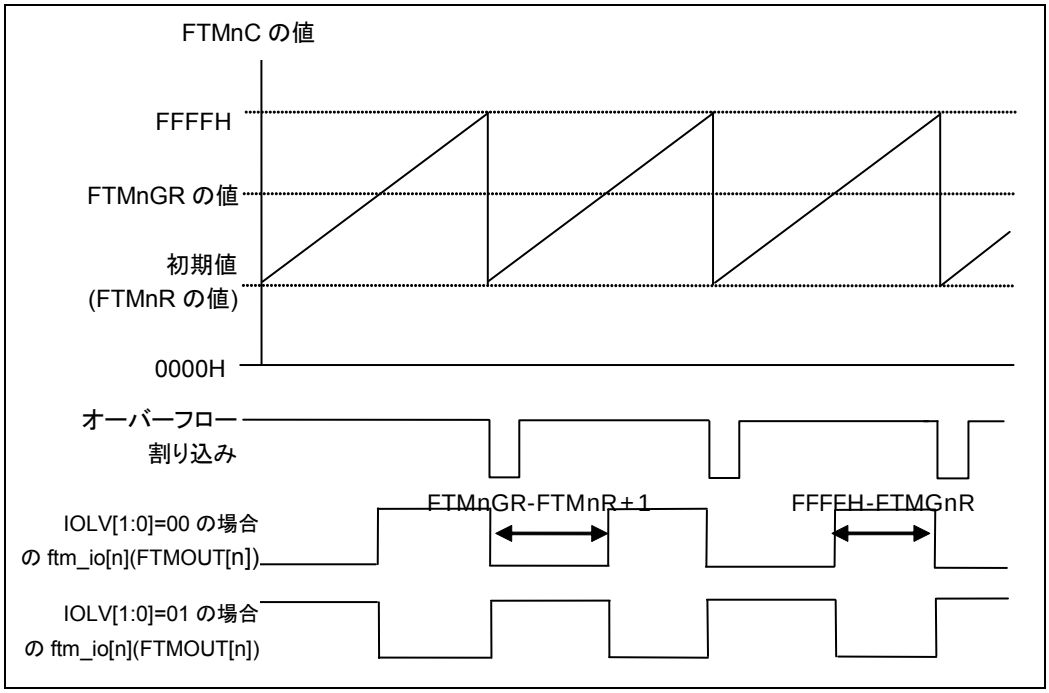



**図 0-3 PWM モード時の動作**

#### 7.17.4.4 キャプチャ・モード(CAP)

各チャネルに対応するタイマ・コントロール・レジスタ(FTMm_FTMnCON)の MOD ビットを 11(CAP)に設定することによりキャプチャ・モードとして動作します。

タイマ入出力 ftm_io[n](FTMIN[n])に、タイマ入出力レベル・レジスタ(FTMm_FTMnIOLV)で指定したキャプチャトリガが入力(キャプチャ・イベントの発生)されると、タイマ・カウンタ(FTMm_FTMnC)の値をタイマ汎用レジスタ(FTMm_FTMnGR)に格納します。

オーバーフロー発生時、及びキャプチャ・イベント発生時に、割り込み要求を発生します。

CAP モード時の動作を図 0-4 CAP モード時の動作に示します。

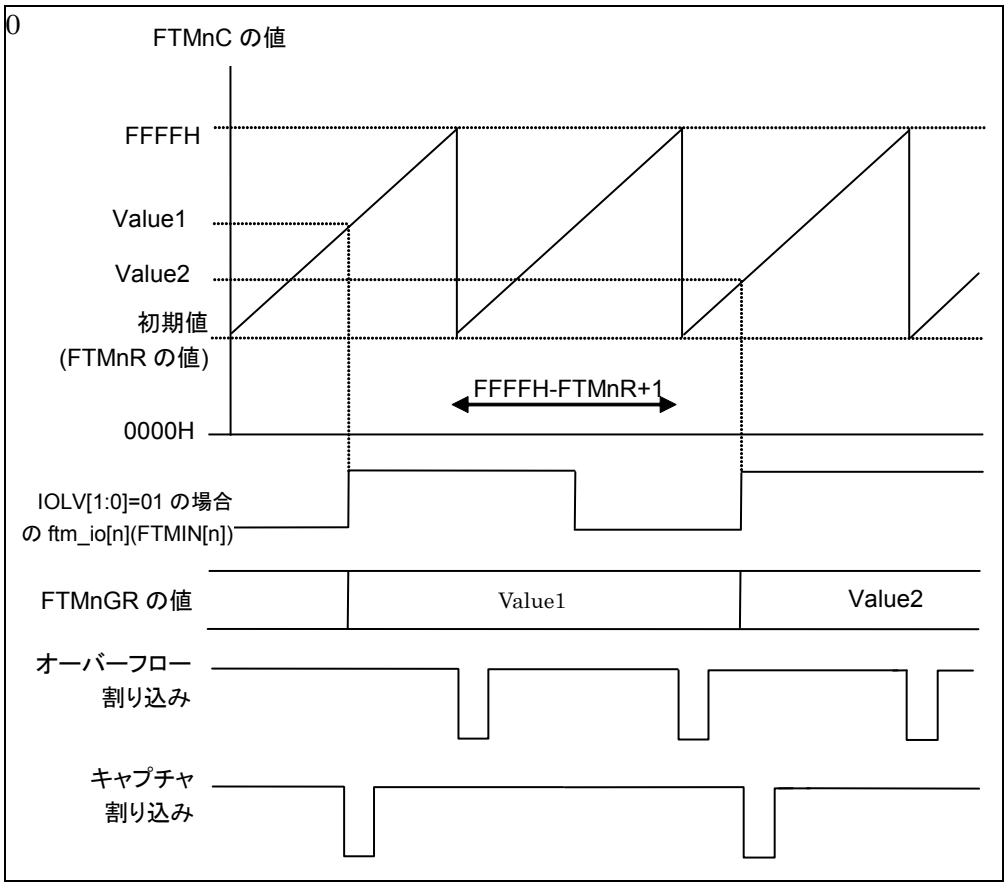



**図 0-4 CAP モード時の動作**

7.17.4.5 タイマ割り込み

チャネル毎にオーバーフローとキャプチャ/コンペアマッチの 2 種類の割り込みを有します。CPU へは各チャネルのオーバーフロー･ステータスレジスタ(FTMm_FTMnST[1])とオーバーフロー割り込みイネーブルレジスタ(FTMm_FTMnIER[1])の AND と、キャプチャ/コンペアマッチ･ステータスレジスタ(FTMm_FTMnST[0])とキャプチャ/コンペアマッチ割り込みイネーブルレジスタ(FTMm_FTMnIER[0])の AND とを OR して反転された信号が出力されます。(計 3 本 Low レベル出力図 0-5 CPU への割り込み信号出力) 割り込みは CPU からのステータスレジスタ(FTMm_FTMnST)への"1"を書き込むことでクリアされます。
尚、割り込み発生と CPU からのレジスタクリアが競合した場合、割り込み発生によるセットが優先されます。

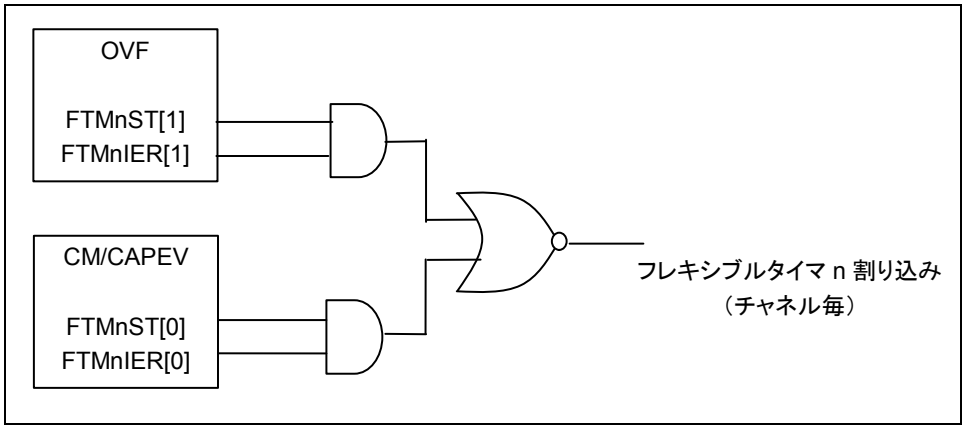



**図 0-5 CPU への割り込み信号出力**

#### 7.17.4.6 入出力切り替え

本 LSI ではタイマ入出力（FTMIN[n]/FTMOUT[n]）の端子が共有されているため動作モードにより入出力の切り替えを行います。
各モード時の入出力方向は以下の通りです。

ART モード : 入力（デフォルト）
CMO モード : 出力
PWM モード : 出力
CAP モード : 入力

各端子の入出力方向は、チャネル毎に設定可能です。（動作モードがチャネル毎に設定可能）

#### 7.17.4.7 入力信号のサンプリング・タイミングと出力信号のタイミング

##### 7.17.4.7.1. タイマ・クロック入力のサンプリング

タイマ・クロック入力端子（FTMCLK 端子＝FTM に割り当てられる GPIO 端子）から入力される外部クロックをカウントすることができます。
図 0-6 外部クロックのサンプリングとタイマ・カウンタ(FTMm_FTMnC）のカウント・タイミングに、外部クロックのサンプリングとタイマ・カウンタ(FTMm_FTMnC）のカウント・タイミングを示します。
FTMCLK はバスクロック（SYSCLK）の立ち上がりエッジでサンプリングされます。タイマ・コントロール・レジスタ(FTMm_FTMnCON）により入力されるクロックの立ち上がりエッジが選択されている場合は、サンプリング時に信号が L レベルから H レベルに遷移していると、2 クロック後のバスクロック（SYSCLK）の立ち上がりエッジのタイミングで FTMnC はカウントアップします。
立ち下がりエッジが選択されている場合は、サンプリング時に信号が H レベルから L レベルに遷移していると、2 クロック後のバスクロック（SYSCLK）の立ち上がりエッジのタイミングで FTMnC はカウントアップします。
FTMCLK 端子に入力するクロックの H レベルとL レベルの期間はバスクロック（SYSCLK）の 2 周期以上にする必要があります。

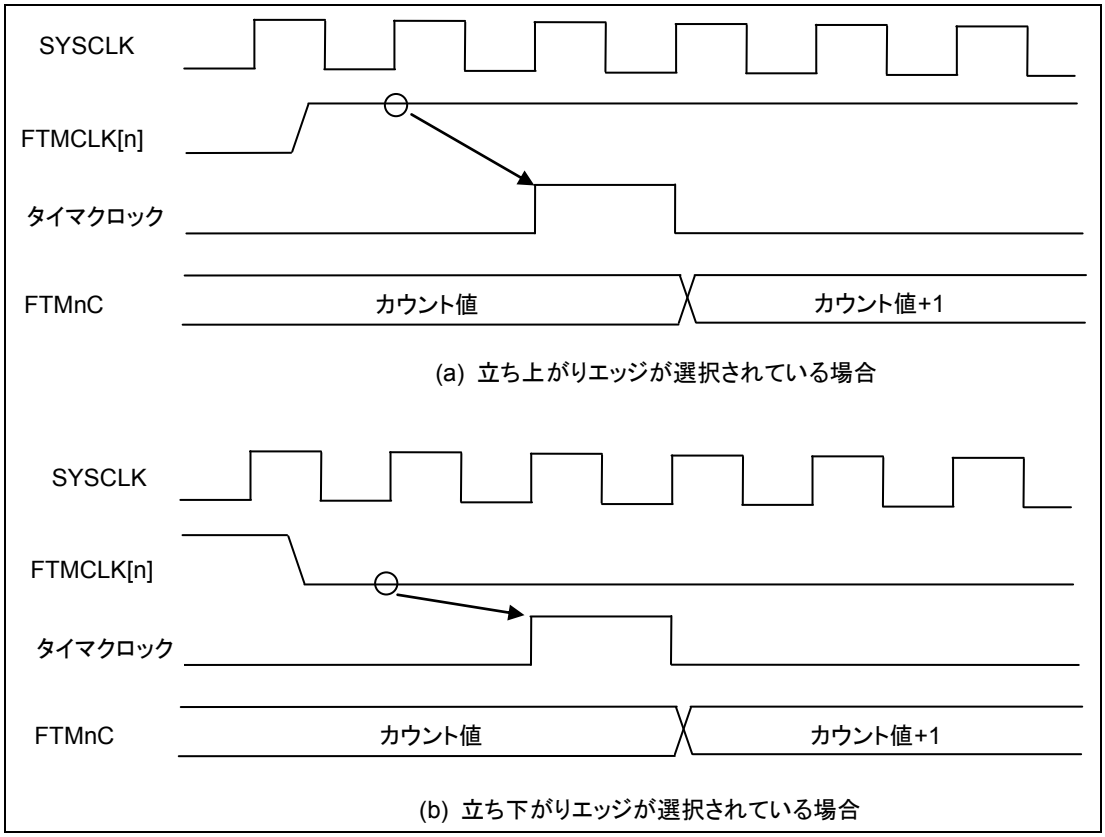



**図 0-6 外部クロックのサンプリングとタイマ・カウンタ(FTMm_FTMnC)のカウント・タイミング**

7.17.4.7.2. キャプチャトリガ入力のサンプリング

フレキシブルタイマがキャプチャ・モードに設定されると、タイマ入出力端子は入力となり、キャプチャトリガの入力 FTMIN[n]として使用されます。

図 0-7 キャプチャトリガのカウント値がタイマ汎用レジスタに格納されるタイミングに、キャプチャトリガのサンプリング・タイミングとタイマ・カウンタ(FTMm_FTMnC)のカウント値がタイマ汎用レジスタ(FTMm_FTMnGR)に格納されるタイミングを示します。

FTMIN[n]はバスクロック(SYSCLK)の立ち上がりエッジでサンプリングされます。タイマ入出力レベル・レジスタ(FTMm_FTMnIOLV)により、キャプチャトリガとして立ち上がりエッジが選択されている場合は、サンプリング時に信号が L レベルから H レベルに遷移していると、2 クロック後のバスクロック(SYSCLK)の立ち上がりエッジのタイミングで FTMnC のカウント値が FTMnGR に格納されます。

立ち下がりエッジが選択されている場合は、サンプリング時に信号が H レベルから L レベルに遷移していると、2 クロック後のバスクロック(SYSCLK)の立ち上がりエッジのタイミングで FTMnC のカウント値が FTMnGR に格納されます。

FTMIN[n]に入力するクロックの H レベルと L レベルの期間はバスクロック(SYSCLK)の 2 周期以上にする必要があります。

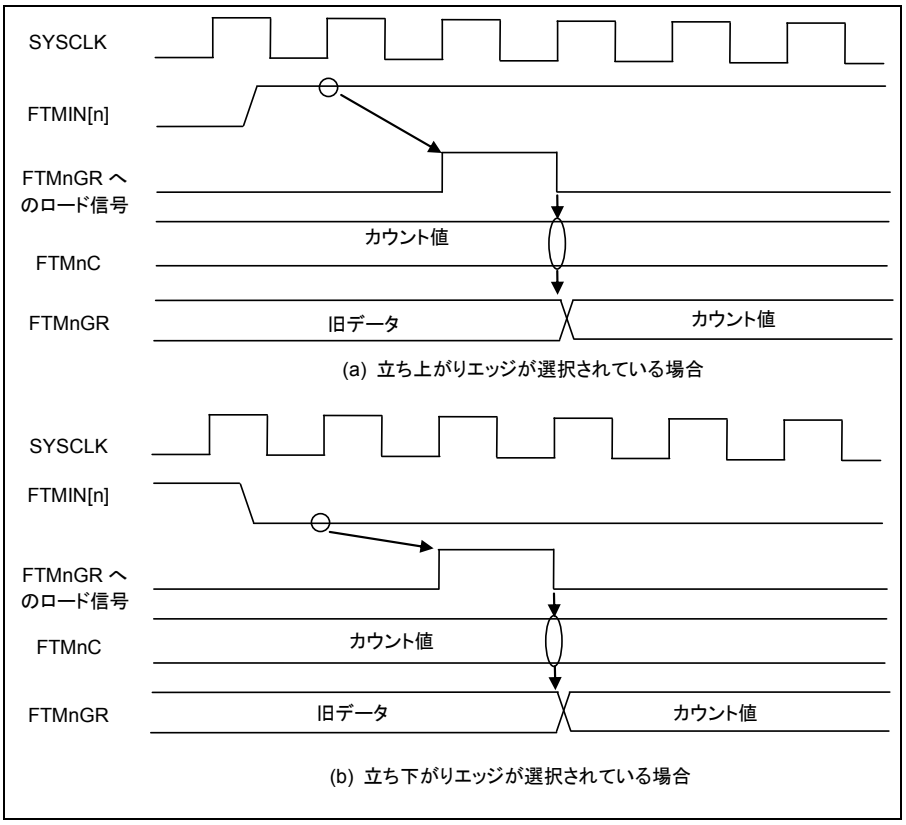



**図 0-7 キャプチャトリガのカウント値がタイマ汎用レジスタに格納されるタイミング**

#### 7.17.4.8 タイマ出力のタイミング

フレキシブルタイマが CMO モードあるいは PWM モードに設定されると、タイマ入出力はタイマ出力端子(TIMERn(FTMOUT[n]=FTM に割り当てられる GPIO 端子))として使用されます。

図 0-8 CMO モード時にタイマ出力が遷移するタイミングに、CMO モード時にタイマ出力が遷移するタイミングを示します。

CMO モードに設定されている場合は、タイマ・カウンタ(FTMm_FTMnC)のカウント値がタイマ汎用レジスタ(FTMm_FTMnGR)に格納されている値と一致した後のカウント・クロックのタイミングでタイマ出力の状態が遷移します。

図 0-9 PWM モード時にタイマ出力が遷移するタイミングに、PWM モード時にタイマ出力が遷移するタイミングを示します。

PWM モードに設定されている場合は、FTMnC のカウント値と FTMnGR に格納されている値が指定されている条件を満足した後のカウント・クロックのタイミングでタイマ出力の状態が遷移します。

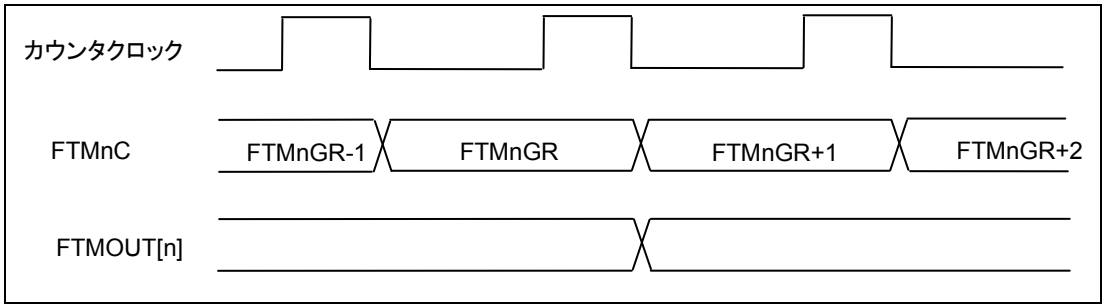



**図 0-8 CMO モード時にタイマ出力が遷移するタイミング**

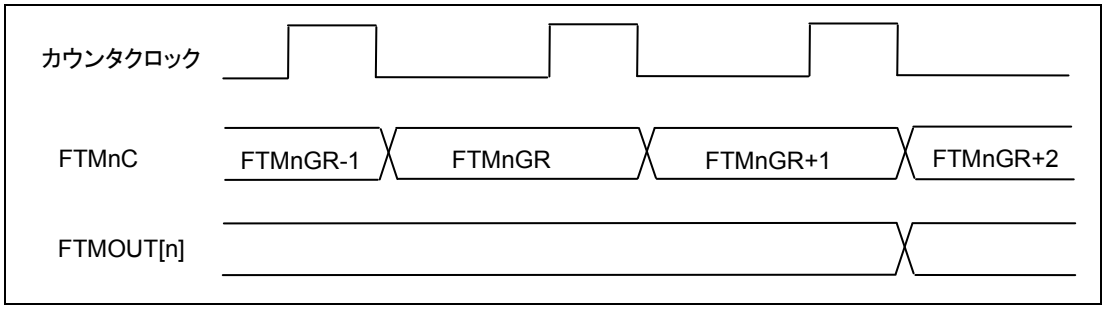



**図 0-9 PWM モード時にタイマ出力が遷移するタイミング**

## 7-18.I2C

### 7.18.1 概要

2 線式(SCL, SDA)のシリアルインターフェース。特長を以下に示します。

- スタンダードモード(～100kbps)およびファーストモード(～400kbps)をサポートします。
- 7 または 10 ビットアドレッシングをサポートします。
- 7 または 10 ビットの複合フォーマット転送をサポートします。
- バルク転送モードをサポートします。

※端子機能の割付については 7-11.ポートコンフィグレーションをご参照願います。

### 7.18.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| 0x40008000 | I2C コントロールレジスタ | I2Cn_CON | R/W | 0x0000007D | |
| 0x40008004 | I2C ターゲットアドレスレジスタ | I2Cn_TAR | R/W | 0x00000055 | |
| 0x40008008 | I2C スレーブアドレスレジスタ | I2Cn_SAR | R/W | 0x00000055 | |
| 0x40008010 | I2C Rx/Tx データバッファ・コマンドレジスタ | I2Cn_DATA_CMD | R/W | 0x00000000 | |
| 0x40008014 | スタンダード I2C クロック SCL ハイカウントレジスタ | I2Cn_SS_SCL_HCNT | R/W | 0x0000XXXX | |
| 0x40008018 | スタンダード I2C クロック SCL ローカウントレジスタ | I2Cn_SS_SCL_LCNT | R/W | 0x0000XXXX | |
| 0x4000801C | ファースト I2C クロック SCL ハイカウントレジスタ | I2Cn_FS_SCL_HCNT | R/W | 0x0000XXXX | |
| 0x40008020 | ファースト I2C クロック SCL ローカウントレジスタ | I2Cn_FS_SCL_LCNT | R/W | 0x0000XXXX | |
| 0x4000802C | I2C 割り込みステータスレジスタ | I2Cn_INTR_STAT | R | 0x00000000 | |
| 0x40008030 | I2C 割り込みマスクレジスタ | I2Cn_INTR_MASK | R/W | 0x000008FF | |
| 0x40008034 | I2C RAW 割り込みステータスレジスタ | I2Cn_RAW_INTR_STAT | R | 0x00000000 | |
| 0x40008038 | I2C 受信 FIFO 閾値レジスタ | I2Cn_RX_TL | R/W | 0x00000000 | |
| 0x4000803C | I2C 送信 FIFO 閾値レジスタ | I2Cn_TX_TL | R/W | 0x00000000 | |
| 0x40008040 | I2C 割り込みクリアレジスタ | I2Cn_CLR_INTR | R | 0x00000000 | |
| 0x40008044 | RX_UNDER 割り込みクリアレジスタ | I2Cn_CLR_RX_UNDER | R | 0x00000000 | |
| 0x40008048 | RX_OVER 割り込みクリアレジスタ | I2Cn_CLR_RX_OVER | R | 0x00000000 | |
| 0x4000804C | TX_OVER 割り込みクリアレジスタ | I2Cn_CLR_TX_OVER | R | 0x00000000 | |
| 0x40008050 | RD_REQ 割り込みクリアレジスタ | I2Cn_CLR_RD_REQ | R | 0x00000000 | |
| 0x40008054 | TX_ABRT 割り込みクリアレジスタ | I2Cn_CLR_TX_ABRT | R | 0x00000000 | |
| 0x40008058 | RX_DONE 割り込みクリアレジスタ | I2Cn_CLR_RX_DONE | R | 0x00000000 | |
| 0x4000805C | ACTIVITY 割り込みクリアレジスタ | I2Cn_CLR_ACTIVITY | R | 0x00000000 | |

| | | | | | |
|---|---|---|---|---|---|
| 0x40008060 | STOP_DET 割り込みクリアレジスタ | I2Cn_CLR_STOP_DET | R | 0x00000000 | |
| 0x40008064 | START_DET 割り込みクリアレジスタ | I2Cn_CLR_START_DET | R | 0x00000000 | |
| 0x40008068 | GEN_CALL 割り込みクリアレジスタ | I2Cn_CLR_GEN_CALL | R | 0x00000000 | |
| 0x4000806C | I2C イネーブルレジスタ | I2Cn_ENABLE | R/W | 0x00000000 | |
| 0x40008070 | I2C ステータスレジスタ | I2Cn_STATUS | R | 0x00000060 | |
| 0x40008074 | 送信 FIFO レベルレジスタ | I2Cn_TXFLR | R | 0x00000000 | |
| 0x40008078 | 受信 FIFO レベルレジスタ | I2Cn_RXFLR | R | 0x00000000 | |
| 0x4000807C | SDA ホールド時間レジスタ | I2Cn_SDA_HOLD | R/W | 0x00000001 | |
| 0x40008080 | I2C 送信アボートステータスレジスタ | I2Cn_TX_ABRT_SOURCE | R | 0x00000000 | |
| 0x40008084 | I2C SLV_DATA_NACK 生成レジスタ | I2Cn_SLV_DATA_NACK_ONLY | R/W | 0x00000000 | |
| 0x40008094 | I2C SDA セットアップレジスタ | I2Cn_SDA_SETUP | R/W | 0x00000064 | |
| 0x40008098 | I2C ACK GENERAL CALL レジスタ | I2Cn_ACK_GENERAL_CALL | R/W | 0x00000001 | |
| 0x4000809C | I2C イネーブルステータスレジスタ | I2Cn_ENABLE_SATUS | R | 0x00000000 | |
| 0x400080A0 | I2C スパイク抑止リミットレジスタ | I2Cn_FS_SPKLEN | R/W | 0x00000002 | |
| 0x400080F4 | 構成パラメータレジスタ 1 レジスタ | I2Cn_COMP_PARAM_1 | R | 0x000007AA | |
| 0x400080F8 | I2C コンポーネントバージョンレジスタ | I2Cn_COMP_VERSION | R | 0x3132302A | |
| 0x400080FC | I2Cコンポーネントタイプレジスタ | I2Cn_COMP_TYPE | R | 0x44570140 | |

※ n はモジュール番号(n=0)を示します。

## 7.18.3 レジスタ説明

### 7.18.3.1 I2C コントロールレジスタ: BASE+0x00 (I2Cn_CON)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | IC_CON[6:0] | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| R/W | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 | 備考 |
|---|---|---|---|---|
| IC_CON[6] | IC_SLAVE_DISABLE | R/W | スレーブ機能を無効にします。<br>0: スレーブは有効です。<br>1: スレーブは無効です。 | |
| ~~IC_CON[5]~~ | ~~IC_RESTART_EN~~ | ~~R/W~~ | ~~マスタモード時に RESTART 状態を送信するかどうかを決定します。~~<br>~~0: RESTART 送信が無効です。~~<br>~~1: RESTART 送信が有効です。~~ | |
| IC_CON[4] | IC_10BITADDR_MASTER | R/W | マスタモード時のアドレッシングを設定します。<br>0: 7-bit アドレッシング<br>1: 10-bit アドレッシング | |
| IC_CON[3] | IC_10BITADDR_SLAVE | R/W | スレーブモード時のアドレッシングを設定します。<br>0: 7-bit アドレッシング<br>1: 10-bit アドレッシング | |
| IC_CON[2:1] | SPEED | R/W | 転送速度を設定します。<br>1: スタンダードモード<br>2: ファーストモード | |
| IC_CON[0] | MASTER_MODE | R/W | マスタ機能を有効にします。<br>0: マスタ機能は無効です。<br>1: マスタ機能は有効です。 | |

※ IC_CON[6]と IC_CON[0]には、同時に異なる値を設定することは出来ません。

スレーブとして動作する場合は、IC_CON[6]=0 && IC_CON[0]=0 に設定してください。

マスタとして動作する場合は、IC_CON[6]=1 && IC_CON[0]=1 に設定してください。

※ マスタ動作とスレーブ動作を切り替える場合は、ペリフェラルリセットレジスタにより、I2C モジュールをリセットしてください。

7.18.3.2 I2C ターゲットアドレスレジスタ: BASE+0x04(I2Cn_TAR)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | IC_TAR[12:0] | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 | 備考 |
|---|---|---|---|---|
| IC_TAR[11] | SPECIAL | R/W | General Call または START BYTE の使用を設定します。<br>0: IC_STAR[10]の GC_OR_START を無視して、IC_TART[9:0]を使用します。<br>1: GC_OR_START に設定された I2C コマンドを使用します。 | |
| IC_TAR[10] | GC_OR_START | R/W | IC_TAR[11]の SPECIAL ビットがセットされている時に、General Call または START BYTE コマンドを選択します。<br>0: General call address<br>1: START byte | |
| IC_TAR[9:0] | IC_TAR | R/W | マスタ動作時のターゲットアドレスを設定します。General Call 送信時は、本フィールドは無視されます。START BYTE 生成には、本フィールドに 1 回だけライトする必要があります。 | |

### 7.18.3.3 I2C スレーブアドレスレジスタ: BASE+0x08(I2Cn_SAR)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | IC_SAR[9:0] | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 | 備考 |
|---|---|---|---|---|
| IC_SAR[9:0] | IC_SAR | R/W | スレーブ動作時のスレーブアドレスを設定します。<br>7-bit アドレッシング時は IC_SAR[6:0]のみ使用されます。<br>本フィールドへの書き込みは、I2C インターフェースが無効である時、すなわち、IC_ENABLE[0]が 0 の時のみ可能となります。 | |

### 7.18.3.4 I2C Rx/Tx バッファ・データコマンド: BASE+0x10(I2Cn_DATA_CMD)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | IC_DATA_CMD[10:0] | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 | 備考 |
|---|---|---|---|---|
| IC_DATA_CMD[8] | CMD | W | マスタ動作時に、リードまたはライト動作を選択します。<br>0: ライト<br>1: リード | |
| IC_DATA_CMD[7:0] | DAT | R/W | 送信または受信データを格納します。 | |

7.18.3.5 スタンダード I2C クロック SCL ハイカウントレジスタ: BASE+0x14(I2Cn_SS_SCL_HCNT)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | IC_SS_SCL_HCNT[15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

スタンダードモード時の SCL クロックの H 区間のサイクル数を設定します。

本レジスタは、I2C インターフェースが無効の状態(IC_ENABLE[0]が 0 の状態)でセットしてください。

設定可能な値は 6 以上です。6 未満の値をライトした場合は、6 がライトされます。

7.18.3.6 スタンダード I2C クロック SCL ローカウントレジスタ: BASE+0x18(I2Cn_SS_SCL_LCNT)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | IC_SS_SCL_LCNT[15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

スタンダードモード時の SCL クロックの L 区間のサイクル数を設定します。

本レジスタは、I2C インターフェースが無効の状態(IC_ENABLE[0]が 0 の状態)でセットしてください。

設定可能な値は 8 以上です。8 未満の値をライトした場合は、8 がライトされます。

7.18.3.7 ファースト I2C クロック SCL ハイカウントレジスタ: BASE+0x1C(I2Cn_FS_SCL_HCNT)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | IC_FS_SCL_HCNT[15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

ファーストモード時の SCL クロックの H 区間のサイクル数を設定します。

本レジスタは、I2C インターフェースが無効の状態(IC_ENABLE[0]が 0 の状態)でセットしてください。

設定可能な値は 6 以上です。6 未満の値をライトした場合は、6 がライトされます。

7.18.3.8 ファースト I2C クロック SCL ローカウントレジスタ: BASE+0x20(I2Cn_FS_SCL_LCNT)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | IC_FS_SCL_LCNT[15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

ファーストモード時の SCL クロックの L 区間のサイクル数を設定します。

本レジスタは、I2C インターフェースが無効の状態(IC_ENABLE[0]が 0 の状態)でセットしてください。

設定可能な値は 8 以上です。8 未満の値をライトした場合は、8 がライトされます。

〇パルス幅

SCL H パルス幅: SCL_H_time
SCL L パルス幅: SCL_L_time
は、以下の式で表現できます。
※SCL_Fall_time, SCL_Rise_time は、システム構成に依存します。

スタンダードモード(100KHz)

SCL_H_time = (I2C_SS_SCL_HCNT[15:0] + I2C_SS_SPKLEN[7:0] + 6) × I2C リファレンスクロック周期 + SCL_Fall_time
SCL_L_time = (I2C_SS_SCL_LCNT[15:0] + 1) × I2C リファレンスクロック周期 - SCL_Fall_time + SCL_Rise_time

ファーストモード(400KHz)

SCL_H_time = (I2C_FS_SCL_HCNT[15:0] + I2C_FS_SPKLEN[7:0] + 6) × I2C リファレンスクロック周期 + SCL_Fall_time
SCL_L_time = (I2C_FS_SCL_LCNT[15:0] + 1) × I2C リファレンスクロック周期 - SCL_Fall_time + SCL_Rise_time

I2C クロックを設定する場合は、上記の式を参考に下記の条件を満たすように各パルス幅を調整してください。

スタンダードモード(100KHz):SCL_H_time + SCL_L_time = 10us
ファーストモード(400KHz):SCL_H_time + SCL_L_time = 2.5us

7.18.3.9 I2C 割り込みステータスレジスタ: BASE+0x2C (I2Cn_INTR_STAT)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | IC_INTR_STAT | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 | 備考 |
|---|---|---|---|---|
| IC_INTR_STAT[11] | R_GEN_CALL | R | 割り込みステータスを示します。<br>各ビットの詳細については、割り込み RAW ステータスレジスタを参照してください。本レジスタはマスクされた割り込みステータスが読み出されます。<br>割り込み要因をクリアするには、該当する割り込み要因に対応した割り込みクリアレジスタをリードしてください。 | |
| IC_INTR_STAT[10] | R_START_DET | R | | |
| IC_INTR_STAT[9] | R_STOP_DET | R | | |
| IC_INTR_STAT[8] | R_ACTIVITY | R | | |
| IC_INTR_STAT[7] | R_RX_DONE | R | | |
| IC_INTR_STAT[6] | R_TX_ABRT | R | | |
| IC_INTR_STAT[5] | R_RD_REQ | R | | |
| IC_INTR_STAT[4] | R_TX_EMPTY | R | | |
| IC_INTR_STAT[3] | R_TX_OVER | R | | |
| IC_INTR_STAT[2] | R_RX_FULL | R | | |
| IC_INTR_STAT[1] | R_RX_OVER | R | | |
| IC_INTR_STAT[0] | R_RX_UNDER | R | | |

7.18.3.10 I2C 割り込みマスクレジスタ: BASE+0x30 (I2Cn_INTR_MASK)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | IC_INTR_MASK | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| ビット | 名前 | R/W | 説明 | 備考 |
|---|---|---|---|---|
| IC_INTR_MASK[11] | M_GEN_CALL | R/W | 対応する割り込み要因をマスクします。 | |
| IC_INTR_MASK[10] | M_START_DET | R/W | 0: マスク | |
| IC_INTR_MASK[9] | M_STOP_DET | R/W | 1: マスクなし | |
| IC_INTR_MASK[8] | M_ACTIVITY | R/W | | |
| IC_INTR_MASK[7] | M_RX_DONE | R/W | | |
| IC_INTR_MASK[6] | M_TX_ABRT | R/W | | |
| IC_INTR_MASK[5] | M_RD_REQ | R/W | | |
| IC_INTR_MASK[4] | M_TX_EMPTY | R/W | | |
| IC_INTR_MASK[3] | M_TX_OVER | R/W | | |
| IC_INTR_MASK[2] | M_RX_FULL | R/W | | |
| IC_INTR_MASK[1] | M_RX_OVER | R/W | | |
| IC_INTR_MASK[0] | M_RX_UNDER | R/W | | |

7.18.3.11 I2C 割り込み RAW ステータスレジスタ: BASE+0x34(I2Cn_RAW_INTR_STAT)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | IC_RAW_INTR_STAT | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | R/W | 説明 | 備考 |
|---|---|---|---|---|
| IC_RAW_INTR_STAT[11] | GEN_CALL | R | General Call アドレス、または、それに対する応答を受信した時にセットされます。 | |
| IC_RAW_INTR_STAT[10] | START_DET | R | START ~~または RESTART~~ 状態が発生した時にセットされます。 | |
| IC_RAW_INTR_STAT[9] | STOP_DET | R | STOP 状態が発生したと時にセットされます。 | |
| IC_RAW_INTR_STAT[8] | ACTIVITY | R | 本 I2C 回路がアクティブになるとセットされます。クリア条件は次の 4 つです。<br>・本 I2C をディスイネーブルにする<br>・IC_CLR_ACTIVITY レジスタリード<br>・IC_CLR_INTR レジスタリード<br>・リセット | |
| IC_RAW_INTR_STAT[7] | RX_DONE | R | スレーブトランスミッタとして動作している時に、マスタからの応答がない場合、本ビットは 1 にセットされます。 | |
| IC_RAW_INTR_STAT[6] | TX_ABRT | R | トランスミッタとして動作中に、送信 FIFO 内のデータ送信を完了出来なかった場合に本ビットは 1 にセットされます。<br>詳細なアボート要因については、I2C 送信アボートステータスレジスタに格納されます。 | |
| IC_RAW_INTR_STAT[5] | RD_REQ | R | スレーブとして動作時に、マスタからデータリードが発生すると、本ビットは 1 にセットされます。割り込み処理を開始するまで、I2C バスはウェイト状態を継続します。ホストCPU は、本割り込み要因がアサートされた時は、IC_DATA_CMD にデータをライトする必要があります。 | |
| IC_RAW_INTR_STAT[4] | TX_EMPTY | R | 本ビットは、送信バッファが I2C 送信 FIFO 閾値レジスタで設定した値以下の時に 1 にセットされます。送信バッファが送信 FIFO 閾値レジスタの | |

| | | | | |
|---|---|---|---|---|
| | | | 設定値を超えると、自動的にクリアされます。 | |
| IC_RAW_INTR_STAT[3] | TX_OVER | R | 送信バッファがフルの状態で、IC_DATA_CMD にデータをライトした場合に、本ビットは 1 にセットされます。 | |
| IC_RAW_INTR_STAT[2] | RX_FULL | R | 受信バッファ内のデータ数が I2C 受信 FIFO 閾値レジスタに設定した値以上になると、本ビットは 1 にセットされます。受信 FIFO 閾値レジスタの設定値未満になると、自動的にクリアされます。 | |
| IC_RAW_INTR_STAT[1] | RX_OVER | R | 受信バッファがフルの状態で、外部からデータを受信した場合、本ビットは 1 にセットされます。I2C バス上で送信側に対する応答は行いますが、受信データは破棄されます。 | |
| IC_RAW_INTR_STAT[0] | RX_UNDER | R | 受信バッファが空の状態で IC_DATA_CMD レジスタをリードすると、本ビットは 1 にセットされます。 | |

7.18.3.12 I2C 受信 FIFO 閾値レジスタ: BASE+0x38(I2Cn_RX_TL)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | RX_TL[7:0] | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW |

受信 FIFO の閾値レベルを設定します。

7.18.3.13 I2C 送信 FIFO 閾値レジスタ: BASE+0x3C (I2Cn_TX_TL)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | TX_TL[7:0] | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW |

送信 FIFO の閾値レベルを設定します。

7.18.3.14 I2C 割り込みクリアレジスタ: BASE+0x40 (I2Cn_CLR_INTR)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_INTR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタを読み出すと、割り込み要因および送信アボートステータスレジスタをクリアします。ハードウェアによってクリアされる要因は、クリアされません。

7.18.3.15 RX_UNDER 割り込みクリアレジスタ: BASE+0x44 (I2Cn_CLR_RX_UNDER)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_RX_UNDER |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタをリードすると、RX_UNDER 割り込みをクリアします。

7.18.3.16 RX_OVER 割り込みクリアレジスタ: BASE+0x48 (I2Cn_CLR_RX_OVER)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_RX_OVER |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタをリードすると、RX_OVER 割り込みをクリアします。

7.18.3.17 TX_OVER 割り込みクリアレジスタ: BASE+0x4C(I2Cn_CLR_TX_OVER)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_TX_OVER |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタをリードすると、TX_OVER 割り込みをクリアします。

7.18.3.18 RD_REQ 割り込みクリアレジスタ: BASE+0x50(I2Cn_CLR_RD_REQ)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_RD_REQ |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタをリードすると、RD_REQ 割り込みをクリアします。

7.18.3.19 TX_ABRT 割り込みクリアレジスタ: BASE+0x54 (I2Cn_CLR_TX_ABRT)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_TX_ABRT |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタをリードすると、TX_ABRT 割り込みおよび送信アボートステータスレジスタをクリアします。

7.18.3.20 RX_DONE 割り込みクリアレジスタ: BASE+0x58 (I2Cn_CLR_RX_DONE)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_RX_DONE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタをリードすると、RX_DONE 割り込みをクリアします。

7.18.3.21 ACTIVITY 割り込みクリアレジスタ: BASE+0x5C (I2Cn_CLR_ACTIVITY)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_ACTIVITY |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタをリードすると、I2C モジュールが active でない場合は ACTIVITY 割り込みをクリアします。Active である場合は、1 がセットされた状態を継続します。

7.18.3.22 STOP_DET 割り込みクリアレジスタ: BASE+0x60 (I2Cn_CLR_STOP_DET)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_STOP_DET |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタをリードすると、STOP_DET 割り込みをクリアします。

7.18.3.23 START_DET 割り込みクリアレジスタ: BASE+0x64(I2Cn_CLR_START_DET)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_START_DET |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタをリードすると、START_DET 割り込みをクリアします。

7.18.3.24 GEN_CALL 割り込みクリアレジスタ: BASE+0x68 (I2Cn_CLR_GEN_CALL)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_GEN_CALL |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本レジスタをリードすると、GEN_CALL 割り込みをクリアします。

7.18.3.25 IC_ENABLE 割り込みクリアレジスタ: BASE+0x6C (I2Cn_ENABLE)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | ABORT | ENABLE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW |

| ビット | 名前 | R/W | 説明 | 備考 |
|---|---|---|---|---|
| IC_ENABLE[1] | ABORT | R/W | ABORT を開始すると、本ビットは 1 にセットされます。<br>0: ABORT を開始していない時、または、ABORT が完了済みであることを示します。<br>1: ABORT 動作を実行中であることを示します。 | |
| IC_ENABLE[0] | ENABLE | R/W | I2C モジュールを有効にします。<br>0: I2C モジュールは無効です。<br>1: I2C モジュールは有効です。 | |

※ABORT は、送信 FIFO(I2Cn_STATUS[2]=1)かつ Master のステートマシンが Active(IDLE ではない、I2Cn_STATUS[5]=1)の場合のみとしてください。

7.18.3.26 I2C ステータスレジスタ: BASE+0x70 (I2Cn_STATUS)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | IC_STATUS | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | 説明 | 備考 |
|---|---|---|---|
| IC_STATUS[6] | SLV_ACTIVITY | Slave のステートマシンが Active である(IDLE ではない)ことを示します。<br>0: IDLE<br>1: not IDLE | |
| IC_STATUS[5] | MST_ACTIVITY | Master のステートマシンが Active である(IDLE ではない)ことを示します。<br>0: IDLE<br>1: not IDLE | |
| IC_STATUS[4] | RFF | 0: 受信 FIFO がフルではないことを示します。<br>1: 受信 FIFO がフルであることを示します。 | |
| IC_STATUS[3] | RFNE | 0: 受信 FIFO が空であることを示します。<br>1: 受信 FIFO が空ではないことを示します。 | |
| IC_STATUS[2] | TFE | 0: 送信 FIFO が空ではないことを示します。<br>1: 送信 FIFO が空であることを示します。 | |
| IC_STATUS[1] | TFNF | 0: 送信 FIFO がフルであることを示します。<br>1: 送信 FIFO がフルではないことを示します。 | |
| IC_STATUS[0] | ACTIVITY | I2C の Activity ステータスを示します。 | |

7.18.3.27 I2C 送信 FIFO レベルレジスタ: BASE+0x74 (I2Cn_TXFLR)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | TXFLR | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

送信 FIFO 中に含まれる有効なデータ数を示します。

7.18.3.28 I2C 受信 FIFO レベルレジスタ: BASE+0x78(I2Cn_RXFLR)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | RXFLR | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

受信 FIFO 中に含まれる有効なデータ数を示します。

7.18.3.29 I2C SDA ホールド時間レジスタ: BASE+0x7C (I2Cn_SDA_HOLD)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | IC_SDA_HOLD[15:0] | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

SDA のホールド時間を設定します。1 から 4 が設定可能です。(I2C モジュールに供給されるソースクロックのサイクル単位)

7.18.3.30 I2C 送信アボートステータスレジスタ: BASE+0x80(I2Cn_TX_ABRT_SOURCE)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | TX_ABRT_SOURCE | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | 説明 | 備考 |
|---|---|---|---|
| TX_ABORT_SOURCE[31:24] | TX_FLUSH_CNT | TX_ABRT が発生した時点の送信 FIFO レベルを保持します。 | マスタ送信 |
| TX_ABORT_SOURCE[23:17] | Reserved | | |
| TX_ABORT_SOURCE[16] | ABRT_USER_ABRT | マスタが送信アボートを検出すると、本ビットは 1 にセットされます。 | マスタ送信 |
| TX_ABORT_SOURCE[15] | ABRT_SLVRD_INTX | スレーブモード時にマスタからのデータ要求に対して、IC_DATA_CMD レジスタの CMD ビットをセット(Read 設定)した時に 1 にセットされます。 | スレーブ送信 |
| TX_ABORT_SOURCE[14] | ABRT_SLV_ARBLOST | スレーブがマスタに対してデータ送信中にバス権を失った時に本ビットは 1 にセットされます。 | スレーブ送信 |
| TX_ABORT_SOURCE[13] | ABRT_SLVFLUSH_TXFIFO | スレーブモード時にマスタからのリードコマンドを受信した時に、送信 FIFO にデータが残っている場合、送信 FIFO の古いデータを消去するため、本ビットをセットして TX_ABRT 割り込みを発生させます。 | スレーブ送信 |
| TX_ABORT_SOURCE[12] | ARB_LOST | マスタがアービトレーションを喪失した時、または、TX_ABORT_SOURCE[14]がセットされると、本ビットは 1 にセットされます。 | マスタ送信<br>スレーブ送信 |
| TX_ABORT_SOURCE[11] | ABRT_MSTER_DIS | マスタモードが無効時に、マスタ動作を開始しようとした場合に本ビットは 1 にセットされます。 | マスタ送信<br>マスタ受信 |
| TX_ABORT_SOURCE[10] | ABRT_10B_RD_NORSTRT | RESTART が無効設定時にマスタが 10-bit アドレッシ | マスタ |

| | | | |
|---|---|---|---|
| | | ングでリードコマンドを発行した時に本ビットが 1 にセットされます。 | 受信 |
| TX_ABORT_SOURCE[9] | ABRT_SBYTE_NORSTRT | RESTART が無効設定時に START バイトを送信しようとした場合に本ビットは 1 にセットされます。 | マスタ |
| TX_ABORT_SOURCE[8] | Reserved | | HS Only |
| TX_ABORT_SOURCE[7] | ABRT_SBYTE_ACKDET | START バイト送信後に Ack を受信した場合に本ビットは 1 にセットされます。 | マスタ |
| TX_ABORT_SOURCE[6] | Reserved | | HS Only |
| TX_ABORT_SOURCE[5] | ABRT_GCALL_READ | マスタモード時に General Call の次に、リードコマンドを送信しようとした場合に本ビットは 1 にセットされます。 | マスタ送信 |
| TX_ABORT_SOURCE[4] | ABRT_GCALL_NOACK | マスタモード時に General Call 送信に対して、どのスレーブからも応答がない場合に本ビットは 1 にセットされます。 | マスタ送信 |
| TX_ABORT_SOURCE[3] | ABRT_TXDATA_NOACK | マスタモード時にデータ送信に対して、どのスレーブからも応答がない場合に本ビットは 1 にセットされます。 | マスタ送信 |
| TX_ABORT_SOURCE[2] | ABRT_10ADDR2_NOACK | マスタモード時に 10-bit アドレッシングでの 2 番目のアドレスバイト送信に対して、どのスレーブからも応答がない時に本ビットは 1 にセットされます。 | マスタ送信<br>マスタ受信 |
| TX_ABORT_SOURCE[1] | ABRT_10ADDR1_NOACK | マスタモード時に 10-bit アドレッシングでの最初のアドレスバイト送信に対して、どのスレーブからも応答がない時に本ビットは 1 にセットされます。 | マスタ送信<br>マスタ受信 |
| TX_ABORT_SOURCE[0] | ABRT_7B_ADDR_NOACK | マスタモード時に 7-bit アドレッシングでのアドレス送信に対して、どのスレーブからも応答がない時に本ビットは 1 にセットされます。 | マスタ送信<br>マスタ受信 |

7.18.3.31 I2C SLV_DATA_NACK 生成レジスタ: BASE+0x84(I2Cn_SLV_DATA_NACK_ONLY)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | NACK |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

NACK を生成します。スレーブレシーバとして動作している時のみ有効です。

本レジスタ 1 をセットすると、データバイト受信後に NACK を生成します。データ転送はアボートとなり、受信したデータが受信バッファへ格納されることはありません。

本レジスタが 0 の時は、通常の基準に従って NACK/ACK が生成されます。

7.18.3.32 I2C SDA セットアップ時間レジスタ: BASE+0x94(I2Cn_SDA_SETUP)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | SDA_SETUP[7:0] | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW |

(SDA_SETUP[7:0]-1 ) * (ic_clk period)をセットアップ時間として使用します。

設定可能な最小値は 2 です。

7.18.3.33 I2C ACK GENERAL CALL レジスタ: BASE+0x98 (I2Cn_ACK_GENERAL_CALL)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | ACK_GEN_CALL |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

GENERAL CALL 受信時の応答(NACK または ACK)を設定します。

0: GENERAL CALL を受信しても応答は行わず、General Call 割り込みも生成しません。

1: GENERAL CALL 受信時に ACK 応答を行います。

7.18.3.34 I2C イネーブルステータレジスタ: BASE+0x9C (I2C_ENABLE_STATUS)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | IC_ENABLE_STATUS | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | 説明 | 備考 |
|---|---|---|---|
| IC_ENABLE_STATUS[2] | SLV_RX_DATA_LOST | スレーブレシーバとして動作中に IC_ENABLE[0]が 1 から 0 に切り替わることにより、少なくとも 1 データバイトの受信がアボートとなったことを示します。 | |
| IC_ENABLE_STATUS[1] | SLV_DISABLED_WHILE_BUSY | スレーブトランスミッタまたはレシーバとして動作中に IC_ENABLE[0]が 1 から 0 に切り替わることにより、スレーブ動作がアボートとなったことを示します。 | |
| IC_ENABLE_STATUS[0] | IC_EN | 1: 本モジュールが有効な状態です。<br>0: 本モジュールは無効な状態です。 | |

7.18.3.35 I2C スパイク抑止リミットレジスタ: BASE+0xA0(I2Cn_FS_SPKLEN)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | IC_FS_SPKLEN | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW |

SCL, SDA に発生するスパイクの最長時間を設定します。(ic_clk 単位)

本レジスタで設定した値以下のスパイクはスパイク抑止回路により除去されます。

設定可能な最小値は 1 です。

7.18.3.36 コンポーネントレジスタ 1: BASE+0xf4 (I2Cn_COMP_PARAM_1)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | IC_CMP_PARAM_1 | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | 名前 | 説明 | 備考 |
|---|---|---|---|
| IC_CMP_PARAM_1[23:16] | TX_BUFFER_DEPTH | 送信バッファ、受信バッファサイズと関連付けられています。 | |
| IC_CMP_PARAM_1[15:8] | RX_BUFFER_DEPTH | 0x00=Reserved<br>0x01=2<br>0x02=3<br>:<br>0xFF=256 | |
| IC_CMP_PARAM_1[7] | ADD_ENCODE_PARAMS | 名前に同じパラメータの値を示します。 | |
| IC_CMP_PARAM_1[6] | HAS_DMA | | |
| IC_CMP_PARAM_1[5] | INTR_IO | | |
| IC_CMP_PARAM_1[4] | HC_COUNT_VALIES | | |
| IC_CMP_PARAM_1[3:2] | MAX_SPEED_MODE | | |
| IC_CMP_PARAM_1[1:0] | APB_DATA_WIDTH | | |

7.18.3.37 I2C コンポーネントレジスタバージョンレジスタ: BASE+0xf8(I2Cn_COMP_VERSION)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | IC_CMP_VERSION | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

コンポーネントバージョン ID。

7.18.3.38 I2C コンポーネントタイプレジスタ: BASE+0xfc(I2Cn_COMP_TYPE)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | IC_CMP_TYPE | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

ハードウエアのコンポーネントタイプナンバー。

## 7-19.フラッシュ ROM コントローラ

### 7.19.1 概要

内蔵フラッシュ ROM を制御するメモリコントローラです。

フラッシュ ROM の読み出し時に AHB スレーブとして動作します。

フラッシュ ROM の消去/書き込み/レジスタアクセスは APB スレーブとして動作します。

※1 バンクモード時、SUB 側へのコントローラのレジスタアクセスは以下となります。

・ライトは無視されます。

・リード時は 0 がリードされます。

### 7.19.2 レジスター覧

| アドレス[H] | 名称 | 略称[8] | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| BASE+0x00 | Flash-ROM ステータス | FLCnSTA | R | 0000_0000 | |
| BASE+0x04 | Flash-ROM アクセプタ | FLCnACP | W | 0000_0000 | |
| BASE+0x08 | Flash-ROM アドレス | FLCnADR | R/W | 0000_0000 | |
| BASE+0x0C | Flash-ROM ライトデータ | FLCnWDA | W | 0000_0000 | |
| BASE+0x10 | Flash-ROM イレース | FLCnERA | R/W | 0000_0000 | |
| BASE+0x14 | Flash-ROM コントロール | FLCnCTR | R/W | 0000_0001 | |
| BASE+0x1C | Flash-ROM プロテクトステータス | FLCn_PSTA | R | FFFF_FFFF | |
| BASE+0x20 | Flash-ROM サイズ | FLCnRSIZ | R | 0008_0000 | |
| BASE+0x24 | ブートプログラムアドレス | FLCnBADR | R | 0003_E800 | |
| BASE+0x28 | 割り込みマスク | FLCnINTMSK | R/W | 0000_001F | |
| BASE+0x2C | 割り込みステータス | FLCnINTSTA | R/W | 0000_0000 | |
| BASE+0x30 | RAW 割り込みステータス | FLCnRINTSTA | R/W | 0000_0000 | |
| BASE+0xC4 | Flash-ROM エラーステータス | FLCn_ERRSTA | R/W | 0000_0000 | |
| BASE+0xD0 | プロテクトロックキー解除 | FLCn_PROTUNLOCK | W | 0000_0000 | |
| BASE+0xD4 | プロテクトロックキーステータス | FLCn_PROTLOCKSTA | RW | 0000_0002 | |
| BASE+0xD8 | Flash-ROM プロテクトセットライ | FLCn_PROTWDA | W | 0000_0000 | |

[8] n は複数の Flash-ROM コントローラを搭載時の識別番号です。n=0 から始まります。Flash-ROM コントローラが 1 個の場合は 0 となります。

| | | | | | |
|---|---|---|---|---|---|
| | トデータ | | | | |
| BASE+0xDC | Flash-ROMプロテクトセットイレース | FLCn_PROTERA | R/W | 0000_0000 | |
| BASE+0x100 | Flash-ROM構成情報 | FLCn_CONFIG | R | 0000_0002 | |
| BASE+0x110 | Flash-ROMコードユーザーアプリケーション領域#0アドレス | FLCn_CU0ADR | R | 1000_0000 | |
| BASE+0x114 | Flash-ROMコードプロテクトセット領域#0アドレス | FLCn_CP0ADR | R | 0000_0000 | |
| BASE+0x118 | Flash-ROMコードブートプログラム領域#0アドレス | FLCn_CB0ADR | R | 1003_E800 | |
| BASE+0x11C | Flash-ROMコード領域#0サイズ | FLCn_C0SIZ | R | 0004_0000 | |
| BASE+0x120 | Flash-ROMデータユーザーアプリケーション領域#0アドレス | FLCn_DU0ADR | R | 1800_0000 | |
| BASE+0x124 | Flash-ROMデータプロテクトセット領域#0アドレス | FLCn_DP0ADR | R | 0000_0000 | |
| BASE+0x128 | Flash-ROMデータブートプログラム領域#0アドレス | FLCn_DB0ADR | R | 1803_E800 | |
| BASE+0x12C | Flash-ROMデータ領域#0サイズ | FLCn_D0SIZ | R | 0004_0000 | |
| BASE+0x140 | Flash-ROMコードユーザーアプリケーション領域#1アドレス | FLCn_CU1ADR | R | 1400_0000/1000_0000 | |
| BASE+0x144 | Flash-ROMコードプロテクトセット領域#1アドレス | FLCn_CP1ADR | R | 1403_E800/1003_E800 | |
| BASE+0x148 | Flash-ROMコードブートプログラム領域#1アドレス | FLCn_CB1ADR | R | 1403_EA00/1003_EA00 | |
| BASE+0x14C | Flash-ROMコード領域#1サイズ | FLCn_C1SIZ | R | 0004_0000 | |
| BASE+0x150 | Flash-ROMデータユーザーアプリケーション領域#1アドレス | FLCn_DU1ADR | R | 1C00_0000 | |
| BASE+0x154 | Flash-ROMデータプロテクトセット領域#1アドレス | FLCn_DP1ADR | R | 1C03_E800 | |
| BASE+0x158 | Flash-ROMデータブートプログラム領域#1アドレス | FLCn_DB1ADR | R | 1C03_EA00 | |
| BASE+0x15C | Flash-ROMデータ領域#1サイズ | FLCn_D1SIZ | R | 0004_0000 | |

※ nはモジュール番号(n=0,1)を示します。

※ FLC0(n=0)のベースアドレスは0x40000400です。制御対象フラッシュROM領域は、0x1800_0000-0x1803_FFFF です。

※ FLC1(n=1)のベースアドレスは0x40000600です。制御対象フラッシュROM領域は、0x1C00_0000-0x1C03_FFFF です。

## 7.19.3 レジスタ説明

### 7.19.3.1 Flash-ROM ステータスレジスタ: BASE+0x00

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | Reserved | Reserved | | | | | | | | | | | | BUSY11 | BUSY10 | BUSY01 | BUSY00 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| BUSYxx | フラッシュ ROM の状態を読み出します。<br>Flash xx がチップ消去/ブロック消去/セクタ消去/1 ワード書き込み中に”1”になります。チップ消去/ブロック消去/セクタ消去/1 ワード書き込みが完了した後、自動的に”0”となります。<br>本ビットはプロテクトロックキー解除時にプロテクトセット領域へセクタ消去実施時も”1”となります。(Flash xx にプロテクトセット領域がある場合)<br>本ビットは、2 バンクモード時は MAIN 側のコントローラでのみ有効となります。<br>1: チップ消去, ブロック消去, セクタ消去, 1 ワードプログラム中であることを示します。<br>0: チップ消去, ブロック消去, セクタ消去, 1 ワードプログラム中を実行していない(完了した)ことを示します。 |

### 7.19.3.2 Flash-ROM アクセプタレジスタ: BASE+0x04

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | FAC[7:0] | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

| | |
|---|---|
| FAC[7:0] | FAC07～FAC00 は、チップ消去とセクタ消去とブロック消去と１ワード書き込みの誤作動を防止するため、チップ消去とセクタ消去とブロック消去と１ワード書き込みの動作を制限するレジスタです。<br>FLCn_ACP に“0000_00FAH”、“0000_00F5H”の順序で書き込むと、各消去、もしくは１ワード書き込み機能が一度だけ許可状態となります。連続してセクタ消去とブロック消去、もしくは１ワード書込みを使用する場合は、毎回、FLCn_ACP に“0000_00FAH”、“0000_00F5H”を書き込む必要があります。FLCn_ACP への“0000_00FAH”書き込みと“0000_00F5H”書き込みの間に他の命令が入っても、各消去、もしくは１ワード書き込み機能は許可状態になります。ただし、“0000_00FAH”書き込み後に“0000_00F5H”以外のデータを FLCn_ACP に書き込むと禁止状態となるため、許可状態とするためには再度“0000_00FAH”から書き込む必要があります。また、“0000_00FAH”、“0000_00F5H”の書き込み後、消去もしくは１ワード書き込みを実行せず FLCn_ACP に書き込みを行うと値にかかわらず禁止状態となるため、許可状態とするためには再度“0000_00FAH”、“0000_00F5H”の順序で書き込必要があります。 |

| 状態 | 説明 |
|---|---|
| 禁止 | 書込み・消去実行不可 |
| 要請 | 書込み・消去実行不可 |
| 許可 | 書込み・消去実行可 |

| 状態 | 本レジスタの読み出し値 | 遷移条件 |
|---|---|---|
| 禁止 | 0H | ・禁止状態で FLCn_ACP に FAH 以外のデータをライト<br>・要請状態で FLCn_ACP に F5H 以外のデータをライト<br>・許可状態で FLCn_ACP に任意のデータのライト<br>・許可状態で書き込み・消去の完了<br>・FLCn_PROTUNLOCK へのライト<br>・プロテクトロックキー解除動作（PROTUNLOCKWE=1） |
| 要請 | 1H | 以下の 3 条件がそろった時<br>・書き込み・消去実施中でないとき（BUSY00～BUSY11 =0）<br>・プロテクトロックキー解除動作中でないとき（PROTUNLOCKWE=1）<br>・禁止状態で FLCn_ACP に FAH をライト |
| 許可 | 2H | 要請状態で、FLCn_ACP に F5H をライト |

【注意】

FLCn_ACP レジスタが許可状態にて、FLE フィールドに”00”を書き込んでも、許可状態は維持されます。

プロテクトロックキー解除動作中は Flash-ROM への書き込み・消去動作は禁止です。

もし、プロテクトロックキー解除によるユーザーアプリケーション領域の全消去と、通常の Flash-ROM への書き込み・消去が同時に実行された場合は、プロテクトロックキー解除によるユーザーアプリケーション領域の全消去が優先されます。

7.19.3.3 Flash-ROM アドレスレジスタ: BASE+0x08

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FA[31:2] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | Reserved | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | R | R |

| | |
|---|---|
| FA[31:2] | FA31～FA02 は、部分消去、1 ワード書き込み時のアドレスを設定するビットです。本レジスタへフラッシュメモリ領域のバイトアドレスを書き込むと、Flash-ROM のアドレスへ設定されます。<br>本レジスタへは書き込む Flash-ROM の絶対アドレスをライトしてください。<br>Flash-ROM のアドレス幅を超える上位ビットは指定された領域が Flash-ROM の割り当てられた領域であるかの判定に用います。<br>Flash-ROM 領域でない場合、書き込み・消去は無視されます。 |

7.19.3.4 Flash-ROM ライトデータレジスタ: BASE+0x0C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FD[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |

| | |
|---|---|
| FD[31:0] | FD31～FD00 は、ユーザーアプリケーション領域及び、ブートプログラム領域への1ワード書き込み時の書き込みデータを設定するビットです。<br>FD31～FD00 への書き込みにより1ワード書き込みが開始されます。 |

【注意】

書き込むアドレスの内容はあらかじめ消去しておいてください。上書きによる書き込みアドレスの内容は保証されません。

本レジスタではプロテクトセット領域への書き込みはできません。

7.19.3.5 Flash-ROM イレースレジスタ: BASE+0x10

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | FLE [1:0] | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW |

| | |
|---|---|
| FLE[1:0] | FLE は、ユーザーアプリケーション領域及び、ブートプログラム領域への消去の種類と消去開始を指定するビットです。<br>FLE への書き込みでデータに応じた消去が開始され、消去完了により自動的に“00”になります。”00”の書き込みは禁止です。消去・書き込み中以外で FLCn_ACP が許可状態でないときや本フィールドにライトした場合は”00”のままです。また、消去・書き込み中に本フィールドへライトした場合は、ライト前の状態を保ちます。<br>ライト時:<br>00: 無効<br>01: チップ消去開始<br>10: ブロック消去開始<br>11: セクタ消去開始<br>リード時:<br>00: 消去完了<br>01: チップ消去中<br>10: ブロック消去中<br>11: セクタ消去中 |

【注意】

本レジスタではプロテクトセット領域への消去は出来ません。

7.19.3.6 Flash-ROM コントロール: BASE+0x14

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | FLWA |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

フラッシュ ROM のリード時の最大 AHB レイテンシ(プリフェッチ機能の有無)を設定します。

| **FLWA** | **説明** |
|---|---|
| 0 | 0 ウェイト/プリフェッチ機能無効 |
| 1 | 最大 1 ウェイト/プリフェッチ機能有効 |

※本商品では初期値(FLWA=1 固定)で使用してください。

【注意】FLWA へライトする際、プログラムはフラッシュ ROM 空間内に格納されたプログラム以外から実行ください[14]。

[14] フラッシュ ROM アクセス中にウェイト/プリフェッチ設定が切り替わった場合は、動作保証出来ません。

7.19.3.7 Flash-ROM プロテクトステータス: BASE+0x1C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | ERAALL | LOCKUSR | Reserved | | | | | | | | | | | | DISEPISP | DISRISP | Reserved | | | | | | | | | | | | | Reserved | DISSWD | LOCKBOOT |
| 初期値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

FLCn_PSTA は自動ロード時に読み出したプロテクトモード設定状態を示します。

- **LOCKBOOT**（ビット 0）
  ブートプログラム領域の書き込み/消去の禁止/許可を示します。
  0:禁止。1:許可。

- **DISSWD**（ビット 1）
  SWD への接続の禁止/許可を示します。
  0:禁止。1:許可。

- **DISRISP**（ビット 16）
  ISP での FLASH 読み出し&ベリファイコマンド無効化を示します。
  0:無効。1:有効。

- **DISEPISP**（ビット 17）
  ISP での FLASH 消去&書き換えコマンド無効化を示します。
  0:無効。1:有効。

- **LOCKUSR**（ビット 30）
  ユーザープログラム領域の書き込み/消去の禁止/許可を示します。
  0:禁止。1:許可。

- **ERAALL**（ビット 31）
  プロテクトロックキー解除時のユーザアプリケーション FLASH の自動全領域消去の実行有無を示します。
  0:実行する。1:実行しない。

7.19.3.8 Flash-ROM サイズ: BASE+0x20

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FSI[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

フラッシュ ROM の容量(バイト)を示します。

【注意】

1 バンクモード時は、本レジスタの初期値は MAIN のコントローラでは 0x00080000 となります。

2 バンクモード時は、本レジスタの初期値は MAIN/SUB のコントローラでは 0x00040000 となります。

7.19.3.9 ブートプログラムアドレス: BASE+0x24

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | BPA[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * | * |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

フラッシュ ROM 先頭からブートプログラム領域の先頭へのオフセットアドレスを示します。

本レジスタの初期値はフラッシュ ROM 容量を示すパラメータから自動算出されます。

【注意】

本レジスタは、常にブートプログラム領域#1 のアドレス(相対アドレス)を示します。

7.19.3.10 割り込みマスクレジスタ: BASE+0x28

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | IMERR | IMERAC | IMERAB | IMERAS | IMPROW |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW |

| | |
|---|---|
| IMPROW | ワードプログラム完了割り込みマスクです。<br>1: マスクあり。<br>0: マスクなし。 |
| IMERAS | セクタイレース完了割り込みマスクです。<br>1: マスクあり。<br>0: マスクなし。 |
| IMERAB | ブロックイレース完了割り込みマスクです。<br>1: マスクあり。<br>0: マスクなし。 |
| IMERAC | チップイレース完了割り込みマスクです。<br>1: マスクあり。<br>0: マスクなし。 |
| IMERR | エラー割り込みマスクです。<br>1: マスクあり。<br>0: マスクなし。 |

7.19.3.11 割り込みステータスレジスタ: BASE+0x2C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | ISERR | ISERAC | ISERAB | ISERAS | ISPROW |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW |

| | |
|---|---|
| ISPROW | ワードプログラム完了割り込みステータスを示します。<br>1: ワードプログラム割り込みが発生していることを示します。<br>0: ワードプログラム割り込みが発生していないことを示します。 |
| ISERAS | セクタイレース完了割り込みステータスを示します。<br>1: セクタイレース割り込みが発生していることを示します。<br>0: セクタイレース割り込みが発生していないことを示します。 |
| ISERAB | ブロックイレース完了割り込みステータスを示します。<br>1: ブロックイレース割り込みが発生していることを示します。<br>0: ブロックイレース割り込みが発生していないことを示します。 |
| ISERAC | チップイレース完了割り込みステータスを示します。<br>1: チップイレース割り込みが発生していることを示します。<br>0: チップイレース割り込みが発生していないことを示します。 |
| ISERR | エラー割り込みステータスを示します。<br>1: エラー割り込みが発生していることを示します。<br>0: エラー割り込みが発生していないことを示します。 |

【注意】

割り込みステータスレジスタのクリアにより RAW 割り込みステータスレジスタもクリアされます。

7.19.3.12 RAW 割り込みステータスレジスタ: BASE+0x30

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | IRERR | IRERAC | IRERAB | IRERAS | IRPROW |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW |

| | |
|---|---|
| IRPROW | ワードプログラム完了割り込みステータス(マスク前)を示します。<br>1: ワードプログラム割り込み(マスク前)が発生していることを示します。<br>0: ワードプログラム割り込み(マスク前)が発生していないことを示します。 |
| IRERAS | セクタイレース完了割り込みステータス(マスク前)を示します。<br>1: セクタイレース割り込み(マスク前)が発生していることを示します。<br>0: セクタイレース割り込み(マスク前)が発生していないことを示します。 |
| IRERAB | ブロックイレース完了割り込みステータス(マスク前)を示します。<br>1: ブロックイレース割り込み(マスク前)が発生していることを示します。<br>0: ブロックイレース割り込み(マスク前)が発生していないことを示します。 |
| IRERAC | チップイレース完了割り込みステータス(マスク前)を示します。<br>1: チップイレース割り込み(マスク前)が発生していることを示します。<br>0: チップイレース割り込み(マスク前)が発生していないことを示します。 |
| IRERR | エラー割り込みステータス(マスク前)を示します。<br>1: エラー割り込み(マスク前)が発生していることを示します。<br>0: エラー割り込み(マスク前)が発生していないことを示します。 |

【注意】

RAW 割り込みステータスレジスタのクリアにより割り込みステータスレジスタもクリアされます。

7.19.3.13 Flash-ROM エラーステータスレジスタ: BASE+0xC4

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | Reserved | Reserved | | | ERAVERR3 | ERAVERR2 | Reserved | | | | COMERR | Reserved | | NONIMP | USERNOE | BOOTNOE | PROTNOE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | R | R | R | RW | RW | R | R | R | W | RW | W | W | RW | RW | RW | RW |

書き込み・消去操作時のエラーを示すレジスタです。

本レジスタの全ビットは書き込み・消去操作実施後、Flash-ROM ステータスレジスタの BUSY00～BUSY11 ビットが 0H になった時に有効となります。

ビットの説明

- **PROTNOE**（ビット 0）

  以下に示すプロテクトセット領域への書き込み/部分消去しようとした場合、本ビットがセットされます。

  本ビットはソフトによりクリアされるまで、クリアされません。

| | |
|---|---|
| セット条件 | 以下にいずれかによりセットされる。<br>・ プロテクトロックキー設定時に、プロテクトセット領域へのセクタ消去時<br>・ プロテクトロックキー設定時に、プロテクトセット領域への書き込み実施時<br>FLCn_ERA を用いてプロテクトセット領域へセクタ消去実施時<br>・ FLCn_WDA を用いてプロテクトセット領域へ書き込み実施時 |
| クリア条件 | 以下のいずれかによりクリア可能<br>・ PROTNOE ビットへの 1 ライト<br>・ FLCn_INTSTA の ISERR ビットへの 1 ライト<br>・ FLCn_RINTSTA の IRERR ビットへの 1 ライト |

- **BOOTNOE**（ビット 1）

  プロテクト機能により保護されているときにブートプログラム領域を書き込み/セクタ消去しようとした場合やブロック消去使用とした場合に本ビットがセットされます。

  本ビットはソフトによりクリアされるまで、クリアされません。

| | |
|---|---|
| セット条件 | 以下のいずれかによりセットされる<br>・ 保護中のブートプログラム領域またはそれを含むアドレスへの書き込み/セクタ消去時<br>・ ブートプログラム領域を指定して、ブロック消去したとき<br>・ FLCn_PROTERA を用いてブートプログラム領域へセクタ消去実施時<br>・ FLCn_PROTWDA を用いてブートプログラム領域へ書き込み実施時 |
| クリア条件 | 以下のいずれかによりクリア可能<br>・ BOOTNOE ビットへの 1 ライト<br>・ FLCn_INTSTA の ISERR ビットへの 1 ライト<br>FLCn_RINTSTA の IRERR ビットへの 1 ライト |

- **USERNOE**（ビット 2）

  プロテクト機能により保護されているときにユーザーアプリケーション領域へ書き込み/消去（チップ消去も含む）しようとした場合、本ビットがセットされます。

  本ビットはソフトによりクリアされるまで、クリアされません。

| | |
|---|---|
| セット条件 | 以下のいずれかによりセットされる<br>・ 保護中のユーザーアプリケーション領域またはそれを含むアドレスへの書き込み/消去時<br>・ FLCn_PROTERA を用いてユーザーアプリケーション領域へセクタ消去実施時<br>・ FLCn_PROTWDA を用いてユーザーアプリケーション領域へ書き込み実施時 |
| クリア条件 | 以下のいずれかによりクリア可能<br>・ USERNOE ビットへの 1 ライト<br>・ FLCn_INTSTA の ISERR ビットへの 1 ライト<br>FLCn_RINTSTA の IRERR ビットへの 1 ライト |

- **NONIMP**（ビット 3）

  未実装領域へ書き込み/部分消去しようとした場合、本ビットがセットされます。

  本ビットはソフトによりクリアされるまで、クリアされません。

| | |
|---|---|
| セット条件 | 未実装領域への書き込み/部分消去時 |
| クリア条件 | 以下のいずれかによりクリア可能<br>・ NONIMP ビットへの 1 ライト<br>・ FLCn_INTSTA の ISERR ビットへの 1 ライト<br>・ FLCn_RINTSTA の IRERR ビットへの 1 ライト |

- **COMERR**（ビット 6）

  FLCn_ACP が許可状態でないときに FLCn_WDA または FLCn_ERA へライトアクセスした場合、本ビットがセットされます。

  本ビットはソフトによりクリアされるまで、クリアされません。

| | |
|---|---|
| セット条件 | FLCn_ACP が許可状態でないときに FLCn_WDA または FLCn_ERA、FLCn_PROTWDA、FLCn_PROTERA へライトアクセス<br>*ただし、**エラー! 参照元が見つかりません。**が許可状態（デバグ中）のときはセットされない。 |
| クリア条件 | 以下のいずれかによりクリア可能<br>・ COMERR ビットへの 1 ライト<br>・ FLCn_INTSTA の ISERR ビットへの 1 ライト<br>・ FLCn_RINTSTA の IRERR ビットへの 1 ライト |

- **ERAVERR2**（ビット 11）

  FLCn_ACP が許可状態のときに FLCn_ERA の FLE フィールドへ 0H をライトアクセスした場合、本ビットがセットされます。

  本ビットはソフトによりクリアされるまで、クリアされません。

| | |
|---|---|
| セット条件 | FLCn_ACP が許可状態のときに FLCn_ERA の FLE フィールドへ 0H をライトアクセス |
| クリア条件 | 以下のいずれかによりクリア可能<br>・ ERAVERR2 ビットへの 1 ライト<br>・ FLCn_INTSTA の ISERR ビットへの 1 ライト<br>・ FLCn_RINTSTA の IRERR ビットへの 1 ライト |

- **ERAVERR3**（ビット 12）

  FLCn_ACP が許可状態のときに FLCn_PROTERA の FLPE フィールドへ 0H、1H、2H をライトアクセスした場合、本ビットがセットされます。

  本ビットはソフトによりクリアされるまで、クリアされません。

| | |
|---|---|
| セット条件 | FLCn_ACP が許可状態のときに FLCn_PROTERA の FLPE フィールドへ無効な値（0H、1H、2H）をライトアクセス |
| クリア条件 | 以下のいずれかによりクリア可能<br>・ ERAVERR3 ビットへの 1 ライト<br>・ FLCn_INTSTA の ISERR ビットへの 1 ライト<br>・ FLCn_RINTSTA の IRERR ビットへの 1 ライト |

7.19.3.14 プロテクトロックキー解除レジスタ: BASE+0xD0

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | PROTUNLOCK[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

設定されているプロテクトロックキーを解除するためのレジスタです。本レジスタに 4 回連続でライトし、ライトされた 4Word のデータとプロテクトロックキーを比較し、マッチしていればプロテクトロックキーが解除されます。
プロテクトロックキーを解除した際は、プロテクトセット領域の内容はすべて消去されます。
本レジスタはプロテクトロックキーの設定後（設定し、パワーオンリセットし有効になった後）のみ使用可能です。
本レジスタを操作後、パワーオンリセットすることによりプロテクトロックキーの解除が有効となります。
本レジスタへのライトは 1 バンクモード時では MAIN 側、2 バンクモード時は SUB 側のコントローラでのみ有効となります。

ビットの説明

- **PROTUNLOCK00－PROTUNLOCK31**
  4 回連続でライトされることにより、ライトされた 4Word のデータとプロテクトロックキーを比較します。

7.19.3.15 プロテクトロックキーステータスレジスタ: BASE+0xD4

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | PROTLOCKKEYSTA | Reserved | | | | | | | | | | | | | | PROTUNLOCKWE | PROTUNLOCKSTA |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

プロテクトロックキーの設定状況及び、プロテクトロックキーの解除の操作が成功したか否かを示すレジスタです。

ビットの説明

- **PROTUNLOCKSTA**

  プロテクトロックキーの解除が成功したかを示すビットです。以下の条件のときに 1 がセットされます。

  本ビットは PROTUNLOCKWE が 1 になったタイミングで更新されます。

  本ビットは 1 ライトによりクリアされます。

  0:成功。1:失敗

  【1 がセットされる条件】

・4回連続でFLCn_PROTUNLOCKへライトする前にその他のレジスタへライトしたとき(プロテクトロックキーの判定が成功し、コントローラがプロテクトロックキー解除動作を実施中または、しようとしているときは本条件ではセットされません)
・FLCn_PROTUNLOCK へライトされたデータとプロテクトロックキーが一致しなかったとき(プロテクトロックキーの判定が成功し、コントローラがプロテクトロックキー解除動作を実施中または、しようとしているときは本条件ではセットされません)
・プロテクトロックキーが設定されていない状態で、FLCn_PROTUNLOCK へライトしたとき
・プロテクトセット領域を制御していないコントローラの FLCn_PROTUNLOCK へライトしたとき
・プロテクトロック設定情報データのベリファイ時、下位 1Byte が 0H でないとき
・PROTUNLOCKWE=0 のときに FLCn_PROTUNLOCK へライト(プロテクトロックキーの判定が成功し、コントローラがプロテクトロックキー解除動作を実施中または、しようとしているときは本条件ではセットされません)

- **PROTUNLOCKWE**

  FLCn_PROTUNLOCK へのライト許可を示すレジスタです。
  FLCn_PROTUNLOCK へのライトは本ビットが 1 のときのみ可能です。
  0:ライト禁止。1:ライト許可
  本ビットは以下のとき、0 となります。
  【0 となる条件】
  ・Flash-ROM への書き込み・消去中(BUSY00-BUSY11 のいずれかが 1)
  ・プロテクトロックキーの比較実行時やプロテクトロックキー解除に関わる消去動作実行時
  ・VOLTAGE ビット=1 のとき

- **PROTLOCKKEYSTA**

  プロテクトロックキーの設定状況を示すビットです。
  0:設定済み。1:未設定

7.19.3.16 Flash-ROM プロテクトセットライトデータレジスタ: BASE+0xD8

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FPD[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |

FLCn_PROTWDA は Flash-ROM 書き換えデータを設定するレジスタです。

- **FPD31～FPD00**（ビット 31～0）
  FPD31～FPD00 は、プロテクトセット領域への1ワード書き込み時の書き込みデータを設定するビットです。
  FPD31～FPD00 への書き込みにより1ワード書き込みが開始されます。

【注意】

**書き込むアドレスの内容はあらかじめ消去しておいてください。上書きによる書き込みアドレスの内容は保証されません。**

本レジスタではユーザーアプリケーション領域及びブートプログラム領域への書き込みはできません。

7.19.3.17 Flash-ROM プロテクトセットイレースレジスタ: BASE+0xDC

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | FLPE | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW |

Flash-ROM のセクタ消去を開始するレジスタです。

- **FLPE[1:0]**（ビット 1～0）
  FLPE は、プロテクトセット領域へのセクタ消去開始を指定するビットです。
  FLPE への書き込みでデータに応じた消去が開始され、消去完了により自動的に“00”になります。”00”の書き込みは禁止です。消去・書き込み中以外で FLCn_ACP が許可状態でないときや本フィールドにライトした場合は”00”のままです。また、消去・書き込み中に本フィールドへライトした場合は、ライト前の状態を保ちます。

| FLPE[1:0] | 説明 |
|---|---|
| 00 | 消去完了（初期値） |
| 01 | 未定義 |
| 10 | 未定義 |
| 11 | セクタ消去開始 |

**【注意】**

本レジスタではユーザーアプリケーション領域及びブートプログラム領域への消去は出来ません。

7.19.3.18 Flash-ROM 構成情報レジスタ: BASE+0x100

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | BANK_MODE | Reserved | | | | | | | BANK_SEL | Reserved | | | | | | NCON | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

コントローラの構成やモードを示すレジスタです。

ビットの説明

- **NCON**（ビット 1～0）
  最大いくつのコントローラで構成されているかを示します。本フィールドは 2H 固定です。

- **BANK_SEL**（ビット 8）
  2 バンクモード時に現在の選択されているバンクを示します。
  0:バンク 0(コード領域 0)、1:バンク 1(コード領域 1)

- **BANK_MODE**（ビット 16）
  現在の選択されているバンクモードを示します。
  0:1 バンクモード、1:2 バンクモード。

7.19.3.19 Flash-ROM コードユーザアプリケーション領域＃0 アドレスレジスタ: BASE+0x110

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FCU0ADR[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

コード領域のユーザーアプリケーション領域#0 の先頭アドレス（絶対アドレス）を示すレジスタです。
本レジスタの読み出し値が 0H の場合は、当該領域が存在しないことを示します。

ビットの説明

- **FCU0ADR31～FCU0ADR00**（ビット 31～0）
  FCU0ADR31～FCU0ADR00 は、コード領域のユーザーアプリケーション領域#0 の先頭アドレスを示します。

7.19.3.20 Flash-ROM コードプロテクトセット領域＃0 アドレスレジスタ: BASE+0x114

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FCP0ADR[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

コード領域のプロテクトセット領域#0 の先頭アドレス（絶対アドレス）を示すレジスタです。
本レジスタの読み出し値が 0H の場合は、当該領域が存在しないことを示します。

ビットの説明

- **FCP0ADR31～FCP0ADR00**（ビット 31～0）
  FCP0ADR31～FCP0ADR00 は、コード領域のプロテクトセット領域#0 の先頭アドレスを示します。
  プロテクトセット領域#0 は存在しないので、初期値は 0H となります。

7.19.3.21 Flash-ROM コードブートプログラム領域＃0 アドレスレジスタ: BASE+0x118

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FCB0ADR[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

コード領域のブートプログラム領域#0 の先頭アドレス（絶対アドレス）を示すレジスタです。

本レジスタの読み出し値が 0H の場合は、当該領域が存在しないことを示します。

ビットの説明

- **FCB0ADR31～FCB0ADR00**（ビット 31～0）

  FCB0ADR31～FCB0ADR00 は、コード領域のブートプログラム領域#0 の先頭アドレスを示します。

7.19.3.22 Flash-ROM コード領域＃0 サイズレジスタ: BASE+0x11C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FC0SIZ[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

コード領域#0 のサイズを示すレジスタです。

ビットの説明

- **FC0SIZ31～FC0SIZ00**（ビット 31～0）
  FC0SIZ31～FC0SIZ00 は、コード領域#0 のサイズを示します。

7.19.3.23 Flash-ROM データユーザアプリケーション領域＃0 アドレスレジスタ: BASE+0x120

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FDU0ADR[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

データ領域のユーザーアプリケーション領域#0 の先頭アドレス（絶対アドレス）を示すレジスタです。
本レジスタの読み出し値が 0H の場合は、当該領域が存在しないことを示します。

ビットの説明

- **FDU0ADR31～FDU0ADR00**（ビット 31～0）
  FDU0ADR31～FDU0ADR00 は、データ領域のユーザーアプリケーション領域#0 の先頭アドレスを示します。

7.19.3.24 Flash-ROM データプロテクトセット領域＃0 アドレスレジスタ: BASE+0x124

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FDP0ADR[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

データ領域のプロテクトセット領域#0 の先頭アドレス（絶対アドレス）を示すレジスタです。
本レジスタの読み出し値が 0H の場合は、当該領域が存在しないことを示します。

ビットの説明

- **FDP0ADR31～FDP0ADR00**（ビット 31～0）
  FDP0ADR31～FDP0ADR00 は、データ領域のプロテクトセット領域#0 の先頭アドレスを示します。
  プロテクトセット領域#0 は存在しないので、初期値は 0H となります。

7.19.3.25 Flash-ROM データブートプログラム領域＃0 アドレスレジスタ: BASE+0x128

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FDB0ADR[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

データ領域のブートプログラム領域#0 の先頭アドレス（絶対アドレス）を示すレジスタです。
本レジスタの読み出し値が 0H の場合は、当該領域が存在しないことを示します。

ビットの説明

- **FDB0ADR31～FDB0ADR00**（ビット 31～0）
  FDB0ADR31～FDB0ADR00 は、データ領域のブートプログラム領域#0 の先頭アドレスを示します。

7.19.3.26 Flash-ROM データ領域＃0 サイズレジスタ: BASE＋0x12C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FD0SIZ[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

コード領域#0 のサイズを示すレジスタです。

ビットの説明

- **FD0SIZ31～FD0SIZ00**（ビット 31～0）
  FD0SIZ31～FD0SIZ00 は、データ領域#0 のサイズを示します。

7.19.3.27 Flash-ROM コードユーザアプリケーション領域＃1 アドレスレジスタ: BASE+0x140

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FCU1ADR[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

コード領域のユーザーアプリケーション領域#1 の先頭アドレス（絶対アドレス）を示すレジスタです。
本レジスタの読み出し値が 0H の場合は、当該領域が存在しないことを示します。

ビットの説明

- **FCU1ADR31～FCU1ADR00**（ビット 31～0）
  FCU1ADR31～FCU1ADR00 は、コード領域のユーザーアプリケーション領域#1 の先頭アドレスを示します。

7.19.3.28 Flash-ROM コードプロテクトセット領域＃1 アドレスレジスタ: BASE+0x144

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FCP1ADR[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

コード領域のプロテクトセット領域#1 の先頭アドレス（絶対アドレス）を示すレジスタです。
本レジスタの読み出し値が 0H の場合は、当該領域が存在しないことを示します。

ビットの説明

- **FCP1ADR31～FCP1ADR00**（ビット 31～0）
  FCP1ADR31～FCP1ADR00 は、コード領域のプロテクトセット領域#1 の先頭アドレスを示します。
  プロテクトセット領域#0 は存在しないので、初期値は 0H となります。

7.19.3.29 Flash-ROM コードブートプログラム領域＃1 アドレスレジスタ: BASE+0x148

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FCB1ADR[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

コード領域のブートプログラム領域#1 の先頭アドレス（絶対アドレス）を示すレジスタです。

本レジスタの読み出し値が 0H の場合は、当該領域が存在しないことを示します。

ビットの説明

- **FCB1ADR31～FCB1ADR00**（ビット 31～0）

  FCB1ADR31～FCB1ADR00 は、コード領域のブートプログラム領域#0 の先頭アドレスを示します。

7.19.3.30 Flash-ROM コード領域＃1 サイズレジスタ: BASE＋0x14C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FC1SIZ[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

コード領域#0 のサイズを示すレジスタです。

ビットの説明

- **FC1SIZ31～FC1SIZ00**（ビット 31～0）
  FC1SIZ31～FC1SIZ00 は、コード領域#0 のサイズを示します。

7.19.3.31 Flash-ROM データユーザアプリケーション領域＃1 アドレスレジスタ: BASE+0x150

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FDU1ADR[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

データ領域のユーザーアプリケーション領域#1 の先頭アドレス（絶対アドレス）を示すレジスタです。
本レジスタの読み出し値が 0H の場合は、当該領域が存在しないことを示します。

ビットの説明

- **FDU1ADR31～FDU1ADR00**（ビット 31～0）
  FDU1ADR31～FDU1ADR00 は、データ領域のユーザーアプリケーション領域#1 の先頭アドレスを示します。

7.19.3.32 Flash-ROM データプロテクトセット領域＃1 アドレスレジスタ: BASE+0x154

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FDP1ADR[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

データ領域のプロテクトセット領域#1 の先頭アドレス（絶対アドレス）を示すレジスタです。
本レジスタの読み出し値が 0H の場合は、当該領域が存在しないことを示します。

ビットの説明

- **FDP1ADR31～FDP1ADR00**（ビット 31～0）
  FDP1ADR31～FDP1ADR00 は、データ領域のプロテクトセット領域#1 の先頭アドレスを示します。
  プロテクトセット領域#0 は存在しないので、初期値は 0H となります。

7.19.3.33 Flash-ROM データブートプログラム領域＃1 アドレスレジスタ: BASE+0x158

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FDB1ADR[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

データ領域のブートプログラム領域#1 の先頭アドレス（絶対アドレス）を示すレジスタです。
本レジスタの読み出し値が 0H の場合は、当該領域が存在しないことを示します。

ビットの説明

- **FDB1ADR31～FDB1ADR00**（ビット 31～0）
  FDB1ADR31～FDB1ADR00 は、データ領域のブートプログラム領域#1 の先頭アドレスを示します。

7.19.3.34 Flash-ROM データ領域＃1 サイズレジスタ: BASE+0x15C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FD1SIZ[31:0] | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | W | W | W | W |

コード領域#1 のサイズを示すレジスタです。

ビットの説明

- **FD1SIZ31～FD1SIZ00**（ビット 31～0）
  FD1SIZ31～FD1SIZ00 は、データ領域#1 のサイズを示します。

## 7.19.4 機能説明

### 7.19.4.1 ウェイト/プリフェッチ制御

Flash-ROM コントロールの FLWA ビットにより、AHB バスの最大ウェイトおよびプリフェッチ機能の有無を選択出来ます。最大ウェイトサイクルとプリフェッチ機能は独立して制御することは出来ず、0 ウェイト設定時はプリフェッチ機能無効、1 ウェイト設定時はプリフェッチ機能有効となります。プリフェッチ機能有効時は、メモリアクセスタイムの約 1/2 の周期で CPU を動作させることが可能です。

プリフェッチ機能は、フラッシュ ROM コントローラに対して有効なアクセスが発生していない時に、前回リードしたアドレスの次アドレスに格納されたデータを予め読み出す機能で、プログラムメモリリードレイテンシよりシステムクロック周期を小さくして、パフォーマンスを向上させることが可能です。

### 7.19.4.2 消去/プログラム機能

消去、プログラムは、APB 空間内に配置されたフラッシュ ROM 制御レジスタを開始して実施します。消去、プログラム手順を以下に示します。

#### 7.19.4.2.1.チップ消去

チップ消去手順を以下に示します。

(1) FLCACP に 0x000000FA をライト
(2) FLCACP に 0x000000F5 をライト
(3) FLCERA に 0x00000001 をライト
(4) FLCSTA が 0x00000000 になるのを待つ。

#### 7.19.4.2.2.ブロック消去

ブロック消去手順を以下に示します。

(1) FLCACP に 0x000000FA をライト
(2) FLCACP に 0x000000F5 をライト
(3) FLCADR に消去対象ブロックの先頭アドレスをライト
(4) FLCERA に 0x00000002 をライト
(5) FLCSTA が 0x00000000 になるのを待つ。

#### 7.19.4.2.3.セクタ消去

セクタ消去手順を以下に示します。

(1) FLCACP に 0x000000FA をライト

(2) FLCACP に 0x000000F5 をライト

(3) FLCADR に消去対象セクタの先頭アドレスをライト

(4) FLCERA に 0x00000003 をライト

(5) FLCSTA が 0x00000000 になるのを待つ。

#### 7.19.4.2.4 ワードプログラム

1 ワードプログラム手順を以下に示します。

(1) FLCACP に 0x000000FA をライト

(2) FLCACP に 0x000000F5 をライト

(3) FLCADR にプログラム対象ワードのアドレスをライト

(4) FLCWDA に書き込みたいデータをライト

(5) FLCSTA が 0x00000000 になるのを待つ。

## 7-20.DIO

### 7.20.1 概要

RF 部(ML7396B)制御専用のデータ送受信インターフェースです。

【ご注意】
本 DIO 機能を使用する場合は、DIO_CPU(LSI 内部端子)のpull-down 設定を解除してください。
解除方法については、7.29.3.28　IO 設定レジスタ 0～25 を参照願います。

### 7.20.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| 0x40043000 | DIO イネーブル | DIO_EN | R/W | 0x00000000 | DIO 機能をイネーブルします。 |
| 0x40043004 | DIO コントロール | DIO_CTRL | R/W | 0x00000008 | DIO の動作モードを制御します。 |
| 0x40043008 | 受信データマッチパターン長設定 | DIO_MATCH_LEN | R/W | 0x00000000 | 受信データのマッチパターン長を設定します。 |
| 0x4004300C | 受信データマッチパターン設定 | DIO_MATCH_PAT | R/W | 0x00000000 | 受信データのマッチパターンを設定します。 |
| 0x40043010 | FIFO-FULL 閾値設定 | DIO_F_FULL_TRG | R/W | 0x0000000F | FIFO-FULL の閾値を設定します。 |
| 0x40043014 | FIFO-EMPTY 閾値設定 | DIO_F_EMPTY_TRG | R/W | 0x00000000 | FIFO-EMPTY の閾値を設定します。 |
| 0x40043018 | FIFO 有効データ数表示 | DIO_F_LEV | R | 0x00000000 | FIFO 内の有効データ数を表示します。 |
| 0x4004301C | 割込みマスク | DIO_IMSK | RW | 0x0000001F | 割込みステータスをマスクします。 |
| 0x40043020 | 割込みステータス | DIO_IST | R | 0x00000000 | 割込みステータス（マスク後）を表示します。 |
| 0x40043024 | 割込み RAW ステータス | DIO_RIST | R | 0x00000008 | 割込みステータス（マスク前）を表示します。 |

| | | | | | |
|---|---|---|---|---|---|
| 0x40043028 | FIFO オーバーフロー割込みクリア | DIO_F_O_CLR | R | 0x00000000 | FIFO オーバーフロー割込みをクリアします。 |
| 0x4004302C | FIFO アンダーフロー割込みクリア | DIO_F_U_CLR | R | 0x00000000 | FIFO アンダーフロー割込みをクリアします。 |
| 0x40043030 | 受信データ一致割込みクリアレジスタ | DIO_MATCH_CLR | R | 0x00000000 | 受信データ一致割込みをクリアします。 |
| 0x40043034 | 割込みクリア | DIO_ICLR | R | 0x00000000 | DIO 機能内の全割込みをクリアします。 |
| 0x40043038 | 送受信データ | DIO_FIFO | R/W | 0x00000000 | 送信時は送信データを格納します。受信時は受信データが格納されます。 |

## 7.20.3 レジスタ説明

### 7.20.3.1 DIO_EN レジスタ: 0x40043000

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DIO_TX_EN | DIO_RX_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW |

| | |
|---|---|
| DIO_TX_EN | DIO 送信モードを有効にします。<br>0: disable<br>1: enable |
| DIO_RX_EN | DIO 受信モードを有効にします。<br>0: disable<br>1: enable |

7.20.3.2 DIO_CTRL レジスタ: 0x40043004

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | DOUT_MOD | | PRST_EN | MATCH_EN | DIO_FAM | DIO_EDGE_SEL |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| DOUT_MOD | 送信時 DIO 端子出力モード設定<br>00:OD 出力モード(default)<br>01:CMOS 出力モード<br>10:OD/CMOS 自動切換えモード<br>11:Reserved(OD 出力モード)<br>※00(default)設定での使用を推奨します。 |
| PRST_EN | 1st データ事前セット設定<br>0: disable<br>1: enable<br>※0(default)設定での使用を推奨します |
| MATCH_EN | 受信データマッチ機能イネーブル<br>0: disable<br>1: enable |

| | |
|---|---|
| DIO_FAM | FIFO アクセスモード設定(1 バイト/4 バイト)<br>0: 1 バイト単位で FIFO にアクセスします。(書き込み、読み出しデータの上位 3byte は無効)<br>1: 4 バイト単位で FIFO にアクセスします。 |
| DCLK_EDGE_SEL | DCLK 極性選択<br>0: pos edge<br>1: neg edge |

7.20.3.3 DIO_MATCH_LEN レジスタ: 0x40043008

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | MATCH_LEN | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| MATCH_LEN | 受信データマッチパターン長を設定します。0から 32 まで設定可能です。32 以上の設定は 32 と見なされます。 |

7.20.3.4 DIO_MATCH_PAT レジスタ: 0x4004300C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | MATCH_PAT | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| MATCH_PAT | 受信データマッチパターンを設定します。MATCH_LEN の設定値未満のビットが有効となります。<br>例: MATCH_LEN=0x10 の場合、MATCH_PAT のビット 0～15 が有効。 |

7.20.3.5 DIO_F_FULL_TRG レジスタ: 0x40043010

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | F_FULL_TRG | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

| | |
|---|---|
| F_FULL_TRG | FIFO-FULL 閾値設定 |

7.20.3.6 DIO_F_EMPTY_TRG レジスタ: 0x40043014

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | F_EMPTY_TRG | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

| | |
|---|---|
| F_EMPTY_TRG | FIFO-EMPTY 閾値設定 |

7.20.3.7 DIO_F_LEV レジスタ: 0x40043018

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | F_LEV | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW |

| | |
|---|---|
| F_LEV | FIFO 有効データ数表示 |

7.20.3.8 DIO_IMSK レジスタ: 0x4004301C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | IMSK | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW |

| | |
|---|---|
| IMSK[4] | MATCH 割込みをマスクします。<br>1: マスク<br>0: マスクなし |
| IMSK[3] | EMPTY 割込みをマスクします。<br>1: マスク<br>0: マスクなし |
| IMSK[2] | UNDER 割込みをマスクします。<br>1: マスク<br>0: マスクなし |
| IMSK[1] | OVER 割込みをマスクします。<br>1: マスク<br>0: マスクなし |
| IMSK[0] | FULL 割込みをマスクします。<br>1: マスク<br>0: マスクなし |

7.20.3.9 DIO_IST レジスタ: 0x40043020

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | IST | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| IST[4] | 割り込みステータスを示します。 |
| IST[3] | 各ビットの詳細については、割り込み RAW ステータスレジスタを参照してください。本レジスタはマスクされた割り込みステータスが読み出されます。 |
| IST[2] | |
| IST[1] | 割り込み要因をクリアするには、該当する割り込み要因に対応した割り込みクリアレジスタをリードしてください。 |
| IST[0] | |

7.20.3.10 DIO_RIST レジスタ: 0x40043024

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | RIST | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| RIST[4] | MATCH 割込みステータスを示します。<br>受信データが MATCH_PAT と一致した場合にセットされます。 |
| RIST[3] | EMPTY 割込みステータスを示します。<br>FIFO 内の有効データが F_EMPTY_TRG 以下となった場合にセットされます。有効データが F_EMPTY_TRG を超えた場合に自動クリアされます。 |
| RIST[2] | UNDER 割込みステータスを示します。<br>FIFO 内の有効データが 0 の時にデータを送信した場合、または HOST からデータを読み出した場合に本ビットがセットされます。また、FIFO アクセス単位が 4 バイトの場合(DIO_FAM=1)、FIFO 内の有効データが 3 以下の時に HOST からデータを読み出した場合に本ビットがセットされます。 |
| RIST[1] | OVER 割込みステータスを示します。<br>FIFO 内の有効データが 16 の時にデータを受信した場合、または HOST からデータをセットした場合に本ビットがセットされます。また、FIFO アクセス単位が 4 バイトの場合(DIO_FAM=1)、FIFO 内の有効データが 13 以上の時に HOST からデータをセットした場合に本ビットがセットされます。 |
| RIST[0] | FULL 割込みステータスを示します。<br>FIFO 内の有効データが F_FULL_TRG を超えた場合にセットされます。有効データが F_FULL_TRG 以下となった場合に自動クリアされます。 |

7.20.3.11 DIO_F_O_CLR レジスタ: 0x40043028

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | F_O_CLR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| F_O_CLR | 本レジスタをリードすると、FIFO オーバーフロー割込みがクリアされます。ライトは無視されます。 |

7.20.3.12 DIO_F_U_CLR レジスタ: 0x4004302C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | F_U_CLR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| F_U_CLR | 本レジスタをリードすると、FIFO アンダーフロー割込みがクリアされます。ライトは無視されます。 |

7.20.3.13 DIO_MATCH_CLR レジスタ: 0x40043030

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | MATCH_CLR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| MATCH_CLR | 本レジスタをリードすると、受信データー致割込みがクリアされます。ライトは無視されます。<br>【ご注意】受信データー致割込みをクリアする場合は、必ず DIO 受信モードをディセーブル(DIO_RX_EN=0)にしてから実行願います。 |

7.20.3.14 DIO_ICLR レジスタ: 0x40043034

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | ICLR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| ICLR | 本レジスタをリードすると、アクティブな全ての割り込みがクリアされます。ライトは無視されます。 |

7.20.3.15 DIO_FIFO レジスタ: 0x40043038

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FIFO | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

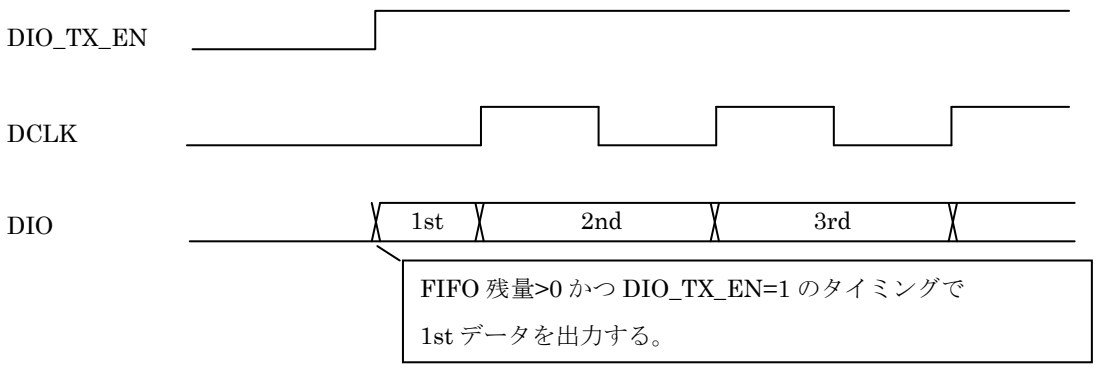
| | |
|---|---|
| FIFO | 送受信データ(送受共通) |

### 7.20.4 機能説明

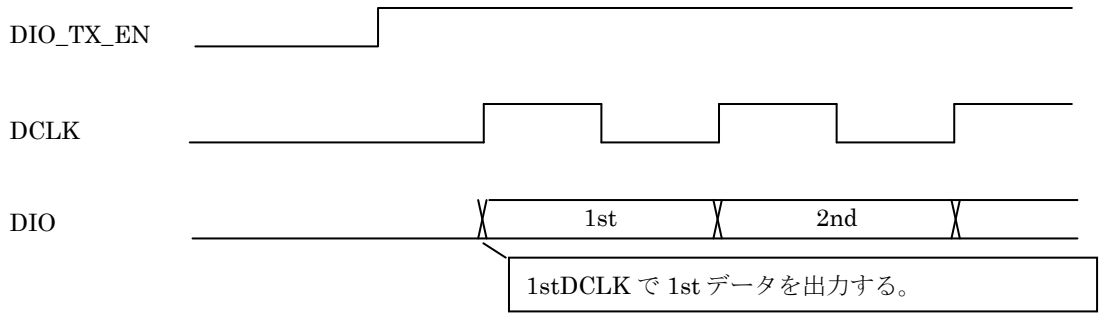
#### 7.20.4.1 1st データ送信タイミング設定

PRST_EN によって、1st データの送信タイミングを切り替えることができます。

**PRST_EN=1**




**PRST_EN=0**




#### 7.20.4.2 受信データマッチ機能

受信データと MATCH_PAT レジスタで設定される最大 32bit のパターンとの一致（マッチ）確認を行います。

本機能の ON/OFF は MATCH_EN レジスタで制御できます。

マッチパターンのレングスは MATCH_LEN レジスタにより 0～32bit の範囲で設定可能です。

例： MATCH_LEN=0x10 の時、MATCH_PAT[15:0]が有効となり、MATCH_PAT[31:16]設定は Don't Care となります。

受信データと MATCH_PAT が一致した時、MATCH 割り込みが発生します。

本機能を ON している場合、マッチ以前のデータは受信 FIFO に格納されません。

## 7.20.5 動作説明

### 7.20.5.1 送信動作

① PRST_EN、DIO_FAM、DCLK_EDGE_SEL、F_EMPTY_TRG へ任意の値を設定します。
② FIFO へ送信データをセットします。
③ DIO_TX_EN をセットします。DIO は DCLK に同期して送信データを MSB から出力します。
④ EMPTY 割り込みが発生したら、続いて送信データをセットします。
⑤ FIFO が空になり、最後のデータの送信が完了したら、UNDER 割り込みが発生します。
⑥ 送信が完了したら、DIO_TX_EN を 0 に設定します。

### 7.20.5.2 受信動作

① MATCH_EN、DIO_FAM、DCLK_EDGE_SEL、MATCH_LEN、MATCH_PAT、F_FULL_TRG へ任意の値を設定します。
② DIO_RX_EN をセットします。DIO は DCLK に同期して受信データを MSB から受信し、1byte 毎に FIFO に格納します。MATCH_EN に 1 をセットしている場合、受信データが MATCH_PAT と一致するまでは受信データを FIFO に格納せず破棄します。一致後、MATCH 割り込みを通知し FIFO への格納を開始します。MATCH_EN に 0 をセットしている場合、全ての受信データを FIFO へ格納します。
③ FULL 割り込みが発生したら、FIFO からデータを読み出します。
④ 全てのデータの受信が完了したら、DIO_RX_EN を 0 に設定します。

受信データの完了は RF-IC からの受信完了割り込みか、受信データから length を解析して判断できます。
MATCH_PAT に SyncWord を設定することで length 以降のデータのみ FIFO に格納することができ、length の解析が容易となります。

## 7-21.RAND_GEN

### 7.21.1 概要

擬似乱数生成回路です。特徴を以下に示します。

-RAND 長を RAND9、RAND15、RAND23 の中から選択可能です。
-乱数生成結果を 2 の補数で出力することが可能です。

### 7.21.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| 0x40044000 | RAND_GEN コントロールレジスタ 0 | RAND_CR0 | R/W | 0x00000000 | 動作モードを制御します |
| 0x40044004 | RAND_GEN コントロールレジスタ 1 | RAND_CR1 | R/W | 0x00000000 | 動作モードを制御します |
| 0x40044008 | RAND_GEN ランダム値レジスタ | RAND_VR | R | 0x00000000 | 生成したランダム値を表示します |

## 7.21.3 レジスタ説明

### 7.21.3.1 RAND_GEN コントロールレジスタ 0: 0x40044000

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | RAND_COMP_ON | RAND_LEN | | RAND_INIT | RAND_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW |

| | |
|---|---|
| RAND_COMP_ON | RAND 生成結果を 2 の補数で出力します。<br>0: disable<br>1: enable |
| RAND_LEN | RAND 長を設定します。<br>00: RAND9<br>01: RAND15<br>10: RAND23<br>11: 設定禁止 |
| RAND_INIT | RAND 生成回路を初期化します。<br>0: disable<br>1: enable |

| | |
|---|---|
| RAND_EN | RAND 生成回路を有効にします。<br>0: disable<br>1: enable |

7.21.3.2 RAND_GEN コントロールレジスタ 1: 0x40044004

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | RAND_poly | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| RAND_POLY | RAND POLY を設定します。 |

7.21.3.3 RAND_GEN ランダム値レジスタ: 0x40044008

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | RAND_CALC_OUT | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| RAND_CALC_OUT | RAND 生成結果を格納します。 |

## 7.22.CLK_Timer

### 7.22.1 概要

低速クロックの一定期間を高速クロックによりカウントし、カウント結果をレジスタに表示する機能です。カウント結果により、理想的なクロックとの周波数ズレを判断できます(周波数の自動補正には対応しておりません)。

低速クロックは低速 CR 発振回路出力、XTAL32KHz 発振回路出力、RF チップからのクロック出力から選択可能です。高速クロックは高速 CR 発振回路出力、PLL 出力、RF クロックから選択可能です。

### 7.22.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| 0x40045000 | CT コントロールレジスタ | CT_CR | R/W | 0x00000000 | 動作モードを制御します |
| 0x40045004 | CT タイマレジスタ | CT_TR | R/W | 0x00000000 | タイマ値を設定します。 |
| 0x40045008 | CT ステータスレジスタ | CT_SR | R | 0x00000000 | カウント完了通知を表示します |
| 0x4004500C | CT タイマカウント値レジスタ | CT_TCR | R | 0x00000000 | カウント値を表示します |
| 0x40045010 | CT 割込みクリアレジスタ | CT_TCL | R | 0x00000000 | 割り込みをクリアします。 |

## 7.22.3 レジスタ説明

### 7.22.3.1 CT コントロールレジスタ: 0x40045000

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLK_CAL_INT_MASK | CLK_CAL_START |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW |

| | |
|---|---|
| CLK_CAL_INT_MASK | CLK_TIMER 割り込みをマスクします。<br>0: disable<br>1: enable |
| CLK_CAL_START | CLK_TIMER を有効にします。<br>0: disable<br>1: enable |

7.22.3.2 CT タイマレジスタ: 0x40045004

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | CLK_CAL_TIME | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| CLK_CAL_TIME | タイマ値＝低速クロック(XTAL32KHz 等)のサイクル数を設定します。 |

7.22.3.3 CT ステータスレジスタ: 0x40045008

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLK_CAL_END |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| CLK_CAL_END | タイマ満了を通知します。 |

7.22.3.4 CT タイマカウント値レジスタ: 0x4004500C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | CLK_CAL | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| CLK_CAL | CLK のカウント値を格納します。 |

7.22.3.5 CT 割込みクリアレジスタ: 0x40045010

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLK_CAL_CLEAR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| CLK_CAL_CLEAR | 割り込みをクリアします。<br>※本レジスタをリードすると、割込みをクリアします。<br>リード時は常に 0 が読み出されます。 |

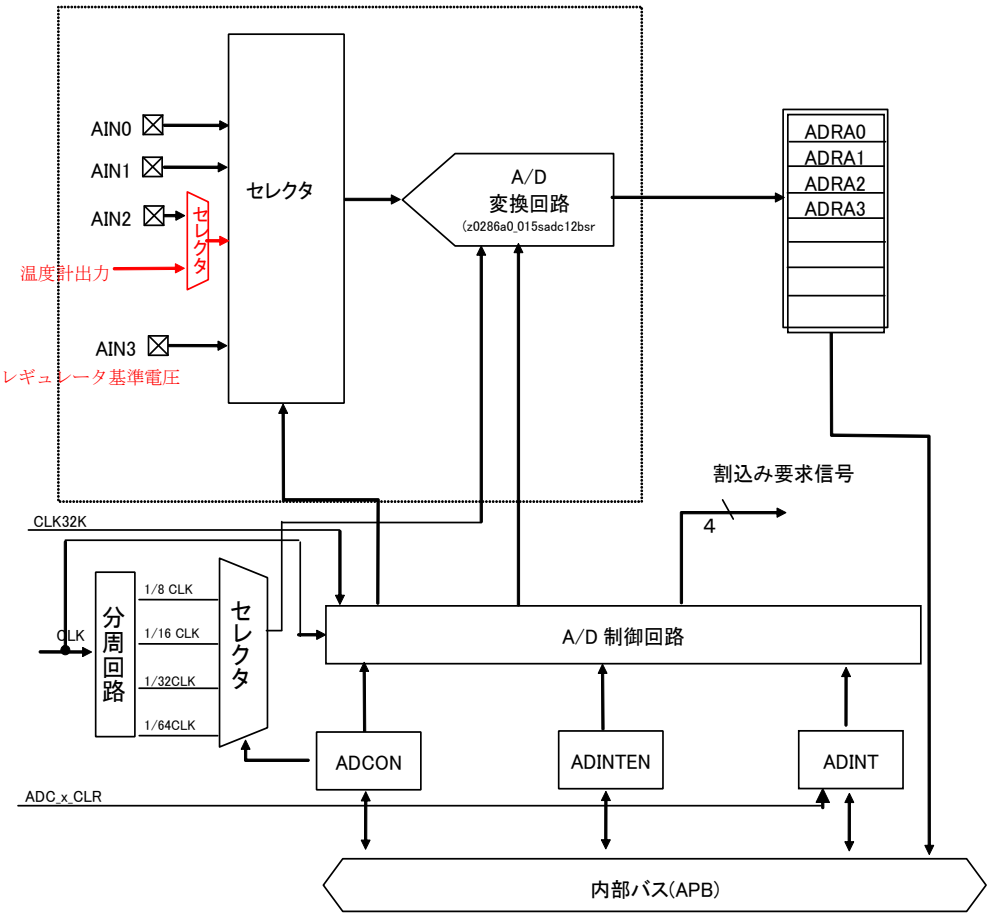
## 7.23.ADC

### 7.23.1 概要

10 ビット逐次比較型 AD コンバータを制御します。

特長を以下に示します。

- プログラマブルな最大 3 チャネル(CH0～CH2)スキャン機能(スキャン時間、スキャン順を設定可能)
  ※温度センサ(CH2)使用時は 2 チャンネルとなります。
- スキャン結果通知機能(割り込みにてスキャン完了を通知します。)
- AD 変換データ平均化機能(AD 変換した結果の平均値を表示します)
- CH0～CH2 入力電圧算出機能(CH3 にてレギュレータから出力される基準電圧のモニタが前提となります。)



### 7.23.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| 0x40070000 | A/D コントロールレジスタ | ADCON | R/W | 0x0000_0000 | 動作モードを設定します。 |
| 0x40070004 | A/D 割込み制御レジスタ | ADINT | R/W | 0x0000_0000 | 割り込みを通知します。 |
| 0x40070008 | A/D 割込みイネーブル制御レジスタ | ADINTEN | R/W | 0x0000_0000 | 割り込みイネーブルを設定します。 |
| 0x4007000C | A/D リザルトレジスタ(AVE)CH0 | ADRST0 | R | 0x0000_0000 | CH0 の A/D 変換結果(平均値)を表示します。 |
| 0x40070010 | A/D リザルトレジスタ(AVE)CH1 | ADRST1 | R | 0x0000_0000 | CH1 の A/D 変換結果(平均値)を表示します。 |
| 0x40070014 | A/D リザルトレジスタ(AVE)CH2 | ADRST2 | R | 0x0000_0000 | CH2 の A/D 変換結果(平均値)を表示します。 |
| 0x40070018 | A/D リザルトレジスタ(AVE)CH3 | ADRST3 | R | 0x0000_0000 | CH3 の A/D 変換結果(平均値)を表示します。 |
| 0x4007001C | A/D データレジスタ 0 | ADDT0 | R/W | 0xFFFF_FD30 | 予め Flash に格納されている低温(-40 ℃)、VDDIO_CPU=3.3V 時の A/D 変換結果を表示します。 |
| 0x40070020 | A/D データレジスタ 1 | ADDT1 | R/W | 0xFFFF_FCEC | 予め Flash に格納されている常温(25℃)、VDDIO_CPU=3.3V 時の A/D 変換結果を表示します。 |
| 0x40070024 | A/D データレジスタ 2 | ADDT2 | R/W | 0xFFFF_FCAB | 予め Flash に格納されている高温(105 ℃)、VDDIO_CPU=3.3V 時の A/D 変換結果を表示します。 |
| 0x40070028 | A/D データレジスタ 3 | ADDT3 | R/W | 0xFFFF_FD75 | 予め Flash に格納されている VDDIO_CPU=3.3V 時の CH3 の A/D 変換結果を表示します。 |

【注意】

A/D 変換中(ADRUN=1)に、ADCON に書き込み動作を行った場合は、ADRST0～ADRST3 のすべての A/D 変換の結果は保証されません。

## 7.23.3 レジスタ説明

### 7.23.3.1 A/D コントロールレジスタ: 0x40070000

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | ADCALR3 | ADCALR2 | ADCALR1 | ADCALR0 | ADCAL3 | ADCAL2 | ADCAL1 | ADCAL0 | Reserved | | | EXTEMP_SEL | ADWAIT3 | ADWAIT2 | ADWAIT1 | ADWAIT0 | Reserved | | | | | | ADCYC1 | ADCYC0 | ADCHG1 | ADCHG0 | ADAST | ADRUN | ADSSM3 | ADSSM2 | ADSSM1 | ADSSM0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | R | R | R | RW | RW | RW | RW | RW | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

<table>
<tr><td>ADSSM</td><td>
セレクトモード・スキャンモードのスキャンチャネルを指定します。1 ビットのみ"1"を設定した場合はセレクトモードとして、複数ビットに"1"を設定した場合はスキャンモードとして、それぞれ機能します。スキャンモード時はチャネル番号の小さい順に順次 A/D 変換を実施します。
<table>
<tr><th colspan="4">ADSSM</th><th rowspan="2">使用チャネル</th><th rowspan="2">セレクトチャネル・スキャンチャネル順序</th><th rowspan="2">モード</th></tr>
<tr><th>3</th><th>2</th><th>1</th><th>0</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>-</td><td>-</td><td>-</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>ch0</td><td>ch0</td><td>セレクト</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>ch1</td><td>ch1</td><td>セレクト</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>ch0,ch1</td><td>ch0→ch1</td><td>スキャン</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>ch2</td><td>ch2</td><td>セレクト</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>ch0,ch2</td><td>ch0→ch2</td><td>スキャン</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>ch1,ch2</td><td>ch1→ch2</td><td>スキャン</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>ch0,ch1,ch2</td><td>ch0→ch1→ch2</td><td>スキャン</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>ch3</td><td>ch3</td><td>セレクト</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>ch0,ch3</td><td>ch0→ch3</td><td>スキャン</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>ch1,ch3</td><td>ch1→ch3</td><td>スキャン</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>ch0,ch1,ch3</td><td>ch0→ch1→ch3</td><td>スキャン</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>ch2,ch3</td><td>ch2→ch3</td><td>スキャン</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>ch0,ch2,ch3</td><td>ch0→ch2→ch3</td><td>スキャン</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>ch1,ch2,ch3</td><td>ch1→ch2→ch3</td><td>スキャン</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>ch0,ch1,ch2,ch3</td><td>ch0→ch1→ch2→ch3</td><td>スキャン</td></tr>
</table>
【注意】<br>
使用チャネルの変更は A/D 変換停止状態で行って下さい。<br>
(ADRUN="0"のときのみスキャンチャネルの変更が有効です)
</td></tr>
<tr><td>ADRUN</td><td>
A/D 変換の動作/停止を指定します。<br>
0： A/D 変換停止<br>
1：A/D 変換開始<br>
後述 ADAST の設定値によって A/D 変換停止方法が以下のように異なります。<br>
ADAST=0 の場合:一連の A/D 変換終了後、ADRUN はハードウエアで自動クリア("0"書込み)されます。<br>
ADAST=1 の場合:一連の A/D 変換終了後、ADRUN に"0"書込みが必要です。<br>
次の A/D 変換開始のためには、ADRUN に"1"書き込みが必要です。<br>
このとき、次の ADRUN"1"まで前回の A/D 変換結果は保持されます。<br>
但し、次の ADRUN"1"設定時に割り込みがクリアされていない場合は、この ADRUN 設定は無効となります。<br>
【注意】<br>
ADSSM のどのビットも"1"がたっていない場合は ADRUN の設定値によらず A/D 変換は開始されません。<br>
もしも変換中に ADSSM=4'h0 に設定すると A/D 変換が終了しません(A/D 変換を強制終了するにはいったん ADRUN=0 設定が必要となります)。
</td></tr>
<tr><td>ADAST</td><td>
指定チャネルの A/D 変換一巡後、再び A/D 変換を実施するかどうかの有無を指定可能です。セレクト・スキャンどちらの
</td></tr>
</table>

<table>
<tr><td></td><td>モードも対応しています。<br>0:指定チャネルの A/D 変換後、変換動作を停止<br>1:指定チャネルの A/D 変換後、再度 A/D 変換動作開始</td></tr>
<tr><td>ADCHG</td><td>A/D コンバータの変換回数を指定します。1 回、4 回、8 回、16 回が指定可能です。<br>A/D 変換結果はこれら指定回数の平均値が出力されます。<br>00:1 回<br>01:4 回<br>10:8 回<br>11:16 回</td></tr>
<tr><td>ADCYC</td><td>A/D コンバータの動作クロックの周波数を選択します。<br>00:分周なし<br>01:2 分周<br>10:4 分周<br>11:8 分周<br>【注意】<br>A/D 変換(ADRUN=1)中に動作クロックを変更しないでください。<br>動作クロックは 2.5MHz または 1.25MHz を使用願います。<br>動作クロックの最小値は 400ns(2.5MHz)、最大値は 800ns(1.25MHz)で、A/D 変換に 25 クロックが必要です。<br>1 チャネル当りの A/D 変換時間は ADCYC 設定値から決まります。<br>例えば ADCYC[1:0]=”01”に設定した場合、変換時間は、800ns×25=20μs となります。<br>動作クロックとADCYCによるA/D変換時間（例）
<table>
<tr><td rowspan="2">CLK<br>(MHz)</td><td colspan="2">ADC 動作クロック<br>(min400ns / max800ns)</td><td colspan="2">A/D 変換時間<br>(min10μs / max 20μs)</td></tr>
<tr><td>ADCYC=00<br>（分周なし）</td><td>ADCYC=01<br>（2 分周）</td><td>ADCYC=00<br>（分周なし）</td><td>ADCYC=01<br>（2 分周）</td></tr>
<tr><td>2.5</td><td>400ns</td><td>800ns</td><td>10μs</td><td>20μs</td></tr>
</table>
またクロックサイクル=800ns , A/D 変換回数=16 回、選択チャネル=4 チャネルの場合、A/D 変換時間は最大となり、そのときの値は、800[ns] x 25[cycle] x (16+2[回]) x 4[channel] = 1.44[ms] となります。</td></tr>
<tr><td>ADWAIT</td><td>A/D コンバータ出力値を検出する間隔(A/D 変換開始からの wait 時間)を指定します。<br>8’h00=7.81ms<br>8’h01=15.62ms<br>8’h02=31.25ms<br>8’h03=62.5ms<br>8’h04=125ms<br>8’h05=250ms<br>8’h06=500ms<br>8’h07=1000ms</td></tr>
</table>

| | |
|---|---|
| | 8'h08=2000ms<br>8'h09=4000ms<br>8'h0a=8000ms<br>8'h0b～8'h0f=16000ms<br>wait 期間には AD 変換時間も含まれます。<br>wait 期間中に CPU 側で割り込み処理願います。<br>wait 期間中は後述の A/D リザルトレジスタの値は保持されます。<br>wait 時間は最大 16000ms まで設定可能です。但しスキャンモード時はチャネル間の wait は入りません。 |
| EXTEMP_SEL | ADC の CH2 入力を選択します。<br>EXTEMP_SEL=0 の場合：温度計からの入力を選択<br>EXTEMP_SEL=1 の場合：外部端子 ADC2 からの入力を選択 |
| ADCAL | 当該ビットに1が設定されている時 A/D コンバータ出力値の平均値の取得を行います。<br>各ビット(ビット 24-27)は各チャネル(CH0-CH3)に相当致します。<br>本レジスタは AD 変換回数を4回以上に設定した時のみ有効です。<br>0：最新の A/D 変換結果を格納<br>1：A/D 変換結果の平均値を格納 |
| ADCALR | 当該ビットに1が設定されている時 CH3 の A/D 変換結果より補正を行い<br>(小数点第 2 位まで算出。第 3 位以下切り捨て)、算出結果を AD 変換結果格納レジスタ<br>(ADRST0～3)へ格納します。<br>各ビット(ビット 28-31)は各チャネル(CH0-CH3)に相当致します。<br>0：補正を行いません。<br>1：次式による補正を行います。<br>補正式：(CH0/1/2 変換結果)/(CH3A/D 変換結果) |

7.23.3.2 A/D 割込み制御レジスタ: 0x40070004

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | ADINT3 | ADINT2 | ADINT1 | ADINT0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

| | |
|---|---|
| ADINT | 各チャネルの A/D 変換終了を示します。<br><br>ADINT0 0:チャネル 0 の A/D 変換は終了していない<br>1:チャネル 0 の A/D 変換は終了した<br>ADINT1 0:チャネル 1 の A/D 変換は終了していない<br>1:チャネル 1 の A/D 変換は終了した<br>ADINT2 0:チャネル 2 の A/D 変換は終了していない<br>1:チャネル 3 の A/D 変換は終了した<br>ADINT3 0:チャネル 3 の A/D 変換は終了していない<br>1:チャネル 3 の A/D 変換は終了した<br><br>本ビットに対し”1”をライトすることでクリアされます。”0”がライトされると無視されます。 |

7.23.3.3 A/D 割込みイネーブル制御レジスタ: 0x40070008

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | ADINTEN3 | ADINTEN2 | ADINTEN1 | ADINTEN0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

| | |
|---|---|
| ADINTEN | 各チャネルの割り込みの許可を示します。。<br><br>ADINTEN0 0:チャネル 0 の割込み禁止<br>1:チャネル 0 の割込み許可<br>ADINTEN1 0:チャネル 1 の割込み禁止<br>1:チャネル 1 の割込み許可<br>ADINTEN2 0:チャネル 2 の割込み禁止<br>1:チャネル2の割込み許可<br>ADINTEN3 0:チャネル 3 の割込み禁止<br>1:チャネル 3 の割込み許可<br><br>【注意】<br>割込み禁止設定にしたチャネルを変換後、変換ステータスをクリアせずにそのチャネルを割込み許可設定に変更すると変更直後にそのチャネルの割込み要求があがります。 |

7.23.3.4 A/D リザルトレジスタ 0: 0x4007000C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | ADRST09 | ADRST08 | ADRST07 | ADRST06 | ADRST05 | ADRST04 | ADRST03 | ADRST02 | ADRST01 | ADRST00 | Reserved | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| ADRST0 | チャネル 0 の A/D 変換結果(平均値)を格納するレジスタです。<br>A/D コンバータの変換回数(1 回、4 回、8 回、16 回)を指定した場合は、これら指定回数の平均値が格納されます。また、一連の A/D 変換後、次の A/D 変換終了までに割込み要求が許可されていない場合においても、次(最新の)の A/D 変換時の値が本レジスタに格納されます(最新の A/D 変換値に上書き更新されます)。<br><br>【注意】<br>(※1)将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。<br>A/D 変換中(ADRUN=1)に、A/D コントロールレジスタに書き込みを行うと、ADRST0～ADRST3 のすべての A/D 変換の結果は保証されません。 |

7.23.3.5 A/D リザルトレジスタ 1: 0x40070010

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | ADRST19 | ADRST18 | ADRST17 | ADRST16 | ADRST15 | ADRST14 | ADRST13 | ADRST12 | ADRST11 | ADRST10 | Reserved | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| ADRST1 | チャネル1の A/D 変換結果（平均値）を格納するレジスタです。<br>A/D コンバータの変換回数(1 回、4 回、8 回、16 回)を指定した場合は、これら指定回数の平均値が格納されます。また、一連の A/D 変換後、次の A/D 変換終了までに割込み要求が許可されていない場合においても、次(最新の)の A/D 変換時の値が本レジスタに格納されます(最新の A/D 変換値に上書き更新されます)。<br><br>【注意】<br>(※1)将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。<br>A/D 変換中(ADRUN=1)に、A/D コントロールレジスタに書き込みを行うと、ADRST0～ADRST3 のすべての A/D 変換の結果は保証されません。 |

7.23.3.6 A/D リザルトレジスタ 2: 0x40070014

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | ADRST29 | ADRST28 | ADRST27 | ADRST26 | ADRST25 | ADRST24 | ADRST23 | ADRST22 | ADRST21 | ADRST20 | Reserved | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| ADRST2 | チャネル 2 の A/D 変換結果(平均値)を格納するレジスタです。<br>A/D コンバータの変換回数(1 回、4 回、8 回、16 回)を指定した場合は、これら指定回数の平均値が格納されます。また、一連の A/D 変換後、次の A/D 変換終了までに割込み要求が許可されていない場合においても、次(最新の)の A/D 変換時の値が本レジスタに格納されます(最新の A/D 変換値に上書き更新されます)。<br><br>【注意】<br>(※1)将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。<br>A/D 変換中(ADRUN=1)に、A/D コントロールレジスタに書き込みを行うと、ADRST0～ADRST3 のすべての A/D 変換の結果は保証されません。 |

7.23.3.7 A/D リザルトレジスタ 3: 0x40070018

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | ADRST39 | ADRST38 | ADRST37 | ADRST36 | ADRST35 | ADRST34 | ADRST33 | ADRST32 | ADRST31 | ADRST30 | Reserved | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| ADRST3 | チャネル 3 の A/D 変換結果(平均値)を格納するレジスタです。<br>A/D コンバータの変換回数(1 回、4 回、8 回、16 回)を指定した場合は、これら指定回数の平均値が格納されます。また、一連の A/D 変換後、次の A/D 変換終了までに割込み要求が許可されていない場合においても、次(最新の)の A/D 変換時の値が本レジスタに格納されます(最新の A/D 変換値に上書き更新されます)。<br><br>【注意】<br>(※1)将来の拡張用の予約ビットです。リード時は"0"が読み出されます。ライト時は"0"を書き込んで下さい。<br>A/D 変換中(ADRUN=1)に、A/D コントロールレジスタに書き込みを行うと、ADRST0～ADRST3 のすべての A/D 変換の結果は保証されません。 |

7.23.3.8 A/D データレジスタ 0: 0x4007001C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | ADDT_STAT0 | Reserved | | | | | | | | | | | | | | | | | | | | | ADDT09 | ADDT08 | ADDT07 | ADDT06 | ADDT05 | ADDT04 | ADDT03 | ADDT02 | ADDT01 | ADDT00 |
| 初期値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| ADDT0 | Flash に格納されている低温(-40℃)時の A/D 変換結果を格納するレジスタです。 |
| ADDT_STAT0 | ADDT0 が Flash から更新されたかを示すレジスタです。<br>0：更新あり<br>1：更新なし |

7.23.3.9 A/D データレジスタ 1: 0x40070020

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | ADDT_STAT1 | Reserved | | | | | | | | | | | | | | | | | | | | | ADDT19 | ADDT18 | ADDT17 | ADDT16 | ADDT15 | ADDT14 | ADDT13 | ADDT12 | ADDT11 | ADDT10 |
| 初期値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| ADDT1 | Flash に格納されている常温(25℃)時の A/D 変換結果を格納するレジスタです。 |
| ADDT_STAT1 | ADDT1 が Flash から更新されたかを示すレジスタです。<br>0：更新あり<br>1：更新なし |

7.23.3.10 A/D データレジスタ 2: 0x40070024

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | ADDT_STAT0 | Reserved | | | | | | | | | | | | | | | | | | | | | ADDT29 | ADDT28 | ADDT27 | ADDT26 | ADDT25 | ADDT24 | ADDT23 | ADDT22 | ADDT21 | ADDT20 |
| 初期値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| ADDT2 | Flash に格納されている高温(105℃)時の A/D 変換結果を格納するレジスタです。 |
| ADDT_STAT2 | ADDT2 が Flash から更新されたかを示すレジスタです。<br>0：更新あり<br>1：更新なし<br>。 |

7.23.3.11 A/D データレジスタ 3: 0x40070028

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | ADDT_STAT3 | Reserved | | | | | | | | | | | | | | | | | | | | | ADDT39 | ADDT38 | ADDT37 | ADDT36 | ADDT35 | ADDT34 | ADDT33 | ADDT32 | ADDT31 | ADDT30 |
| 初期値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| ADDT3 | Flash に格納されている VDDIO_CPU=3.3V 時の CH3 の A/D 変換結果を格納するレジスタです。 |
| ADDT_STAT3 | ADDT3 が Flash から更新されたかを示すレジスタです。<br>0：更新あり<br>1：更新なし |

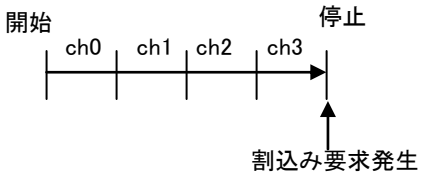
### 7.23.4 機能説明

A/D コンバータの動作モードには、選択された複数のチャネルを順次変換するスキャンモードと、選択された 1 つのチャネルを変換するセレクトモードの 2 種類があります。
これらのモードを同時に使用することはできません。また、動作モードの変更は、A/D 変換動作停止時に行って下さい。
A/D 変換中(ADRUN=1)に、動作モードを変更した場合、すべての A/D 変換の結果は保証されません。

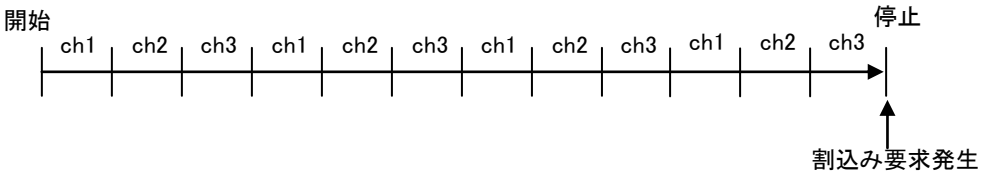
#### 7.23.4.1 スキャンモード(複数チャネルが選択された場合)

スキャンモード(複数チャネルが選択された場合)、CH0～CH3 内で選択されたチャネルのうち最もチャネル番号が小さいチャネルを先頭とし昇順で順次 A/D 変換を行います。
スキャンモードでは、選択チャネルが一巡し最後のチャネルの A/D 変換が終了した時点で A/D 変換を停止します。また先頭チャネルから再度 A/D 変換を自動的に再開し、その回数を選択することが可能です。

スキャンモードの動作例を示します。



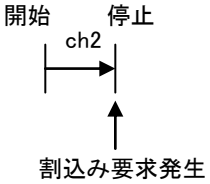

スキャンモードの動作例(スキャンチャネル:CH0～CH3。)



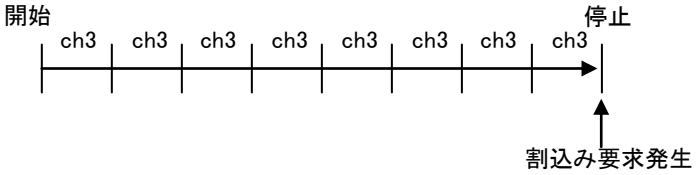

スキャンモードの動作例(スキャンチャネル:CH1～CH3。A/D 変換回数=4)

#### 7.23.4.2 セレクトモード(1 チャネルのみ選択された場合)

セレクトモード(1 チャネルのみ選択された場合)は、CH0～CH3 のうちの選択された 1 つのチャネルを A/D 変換します。
またスキャンモードと同様、選択チャネルの A/D 変換を自動的に再開し、その回数を選択することが可能です。
セレクトモードの動作例を示します。




セレクトモードの動作例(セレクトチャネル:CH2 の場合)




セレクトモードの動作例(セレクトチャネル:CH3。A/D 変換回数=8)

### 7.23.4.3 AD 変換時間

AD 変換に要する処理時間(ADC_time)は以下となります。

ADC_time = (1/(2.5[MHz]/(2^ADCYC[1:0])) × 25[cycle] × ADSSM[3:0]) x ADCHG[1:0]

[ 例]

ADCYC[1:0]=0x2 (動作クロック:4 分周)

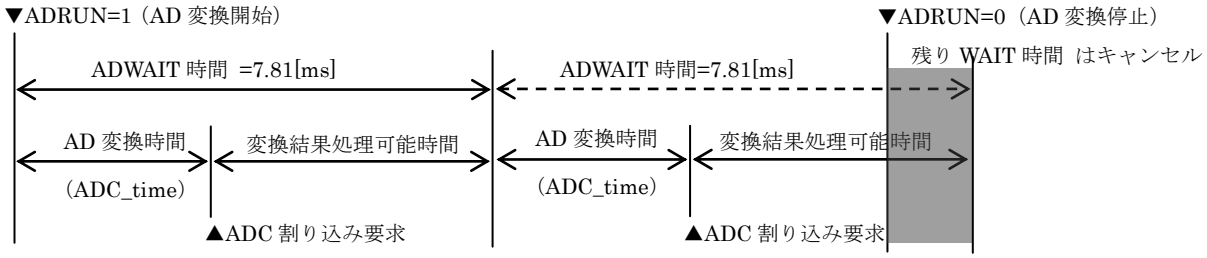
ADSSM[3:0]=0x5 (使用 CH:CH0、CH2)

ADCHG[1:0]=0x2 (変換回数:8 回)

ADWAIT[3:0]=0x0 (変換開始から出力検出までの WAIT 時間:7.81[ms])

ADAST=1 設定時の動作(2 回目の割り込み処理時に AD 変換停止する場合)

ADC_time = (1/2.5MHz/4) × 25 × 2 × 8 = 640[us]




### 7.23.4.4 AD 変換手順

入力電圧を算出する場合、次の手順になります。

①CH3 の電源 3.3V 時基準電圧 AD 変換結果(ADDT3)と現在の基準電圧 AD 変換結果(ADRST3)から現在の電源電圧(Vddx)を求めます。

Vddx＝3.3 x (ADDT3/ADRST3)

②CH0～CH2 の入力電圧 AD 変換結果(ADRST*)と①で求めた電源電圧(Vddx)より入力電圧の絶対値を算出します。

Vx＝Vddx x (ADRST*/1023)

※コード算出のため、量子化誤差を含みフルスケールコード
1023 を用いています。

## 7.24.温度計(TEMP)

### 7.24.1 概要

チップ内部の温度を計測する 1 チャネルの温度センサ(温度情報を取得する機能)です。
特長を以下に示します。

- 精度:±5℃
- 温度を電圧に変換し 10 ビット A/D コンバータでデジタル化します。

※温度計の A/D 変換は ADC 機能に準じます。ADC のチャネル 2 を選択、動作させることで温度計の A/D 変換が機能します。詳細は ADC の章を参照願います。

### 7.24.2 レジスター覧

ADC の章を参照願います。

### 7.24.3 レジスタ説明

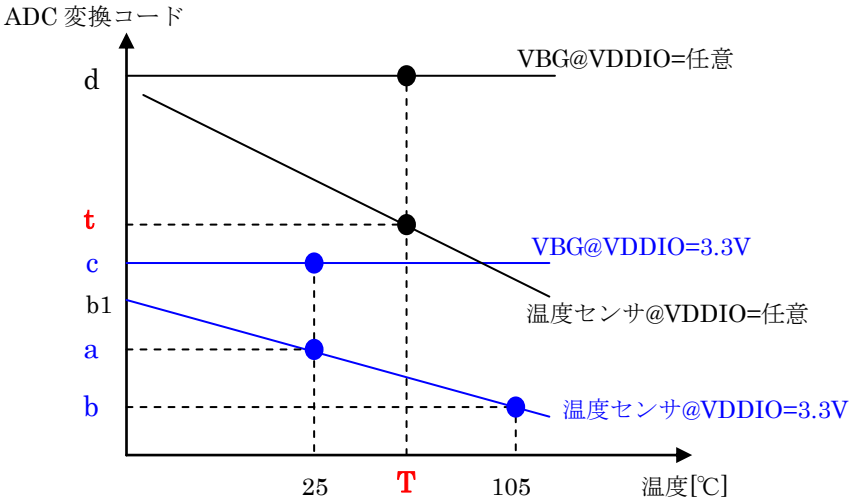
ADC の章を参照願います。

### 7.24.4 機能説明

常温(25℃/VDDIO=3.3V)、高温(105℃/VDDIO=3.3V)、VBG(25℃/VDDIO=3.3V)における ADC 変換コード(それぞれを a、b、 c とします)は LSI 出荷時に予め内蔵 Flash へ書き込まれております。これら Flash へ格納されている値は、電源投入時に A/D データレジスタ 1、A/D データレジスタ 2、A/D データレジスタ 3 にそれぞれ自動ロード機能にて反映されます。

VDDIO=任意電圧時の任意入力(CH2)と VBG(CH3)の ADC 変換コードをそれぞれ t、d とします。
これら a～d および t の値から以下の算出式にて任意の VDDIO 電圧時の温度(T)が算出可能です。
算出処理はお客様のソフトウエアにてご対応願います。

■温度と ADC 変換コード(レジスタ値)




■既知の値

a = A/D データレジスタ 1(Adr:0x40070020)

b = A/D データレジスタ 2(Adr:0x40070024)

c = A/D データレジスタ 3(Adr:0x40070028)

■取得データ

d= A/D リザルトレジスタ 3(アドレス:0x40070018)

t = A/D リザルトレジスタ 2(アドレス:0x40070014)

■温度算出式

$$a1 = \frac{b - a}{105 - 25}$$

$$\text{温度 } T = \frac{\frac{c}{d} * t - b1}{a1}$$

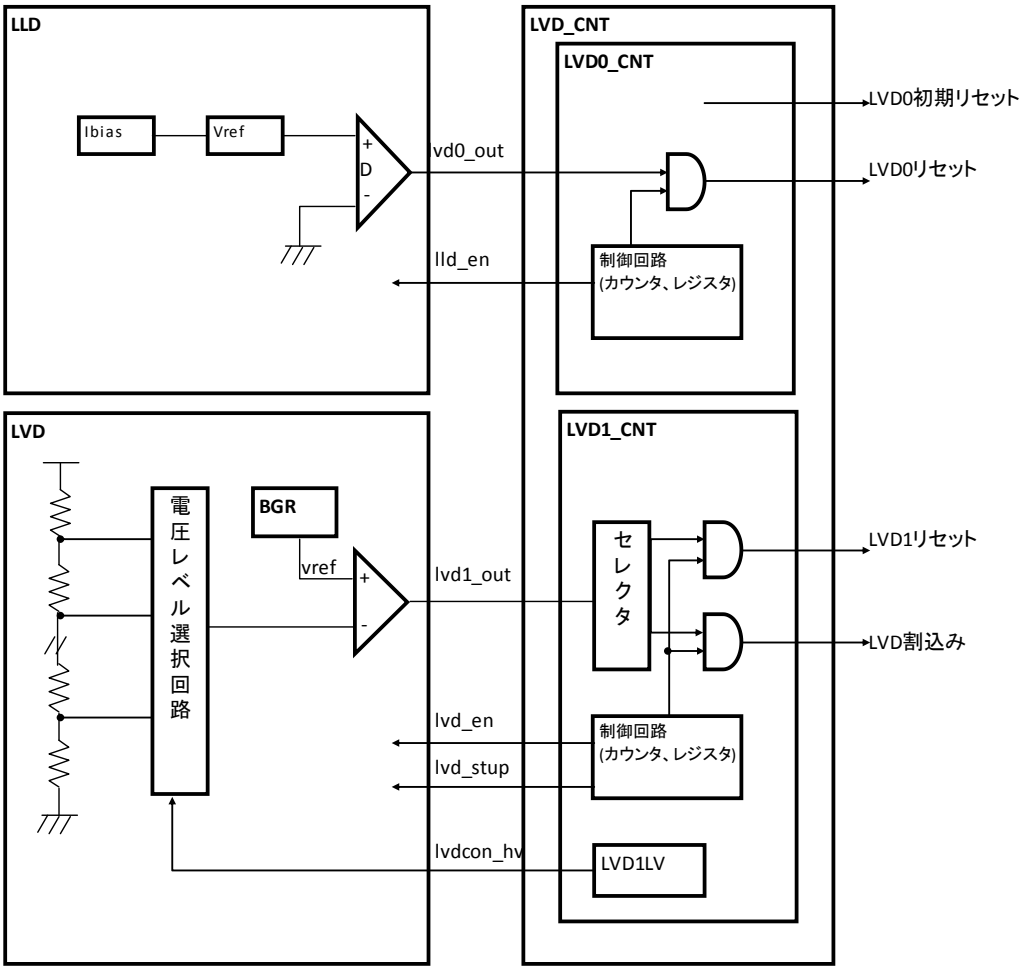
## 7.25.低電圧検出(LVD)

### 7.25.1 概要

低電圧検出機能です。

特長を以下に示します。

- 電圧検出レベル設定が可能です。
- 検出後は割り込み通知 or リセットが選択可能です。
- 専用低速タイマで周期的に基準電圧(VBG)を起動して、電圧検出レベルを比較判定します。



### 7.25.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| 0x40090000 | LVD0 コントロールレジスタ | LVD0CON | R | 0x0000_0000 | LLD(LVD0)の検出有無を通知します。 |
| 0x40090004 | LVD0 アナログ出力安定化待ち時間設定レジスタ | LVD0W | R/W | 0x8000_0004 | LLD(LVD0)の安定化待ち時間を設定します。 |
| 0x40090008 | LVD0 イネーブルレジスタ | ENLVD0 | R/W | 0x0000_0001 | LLD(LVD0)の動作有効、無効を設定します。 |
| 0x4009000C | LVD1 コントロールレジスタ | LVD1CON | R/W | 0x0000_0001 | LVD(LVD1)の検出有無を通知します。 |
| 0x40090010 | LVD1 動作周期設定レジスタ | LVD1P | R/W | 0x0000_0000 | LVD(LVD1)の動作モードを設定します。 |
| 0x40090014 | LVD1 アナログ出力安定化待ち時間設定レジスタ | LVD1W | R/W | 0x0000_0002 | LVD(LVD1)の安定化待ち時間を設定します。 |
| 0x40090018 | LVD1 スタートアップ信号立上り・立下り設定レジスタ | LVD1STUP | R/W | 0x0000_0100 | LVD(LVD1)のタイミングを調整します。 |
| 0x4009001C | LVD1 割込みマスクレジスタ | LVD1IMSK | R/W | 0x0000_0000 | LVD(LVD1)の割込みマスクを設定します。 |
| 0x40090020 | LVD1 割込みステータスレジスタ | LVD1IST | R | 0x0000_0000 | LVD(LVD1)の割り込みステータス(マスク後)を示します。 |
| 0x40090024 | LVD1 割込み RAW ステータスレジスタ | LVD1RIST | R | 0x0000_0000 | LVD(LVD1)の割り込みステータス(マスク前)を示します。 |
| 0x40090028 | LVD1 割込みクリアレジスタ | LVD1ICLR | R | 0x0000_0000 | LVD(LVD1)からの割り込みをクリアします。 |
| 0x4009002C | LVD1 イネーブルレジスタ | ENLVD1 | R/W | 0x0000_0000 | LVD(LVD1)の動作有効、無効を設定します。 |

### 7.25.3 レジスタ説明

7.25.3.1 LVD0 コントロールレジスタ: 0x40090000

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | LVD0RF | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| LVD0RF | LVD0 電圧レベル検出有効フラグ.<br>1: 有効<br>0: 無効（安定待ちまたは OFF）<br><br>ENLVD0 を"1"に設定した後、LVD0W で設定した待ち時間経過後に"1"になります。<br>LVD0 動作中に本ブロックへのクロック供給を停止する場合、本ビットが"1"なっていることを確認してから停止して下さい。 |

7.25.3.2 LVD0 アナログ出力安定化待ち時間設定レジスタ: 0x40090004

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | LVD0W | | | |
| 初期値 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

| | |
|---|---|
| LVD0W | LVD0 アナログ出力安定化待ち時間を設定します。(default 52us)<br>待ち時間=設定値×APB クロック周期×256 sec<br>100us 程度まで設定可能です。<br>″0″の設定は禁止です。 |

※本レジスタアドレスへの書き込みは ENLVD0="0"の時のみ可能です。ENLVD0="1"時は無視されます。

※本レジスタはパワーオンリセットでのみリセットされます。

7.25.3.3 LVD0 イネーブルレジスタ: 0x40090008

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | ENLVD0 |
| 初期値 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

| | |
|---|---|
| ENLVD0 | 電圧検出 0 機能イネーブル.<br>1: 動作<br>0: 停止 |

※本レジスタはパワーオンリセットでのみリセットされます。

7.25.3.4 LVD1 コントロールレジスタ: 0x4009000C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | LVD1RF | LVD1BF | LVD1F | Reserved | | | | | | LVD1SMP | LVD1SLP | Reserved | | LVD1MD | | Reserved | | LVD1SEL | | Reserved | | | | LVD1LV | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | R | R | RW | RW | R | R | RW | RW | R | R | R | R | RW | RW | RW | RW |

| | |
|---|---|
| LVD1RF | 電圧レベル検出有効フラグ.<br>1: 有効<br>0: 無効（安定待ちまたは OFF） |
| LVD1BF | 電圧レベル検出 BUSY フラグ.<br>1: 動作中<br>0: 停止（動作周期待ちまたは OFF） |
| LVD1F | 電圧レベル検出フラグ<br>1: 検出<br>0: 未検出 |
| LVD1SMP | アナログ出力のサンプリング有無を設定します。<br>1: LVD クロックでサンプリングします。<br>2 サイクル連続して低電圧を検出した場合、検出と判定します。<br>0: サンプリングしません。<br>間欠動作モードは本ビットの設定に関わらずサンプリングを行います。 |
| LVD1SLP | スリープ中の動作を設定します。<br>1: スリープ中も動作を継続します。<br>0: スリープ中は自動停止、復帰後は自動で動作再開します。 |
| LVD1MD | 動作モードを設定します。 |

<table>
<tr><td></td><td>00： 常時動作（default）<br>01： 間欠動作<br>10： 単発動作<br>11： 常時動作（設定禁止）</td></tr>
<tr><td>LVD1SEL</td><td>VDD が閾値電圧よりも低いことを検出した際の割込み/リセットの禁止、許可を設定します。<br>00： リセット禁止、割込み禁止（default）<br>01： リセット許可、割込み禁止<br>10： リセット禁止、割込み許可<br>11： リセット許可、割込み禁止（設定禁止）</td></tr>
<tr><td>LVD1LV</td><td>LVD1 の閾値電圧を設定します。下記に示す値以外は設定しないでください。
<table>
<tr><th>bit3</th><th>bit2</th><th>bit1</th><th>bit0</th><th>LVD1 閾値電圧[V]</th><th></th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1.80</td><td>初期値</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1.95</td><td></td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>2.10</td><td></td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>2.25</td><td></td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>2.40</td><td></td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>2.55</td><td></td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>2.70</td><td></td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>2.85</td><td></td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>3.00</td><td></td></tr>
</table></td></tr>
</table>

※本レジスタアドレスへの書き込みは ENLVD1="0"の時のみ可能です。ENLVD1="1"時は無視されます。

7.25.3.5 LVD1 動作周期設定レジスタ: 0x40090010

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | LVD1P | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| LVD1P | LVD1 の動作周期を設定します。<br>本レジスタは間欠動作モード時のみ有効です。<br>周期=設定値*クロック周期。32 秒@32KHz まで設定可能。(512 秒@2KHz)<br>"0"の設定は禁止です。 |

※本レジスタアドレスへの書き込みは ENLVD1="0"の時のみ可能です。ENLVD1="1"時は無視されます。

7.25.3.6 LVD1 アナログ出力安定化待ち時間設定レジスタ: 0x40090014

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | LVD1W | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| LVD1W | LVD1 アナログ出力安定化待ち時間を設定します。<br>待ち時間=設定値*周期。周波数=32KHz で 1.92ms。<br>"0"の設定は禁止です。 |

※本レジスタアドレスへの書き込みは ENLVD1="0"の時のみ可能です。ENLVD1="1"時は無視されます。

7.25.3.7 LVD1 スタートアップ信号立上り・立下り設定レジスタ: 0x40090018

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | LVD1STUPF | | | | | | Reserved | | LVD1STUPR | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | R | R | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| LVD1STUPF | LVD1 スタートアップ信号の立下りタイミングを設定します。<br>LVD1 スタートアップ信号幅=LVD1STUPW とすると、<br>設定値=LVD1STUPR＋LVD1STUPW。周波数=32KHz で 1.92ms。<br>″0″ および LVD1STUPF ＞ LVD1W の設定は禁止です。 |
| LVD1STUPR | LVD1 コンパレータ起動からスタートアップまでの遅延時間を設定します。<br>遅延時間=設定値*周期。周波数=32KHz で 1.92ms。<br>LVD1STUPR ＜ LVD1W および LVD1STUPR ＜ LVD1STUPF の範囲で設定してください。<br>″0″設定時は、LVD1 コンパレータイネーブルと同時に立上ります。<br>LVD1STUPR ≧ LVD1W の時は、LVD1 スタートアップ信号は L 固定になります。<br>また、LVD1STUPR ≧ LVD1STUPF の時も同様に L 固定になります。 |

※本レジスタアドレスへの書き込みは ENLVD1="0"の時のみ可能です。ENLVD1="1"時は無視されます。

7.25.3.8 LVD1 割込みマスクレジスタ: 0x4009001C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | LVD1IMSK |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

| | |
|---|---|
| LVD1IMSK | LVD1 割込みマスク<br>1: マスク<br>0: マスクなし |

7.25.3.9 LVD1 割込みステータスレジスタ: 0x40090020

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | LVD1IST |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| LVD1IST | LVD1 割込みステータス(マスク後)<br>1: 割込みあり<br>0: 割込みなし |

7.25.3.10 LVD1 割込み RAW ステータスレジスタ: 0x40090024

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | LVD1RIST |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| LVD1RIST | LVD1 割込みステータス(マスク前)<br>1: 割込みあり<br>0: 割込みなし |

7.25.3.11 LVD1 割込みクリアレジスタ: 0x40090028

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | LVD1ICLR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| LVD1ICLR | 本レジスタをリードすると LVD1 割込みをクリアします。 |

7.25.3.12 LVD1 イネーブルレジスタ: 0x4009002C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | ENLVD1 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

| | |
|---|---|
| ENLVD1 | 電圧検出機能イネーブル.<br>1: 動作<br>0: 停止 |

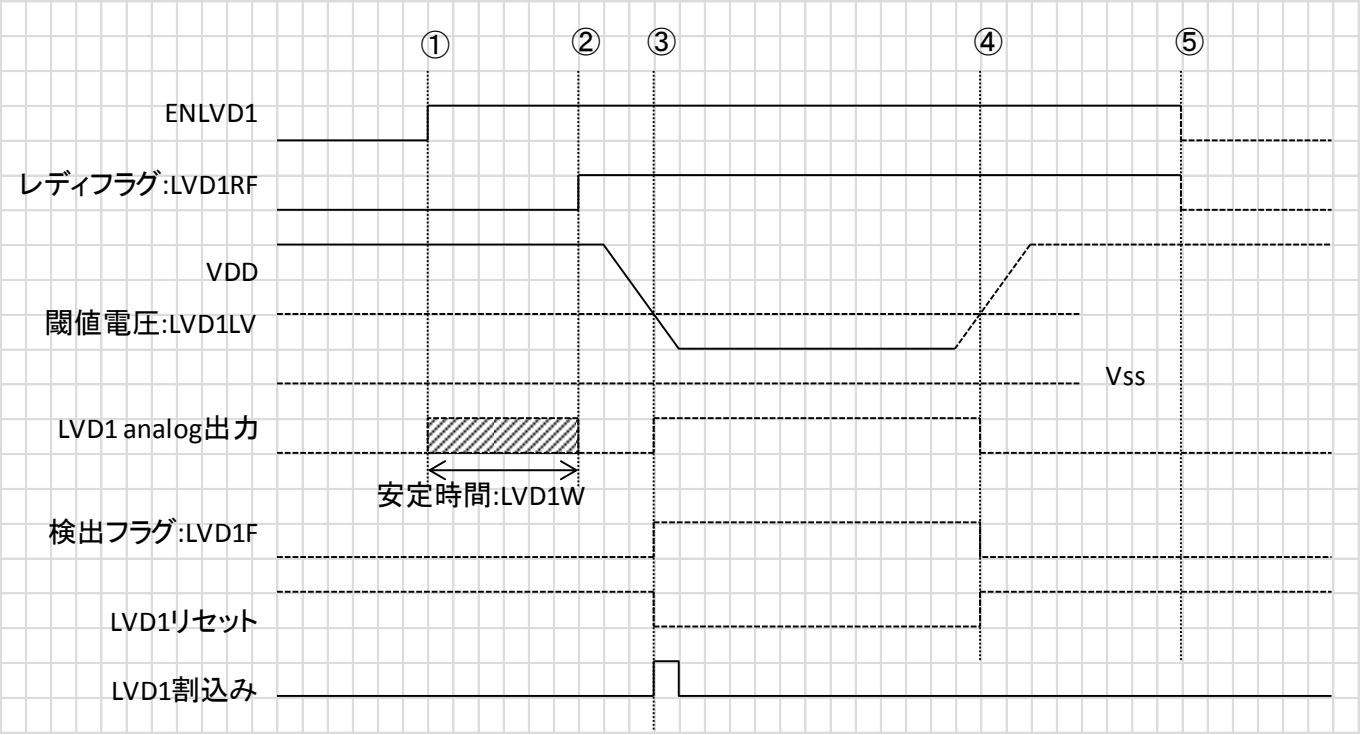
### 7.25.4 機能説明

本機能は、電源電圧が設定した閾値電圧より低下したかどうかを判定できます。
以下に機能を示します。

| | LVD0(LLD) | LVD1(LVD) |
|---|---|---|
| 低電圧検出時の処理 | リセット発生 | リセット発生または割込み発生を選択可能。 |
| 閾値電圧 | 固定値 | 16 値より選択可能 |
| 動作モード | 常時動作 | 常時動作モード、間欠動作モード、単発動作モードから選択可能。 |
| 低電圧検出時のリセット範囲 | CPU_ST 以外の全機能リセット(WDT による割込み検出時と同様)。RF チップもリセット。但し、本機能(LVD)ブロック自身ははリセット対象外。 | |
| スリープ中の動作 | クロックなしでも動作可能 | 常時動作モード：クロックなしでも動作可能<br>間欠動作モード：低速クロックのみで動作可能<br>単発動作モード：動作不可能 |

#### 7.25.4.1 常時動作モード

常時動作モードは、常に判定を実施するモードです。VDD の低下を最速で検出できます。




① CPU から ENLVD1 を"1"にする。

② LVD1 analog 出力安定後(LVD1W で時間設定)、LVD1RF に"1"が表示される。

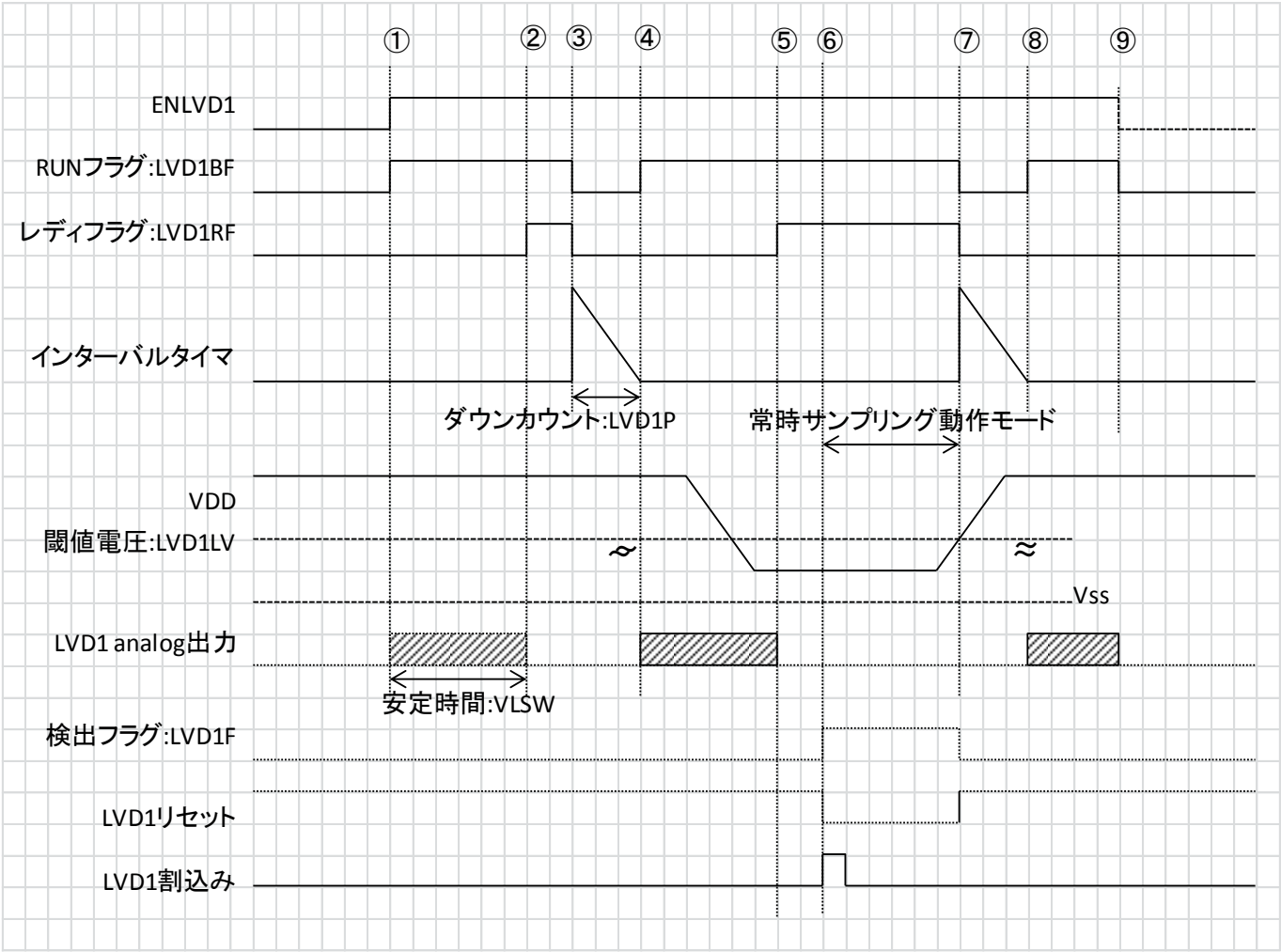
③ VDD が判定電圧を下回ったら検出フラグ（VLSF）に"1"が表示される。
リセットが許可されている場合、LVD1 リセットが発生する
割込みが許可されている場合、LVD1 割込みが発生する。割込みのクリアは CPU が行う。

④ VDD が閾値電圧(LVD1LV)を上回った場合、検出フラグ(LVD1F)に"0"が表示される。
リセットが解除される。

⑤ 検出を終える場合、CPU から ENLVD1 を"0"にする。

#### 7.25.4.2 間欠動作モード

間欠動作モードは、ハードウェアが LVD1 の判定を周期的に行うモードです。
CPU がスリープ状態であってもハードウェアが自動で起動、判定、停止を行うため、平均電流を削減できます。
低電圧を検出した場合、自動的に常時サンプリング動作モードに切り替えます。
常時サンプリング動作モードで VDD が閾値電圧を上回った場合、間欠動作モードに戻ります。




① CPU から ENLVD1 を"1"にする。LVD1BF フラグに"1"が表示される。
② LVD1 analog 出力安定後(LVD1W で時間設定)、LVD1RF に"1"を表示される。
③ 32KHz2φ期間後、LVD1 がディセーブルされ、LVD1BF、LVD1RF がクリアされる。
動作周期タイマに LVD1P が設定されダウンカウントが開始される。
④ 動作周期タイマが"0"になったら LVD1 がイネーブルされ、LVD1BF に"1"が表示される。
⑤ LVD1 analog 出力安定後(LVD1W で時間設定)、LVD1RF に"1"が表示される。
⑥ LVD1 analog 出力安定後(LVD1W で時間設定)、LVD1RF に"1"が表示される。

VDD が判定電圧を下回っていた場合、LVD1F に"1"が表示される。
リセットが許可されている場合、LVD1 リセットが発生する
割込みが許可されている場合、LVD1 割込みが発生する。割込みのクリアは CPU が行う。
常時サンプリング動作モードに自動で移行する。

⑦ LVD1 analog 出力安定後(LVD1W で時間設定)、LVD1RF に"1"が表示される。
VDD が閾値電圧を上回ったら検出フラグ(LVD1F)に"0"が表示される。
リセットが解除される。

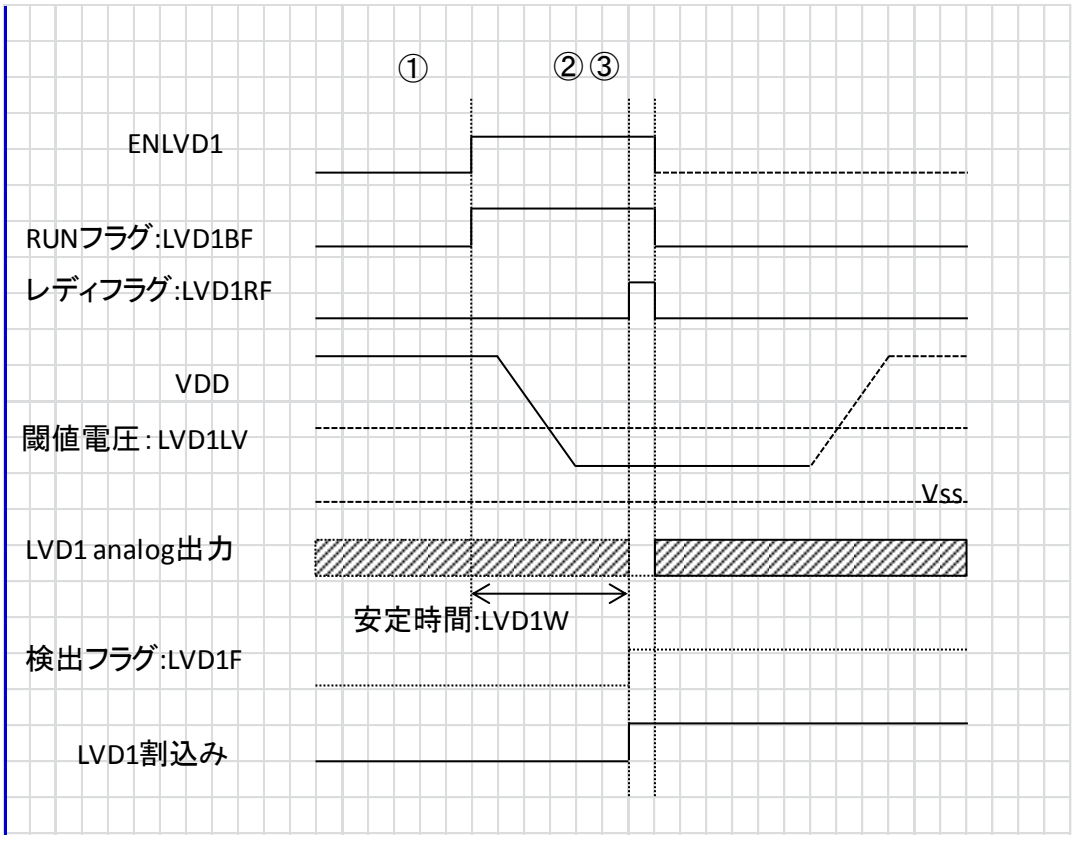
⑧ ②と同様

⑨ 検出を終える場合、CPU から ENLVD1 を"0"にする。

#### 7.25.4.3 単発動作モード

単発動作モードは、電圧の比較が完了した時点で LVD1 割込みを通知(注 1)しハードが自動で低電圧検出動作をディセーブルするモードです。

低電圧検出の実施タイミングをソフトウェアにより制御する場合に適しています。




① CPU から ENLVD1 を"1"にする。VLSBF フラグに"1"が表示される。

② LVD analog 出力安定後、LVD1RF に"1"が表示される。

LVD1 割込み（ここでは、判定完了の意味合い）を通知。

VDD が閾値電圧（LVD1LV）未満であった場合、LVD1F に"1"が表示される。

※LVD1SEL によりリセットが許可されている場合、リセット発生

③ 32KHz1φ後、ENLVD1 を自動クリアする。

注 1）単発動作モード以外のモード（常時動作モード、間欠動作モード）では、低電圧を検出（VDD<閾値電圧）した際に割込みが通知されます。

## 7.26.DMAC

### 7.26.1 概要

ダイレクト・メモリ・アクセス・コントローラです。各種ペリフェラルの中で SPI、AES が DMA 転送に対応しています。

特長を以下に示します。

- 4ch(チャネル 0～3)の DMA コントローラです。
- 各 ch にソース転送、デスティネーション転送用の 16 段の FIFO(チャネル 0 とチャネル 1 は 8 段)をそれぞれ搭載します。
- ペリフェラル-メモリ間転送が可能です。
- SPI、AES とハンドシェイクするハードウェアインタフェースを搭載します。
- 最大 2048 バイトのブロック転送が可能です。
- 各 ch の優先順位が設定可能です。
- AHB マスタポートを 1 ポート持ちます。
- 転送アドレスのインクリメント、デクリメントおよび単一アドレスへの転送が可能です。
- リンクリストによるマルチブロック転送をサポートします。

### 7.26.2 レジスター覧

| アドレス | サイズ | 名称 | 略称 | 32 ビットシンボル[15] | R/W | 説明 |
|---|---|---|---|---|---|---|
| BASE+0x000 | 64 | チャネル 0 ソースアドレスレジスタ | DMACm_SAR0 | H:-<br>L:DMACm_SAR0 | R/W | チャネル 0 の転送元アドレスを設定します。 |
| BASE+0x008 | 64 | チャネル 0 デスティネーションアドレスレジスタ | DMACm_DAR0 | H:-<br>L:DMACm_DAR0 | R/W | チャネル 0 の転送先アドレスを設定します。 |
| BASE+0x010 | 64 | チャネル 0 リンクリストポインタレジスタ | DMACm_LLP0 | H:-<br>L:DMACm_LLP0 | R/W | チャネル 0 のリンクリストへのポインタを設定します。 |
| BASE+0x018 | 64 | チャネル 0 制御レジスタ | DMACm_CTL0 | H:DMACm_CTL0_H<br>L:DMACm_CTL0_L | R/W | チャネル 0 を制御します。 |
| BASE+0x058 | 64 | チャネル 1 ソースアドレスレジスタ | DMACm_SAR1 | H:-<br>L:DMACm_SAR1 | R/W | チャネル 1 の転送元アドレスを設定します。 |
| BASE+0x060 | 64 | チャネル 1 デスティネーションアドレスレジスタ | DMACm_DAR1 | H:-<br>L:DMACm_DAR1 | R/W | チャネル 1 の転送先アドレスを設定します。 |
| BASE+0x068 | 64 | チャネル 1 リンクリストポインタレジスタ | DMACm_LLP1 | H:-<br>L:DMACm_LLP1 | R/W | チャネル 1 のリンクリストへのポインタを設定します。 |
| BASE+0x070 | 64 | チャネル 1 制御レジスタ | DMACm_CTL1 | H:DMACm_CTL1_H<br>L:DMACm_CTL1_L | R/W | チャネル 1 を制御します。 |
| BASE+0x098 | 64 | チャネル 1 コンフィグレーションレジスタ | DMACm_CFG1 | H:DMACm_CFG1_H<br>L:DMACm_CFG1_L | R/W | チャネル 1 の設定を行います。 |
| BASE+0x0B0 | 64 | チャネル 2 ソースアドレスレジスタ | DMACm_SAR2 | H:-<br>L:DMACm_SAR2 | R/W | チャネル 2 の転送元アドレスを設定します。 |
| BASE+0x0B8 | 64 | チャネル 2 デスティネーションアドレスレジスタ | DMACm_DAR2 | H:-<br>L:DMACm_DAR2 | R/W | チャネル 2 の転送先アドレスを設定します。 |

[15] ソフトウェアからは本列で示した 32 ビットシンボルを使ってアクセスしてください。H:は上位 32 ビット、L:は下位 32 ビットを示します。上位 32 ビットが全て予約フィールドで未使用のものは、64 ビットシンボルを使って下位 32 ビットをアクセスします。

| | | | | | | |
|---|---|---|---|---|---|---|
| BASE+0x0C0 | 64 | チャネル 2 リンクリストポインタレジスタ | DMACm_LLP2 | H:-<br>L:DMACm_LLP2 | R/W | チャネル 2 のリンクリストへのポインタを設定します。 |
| BASE+0x0C8 | 64 | チャネル 2 制御レジスタ | DMACm_CTL2 | H:DMACm_CTL2_H<br>L:DMACm_CTL2_L | R/W | チャネル 2 を制御します。 |
| BASE+0x0F0 | 64 | チャネル 2 コンフィグレーションレジスタ | DMACm_CFG2 | H:DMACm_CFG2_H<br>L:DMACm_CFG2_L | R/W | チャネル 2 の設定を行います。 |
| BASE+0x108 | 64 | チャネル 3 ソースアドレスレジスタ | DMACm_SAR3 | H:-<br>L:DMACm_SAR3 | R/W | チャネル 3 の転送元アドレスを設定します。 |
| BASE+0x110 | 64 | チャネル 3 デスティネーションアドレスレジスタ | DMACm_DAR3 | H:-<br>L:DMACm_DAR3 | R/W | チャネル 3 の転送先アドレスを設定します。 |
| BASE+0x118 | 64 | チャネル 3 リンクリストポインタレジスタ | DMACm_LLP3 | H:-<br>L:DMACm_LLP3 | R/W | チャネル 3 のリンクリストへのポインタを設定します。 |
| BASE+0x120 | 64 | チャネル 3 制御レジスタ | DMACm_CTL3 | H:DMACm_CTL3_H<br>L:DMACm_CTL3_L | R/W | チャネル 3 を制御します。 |
| BASE+0x148 | 64 | チャネル 3 コンフィグレーションレジスタ | DMACm_CFG3 | H:DMACm_CFG3_H<br>L:DMACm_CFG3_L | R/W | チャネル 3 の設定を行います。 |
| BASE+0x2C0 | 32 | Tfr 割り込み RAW ステータスレジスタ | DMACm_RAW_TFR | 同左 | R | Tfr 割り込みの RAW ステータスを示します。 |
| BASE+0x2C8 | 32 | Block 割り込み RAW ステータスレジスタ | DMACm_RAW_BLOCK | 同左 | R | Block 割り込みの RAW ステータスを示します。 |
| BASE+0x2D0 | 32 | SrcTran 割り込み RAW ステータスレジスタ | DMACm_RAW_SRC_TRAN | 同左 | R | SrcTran 割り込みの RAW ステータスを示します。 |
| BASE+0x2D8 | 32 | DstTran 割り込み RAW ステータスレジスタ | DMACm_RAW_DST_TRAN | 同左 | R | DstTran 割り込みの RAW ステータスを示します。 |
| BASE+0x2E0 | 32 | ERR 割り込みステータスレジスタ | DMACm_RAW_ERR | 同左 | R | Err 割り込みの RAW ステータスを示します。 |
| BASE+0x2E8 | 32 | Tfr 割り込みステータスレジスタ | DMACm_STAT_TFR | 同左 | R | Tfr 割り込みのステータスを示します。 |

| | | | | | | |
|---|---|---|---|---|---|---|
| BASE+0x2F0 | 32 | Block 割り込みステータスレジスタ | DMACm_STAT_BLOCK | 同左 | R | Block 割り込みのステータスを示します。 |
| BASE+0x2F8 | 32 | SrcTran 割り込みステータスレジスタ | DMACm_STAT_SRC_TRAN | 同左 | R | SrcTran 割り込みのステータスを示します。 |
| BASE+0x300 | 32 | DstTran割り込みステータスレジスタ | DMACm_STAT_DST_TRAN | 同左 | R | DstTran 割り込みのステータスを示します。 |
| BASE+0x308 | 32 | ERR 割り込みステータスレジスタ | DMACm_STAT_ERR | 同左 | R | Err 割り込みのステータスを示します。 |
| BASE+0x310 | 32 | Tfr 割り込みマスクレジスタ | DMACm_MASK_TFR | 同左 | R/W | Tfr 割り込みをマスクします。 |
| BASE+0x318 | 32 | Block 割り込みマスクレジスタ | DMACm_MASK_BLOCK | 同左 | R/W | Block 割り込みをマスクします。 |
| BASE+0x320 | 32 | SrcTran 割り込みマスクレジスタ | DMACm_MASK_SRC_TRAN | 同左 | R/W | SrcTran 割り込みをマスクします。 |
| BASE+0x328 | 32 | DstTran割り込みマスクレジスタ | DMACm_MASK_DST_TRAN | 同左 | R/W | DstTran 割り込みをマスクします。 |
| BASE+0x330 | 32 | ERR 割り込みマスクレジスタ | DMACm_MASK_ERR | 同左 | R/W | Err 割り込みをマスクします。 |
| BASE+0x338 | 32 | Tfr 割り込みクリアレジスタ | DMACm_CLEAR_TFR | 同左 | W | Tfr 割り込みをクリアします。 |
| BASE+0x340 | 32 | Block 割り込みクリアレジスタ | DMACm_CLEAR_BLOCK | 同左 | W | Block 割り込みをクリアします。 |
| BASE+0x348 | 32 | SrcTran 割り込みクリアレジスタ | DMACm_CLEAR_SRC_TRAN | 同左 | W | SrcTran 割り込みをクリアします。 |

| | | | | | | |
|---|---|---|---|---|---|---|
| BASE+0x350 | 32 | DstTran割り込みクリアレジスタ | DMACm_CLEAR_DST_TRAN | 同左 | W | DstTran 割り込みをクリアします。 |
| BASE+0x358 | 32 | ERR 割り込みクリアレジスタ | DMACm_CLEAR_ERR | 同左 | W | Err 割り込みをクリアします。 |
| BASE+0x360 | 32 | 割り込みステータスレジスタ | DMACm_STAT_INT | 同左 | R | 割り込みタイプ毎のステータスを示します。 |
| BASE+0x368 | 32 | ソースソフトウェア転送要求レジスタ | DMACm_REQ_SRC | 同左 | R/W | ソフトウェアによる転送元の転送要求を発生させます。 |
| BASE+0x370 | 32 | デスティネーションソフトウェア転送要求レジスタ | DMACm_REQ_DST | 同左 | R/W | ソフトウェアによる転送先の転送要求を発生させます。 |
| BASE+0x378 | 32 | ソースソフトウェアシングル転送要求レジスタ | DMACm_SGL_REQ_SRC | 同左 | R/W | ソフトウェアによる転送元のシングル転送要求を発生させます。 |
| BASE+0x380 | 32 | デスティネーションソフトウェアシングル転送要求レジスタ | DMACm_SGL_REQ_DST | 同左 | R/W | ソフトウェアによる転送先のシングル転送要求を発生させます。 |
| BASE+0x388 | 32 | ソースソフトウェア最終転送レジスタ | DMACm_LST_SRC | 同左 | R/W | ソフトウェアによる転送元の最終転送要求を発生させます。 |
| BASE+0x390 | 32 | デスティネーションソフトウェア最終転送レジスタ | DMACm_LST_DST | 同左 | R/W | ソフトウェアによる転送先の最終転送要求を発生させます。 |
| BASE+0x398 | 32 | DMA コンフィグレーションレジスタ | DMACm_CFG | 同左 | R/W | DMA の設定を行います。 |
| BASE+0x3A0 | 32 | DMA チャネルイネーブルレジスタ | DMACm_CH_EN | 同左 | R/W | DMA チャネルを有効にします。 |
| BASE+0x3A8 | 32 | DMA ID レジスタ | DMACm_ID | 同左 | R | DMA ID を示します。 |

※BASE アドレスは 0x40150000 です。

### 7.26.3 レジスタ説明

#### 7.26.3.1. チャネルｎソースアドレスレジスタ(DMACm_SARｎ):（ｎ=0: BASE+0x000, ｎ=1: BASE+0x058, ｎ=2: BASE+0x0B0; ｎ=3: BASE+0x108)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | SAR | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

DMA 転送中の転送元アドレスを示します。転送元から転送後に毎回、更新されます。

7.26.3.2. チャネルｎデスティネーションアドレスレジスタ(DMACm_DARｎ):（ｎ=0: BASE+0x008, ｎ=1: BASE+0x060, ｎ=2: BASE+0x0B8; ｎ=3: BASE+0x110)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | DAR | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

DMA 転送中の転送先アドレスを示します。転送先への転送後に毎回、更新されます。

7.26.3.3. チャネル n リンクリストポインタレジスタ(DMACm_LLPn): (n=0: BASE+0x010, n=1: BASE+0x068, n=2: BASE+0x0C0; n=3: BASE+0x118)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | LOC | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | LMS | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

LOC: 次のリンクリストアイテムが有効な時、メモリ上の開始アドレスを示します。開始アドレスは必ず32bit 境界に整列しており、下位 2 ビットは常に 0 となります。本フィールドは開始アドレスのビット 31-2 を示します。

LMS: AHB マスタポートを示します。

7.26.3.4. チャネル n 制御レジスタ(DMACm_CTLn): (n=0: BASE+0x018, n=1: BASE+0x070, n=2: BASE+0x0C8; n=3: BASE+0x120)

| | 63 | 62 | 61 | 60 | 59 | 58 | 57 | 56 | 55 | 54 | 53 | 52 | 51 | 50 | 49 | 48 | 47 | 46 | 45 | 44 | 43 | 42 | 41 | 40 | 39 | 38 | 37 | 36 | 35 | 34 | 33 | 32 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reservedn | | | | | | | | | | | | | | | | | | | DONE | BLOCK_TS | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | LLP_SRC_EN | LLP_DST_EN | SMS | | DMS | | TT_FC | | | Reserved | Reserved | Reserved | SRC_MSIZE | | | DEST_MSIZE | | | SINC | | DINC | | SRC_TR_WIDTH | | | DST_TR_WIDTH | | | INT_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | R | RW | RW | R | RW | RW | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| DONE | ブロック転送が完了したことを示します。 |
| BLOCK_TS | ブロック転送サイズを設定します。DMAC をフローコントローラとして使用する時は、チャネルを有効にする前に本フィールドを設定してください。シングル転送回数で表現します。 |
| LLP_SRC_EN | 本フィールドを 1 に設定し、DMACm_LLPx の LOC フィールドが 0 以外の値に設定されている時、ソースから転送のブロックチェイニングが有効になります。 |
| LLP_DST_EN | 本フィールドを 1 に設定し、DMACm_LLPx の LOC フィールドが 0 以外の値に設定されている時、デスティネーションへの転送のブロックチェイニングが有効になります。 |
| SMS | ソースマスタインタフェースを設定します。 |
| DMS | デスティネーションマスタインタフェースを設定します。 |
| TT_FC | 転送タイプおよびフローコントローラを設定します。詳細は 3.20.7.26.4.1 フローコントローラを参照してください。 |
| SRC_MSIZE | ソースからのバースト転送のバースト長を設定します。 |

| | |
|---|---|
| | 000: 1<br>001: 4<br>010: 8<br>011: 16<br>1xx: 設定出来ません。 |
| DEST_MSIZE | デスティネーションへのバースト転送のバースト長を設定します。<br>000: 1<br>001: 4<br>010: 8<br>011: 16<br>1xx: 設定出来ません。 |
| SINC | ソースアドレスの変化を設定します。<br>00: 転送完了毎にアドレスをインクリメントします。<br>01: 転送完了毎にアドレスをデクリメントします。<br>1x: アドレスは変化しません。 |
| DINC | デスティネーションアドレスの変化を設定します。<br>00: 転送完了毎にアドレスをインクリメントします。<br>01: 転送完了毎にアドレスをデクリメントします。<br>1x: アドレスは変化しません。 |
| SRC_TR_WIDTH | ソース転送幅を設定します。<br>000: 8bit<br>001: 16bit<br>010: 32bit<br>上記以外: 設定不可。 |
| DST_TR_WIDTH | デスティネーション転送幅を設定します。<br>000: 8bit<br>001: 16bit<br>010: 32bit<br>上記以外: 設定不可。 |
| INT_EN | 割り込みを有効にします。該当チャネルの全ての割り込み要因が有効になります。 |

7.26.3.5. チャネル n ソースステータスアドレスレジスタ(DMACm_SSTATARn): (n=0: BASE+0x030, n=1: BASE+0x088, n=2: BASE+0x0E0; n=3: BASE+0x138)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | SSTATAR | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

転送元ペリフェラルのステータスレジスタのアドレスを設定します。

7.26.3.6. チャネル n デスティネーションステータスアドレスレジスタ(DMACm_DSTATARn): (n=0: BASE+0x038, n=1: BASE+0x090, n=2: BASE+0x0E8; n=3: BASE+0x140)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | DSTATAR | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

転送先ペリフェラルのステータスレジスタのアドレスを設定します。

7.26.3.7. チャネル n デスティネーションステータスアドレスレジスタ(DMACm_DSTATARn):
(n=0: BASE+0x038, n=1: BASE+0x090, n=2: BASE+0x0E8; n=3: BASE+0x140)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | DSTATAR | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

転送先ペリフェラルのステータスレジスタのアドレスを設定します。

7.26.3.8. チャネル n コンフィグレーションレジスタ(DMACm_CFGn): (n=0: BASE+0x040, n=1: BASE+0x098, n=2: BASE+0x0F0; n=3: BASE+0x148)

| | 63 | 62 | 61 | 60 | 59 | 58 | 57 | 56 | 55 | 54 | 53 | 52 | 51 | 50 | 49 | 48 | 47 | 46 | 45 | 44 | 43 | 42 | 41 | 40 | 39 | 38 | 37 | 36 | 35 | 34 | 33 | 32 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | DEST_PER | | Reserved | | SRC_PER | | Reserved | | PROTCTL | | | FIFO_MODE | FCMODE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | RELOAD_DST | RELOAD_SRC | Reserved | | | | | | | | | | SRC_HS_POL | DST_HS_POL | Reserved | | | | | | HS_SEL_SRC | HS_SEL_DST | FIFO_EMPTY | CH_SUSP | CH_PRIOR | | | Reserved | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | R | RW | RW | RW | RW | R | R | R | R | R |

※ Reserved フィールドのリード値は不定です。固定値が読み出されるを期待せず、ソフトウェアを設計してください。

| | |
|---|---|
| DEST_PER | デスティネーションのハードウェアハンドシェイク I/F を設定します。インタフェース番号は表 7-26-2 DMA 転送要求元とインタフェース番号の対応を参照してください。 |
| SRC_PER | ソースのハードウェアハンドシェイク I/F を設定します。インタフェース番号は表 7-26-2 DMA 転送要求元とインタフェース番号の対応を参照してください。 |
| PROTCTL | AHB マスタ転送時の HPROT[3:1]を設定します。通常、初期値のままご使用下さい[16]。 |
| FIFO_MODE | バースト転送を開始する時の FIFO の条件を設定します。<br>0: 1 回の AHB 転送分の空き/データがある時に、バースト転送を開始します。<br>1: FIFO 段数の半分以上の空き/データがある時に、バースト転送を開始します。 |
| FCMODE | デスティネーションペリフェラルがフローコントローラに設定されている時[17]に、ソース転送を開始する条件を設定します。 |

[16] HPROT[3]はキャッシュ可能、HPROT[2]はバッファ可能、HPROT[1]は特権アクセスであることを示します。本商品では HPROT[3:2]によって動作が変わるスレーブデバイスは存在しません。または、DMAC からの HPROT[1]は H 固定されており、PROTCTL[1]の値に関わらず、常に特権アクセスとなります。

| | |
|---|---|
| | 0: ソース転送はデスティネーションからの転送要求を待たずに開始します。<br>1: ソース転送はデスティネーションからの転送要求が発生するまで開始されません。 |
| RELOAD_DST | マルチブロック転送において毎ブロック転送完了後に自動的にデスティネーションアドレスレジスタの値をマルチブロック転送開始時に設定した値にリロードします。 |
| RELOAD_SRC | マルチブロック転送において毎ブロック転送完了後に自動的にソースアドレスレジスタの値をマルチブロック転送開始時に設定した値にリロードします。 |
| SRC_HS_POL | ソースハードウェアハンドシェイク I/F の極性を設定します。 |
| DST_HS_POL | デスティネーションハードウェアハンドシェイク I/F の極性を設定します。 |
| HS_SEL_SRC | ソースの転送要求元を設定します。<br>0: ハードウェアハンドシェイク I/F からの要求を受け付けます。ソフトウェアからの要求は無視されます。<br>1: ソフトウェアによる要求を受け付けます。ハードウェアハンドシェイク I/F からの要求は無視されます。 |
| HS_SEL_DST | デスティネーションの転送要求元を設定します。<br>0: ハードウェアハンドシェイク I/F からの要求を受け付けます。ソフトウェアからの要求は無視されます。<br>1: ソフトウェアによる要求を受け付けます。ハードウェアハンドシェイク I/F からの要求は無視されます。 |
| FIFO_EMPTY | 該当チャネルの FIFO の空であることを示します。 |
| CH_SUSP | 本ビットがセットされている間は、該当チャネルの全てのソースからの転送は抑止されます。 |
| CH_PRIOR | 該当チャネルの優先度を設定します。7 が最高で、0 が最低です。 |

#### 7.26.3.9. 割り込み RAW ステータスレジスタ(DMACm_RAW_TFR: BASE+0x2C0, DMACm_RAW_BLOCK: BASE+0x2C8, DMACm_RAW_SRC_TRAN: 0x2D0, DMACm_RAW_DST_TRAN: 0x2D8, DMAC_RAW_ERR: BASE+0x2E0)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | CH3 | CH2 | CH1 | CH0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

各 CH のマスク前の割り込みステータスを示します。

各 CH と割り込み要因の関係は以下となります。

| CH | 割り込み要因 |
|---|---|
| 0 | RAM から SPI2 へのデータ転送完了 |
| 1 | SPI2 から RAM へのデータ転送完了 |
| 2 | RAM から AES へのデータ転送完了 |
| 3 | AES から RAM へのデータ転送完了 |

#### 7.26.3.10. 割り込みステータスレジスタ(DMACm_STAT_TFR: BASE+0x2E8, DMACm_STAT_BLOCK: BASE+0x2F0, DMACm_STAT_SRC_TRAN: 0x2F8, DMACm_STAT_DST_TRAN: 0x300, DMAC_STAT_ERR: BASE+0x308)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | CH3 | CH2 | CH1 | CH0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

各 CH のマスク後の割り込みステータスを示します。

### 7.26.3.11. 割り込みマスクレジスタ (DMACm_MASK_TFR: BASE+0x310, DMACm_MASK_BLOCK: BASE+0x318, DMACm_MASK_SRC_TRAN: 0x320, DMACm_MASK_DST_TRAN: 0x328, DMAC_MASK_ERR: BASE+0x330)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | INT_MASK_WE | | | | Reserved | | | | CH3 | CH2 | CH1 | CH0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | R | R | R | R | RW | RW | RW | RW |

各 CH の割り込みをマスクします。
0 をライトすることで、マスクされます。

CHn ビットを更新するには、同時に INT_MASK_WE[n]ビットに 1 をライトしてください。

### 7.26.3.12. 割り込みクリアレジスタ (DMACm_CLEAR_TFR: BASE+0x338, DMACm_CLEAR_BLOCK: BASE+0x340, DMACm_CLEAR_SRC_TRAN: 0x348, DMACm_CLEAR_DST_TRAN: 0x350, DMAC_CLEAR_ERR: BASE+0x358)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | CH3 | CH2 | CH1 | CH0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | X | X | X |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W |

1をライトすることで、割り込み要因をクリアします。

7.26.3.13.　割り込み要因ステータスレジスタ(DMACm_STAT_INT: BASE+0x360)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | ERR | DSTT | SRCT | BLOCK | TFR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

１をライトすることで、割り込み要因をクリアします。

ビットと割り込み要因の関係は以下となります。

| ビット | 名称 | 割り込み要因 |
|---|---|---|
| 00 | TFR | 転送完了割込み |
| 01 | BLOCK | ブロック転送完了割込み |
| 02 | SRCT | ソース転送完了割込み |
| 03 | DSTT | デスティネーション転送完了割込み |
| 04 | ERR | エラー割込み |

7.26.3.14.　ソースソフトウェア転送要求レジスタ(DMACm_REQ_SRC: BASE+0x368)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | SRC_REQ_WE[3:0] | | | | Reserved | | | | SRC_REQ[3:0] | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | R | R | R | R | RW | RW | RW | RW |

ソフトウェアによりソース転送要求を発生させます。

チャネル N の転送要求を発生させるには、SRC_REQ[N]、SRC_REQ_WE[N]を 1 にセットして、ライトします。

SRC_REQ_WE[N]が 0 の時は、SRC_REQ[N]が 1 であっても、転送要求は発生しません。

### 7.26.3.15. デスティネーションソフトウェア転送要求レジスタ(DMACm_REQ_DST: BASE+0x370)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | DST_REQ_WE[3:0] | | | | Reserved | | | | DST_REQ[3:0] | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | R | R | R | R | RW | RW | RW | RW |

ソフトウェアによりデスティネーション転送要求を発生させます。

チャネル N の転送要求を発生させるには、DST_REQ[N]、DST_REQ_WE[N]を 1 にセットして、ライトします。

DST_REQ_WE[N]が 0 の時は、DST_REQ[N]が 1 であっても、転送要求は発生しません。

### 7.26.3.16. ソースソフトウェアシングル転送要求レジスタ(DMACm_SGL_REQ_SRC: BASE+0x378)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | SRC_SGLREQ_WE[3:0] | | | | Reserved | | | | SRC_SGLREQ[3:0] | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | R | R | R | R | RW | RW | RW | RW |

ソフトウェアによりソースシングル転送要求を発生させます。

チャネルNの転送要求を発生させるには、SRC_SGLREQ[N]、SRC_SGLREQ_WE[N]を1にセットして、ライトします。

SRC_SGLREQ_WE[N]が0の時は、SRC_SGLREQ[N]が1であっても、転送要求は発生しません。

### 7.26.3.17. デスティネーションソフトウェアシングル転送要求レジスタ (DMACm_SGL_REQ_DST: BASE+0x380)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | DST_SGLREQ_WE[3:0] | | | | Reserved | | | | DST_SGLREQ[3:0] | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | R | R | R | R | RW | RW | RW | RW |

ソフトウェアによりデスティネーションシングル転送要求を発生させます。

チャネルNの転送要求を発生させるには、DST_SGLREQ[N]、DST_SGLREQ_WE[N]を1にセットして、ライトします。

DST_SGLREQ_WE[N]が0の時は、DST_SGLREQ[N]が1であっても、転送要求は発生しません。

7.26.3.18.　ソースソフトウェア最終転送レジスタ(DMACm_LST_SRC: BASE+0x388)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | LSTSRC_WE[3:0] | | | | Reserved | | | | LSTSRC [3:0] | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | R | R | R | R | RW | RW | RW | RW |

ソフトウェアによる転送要求が最終転送であることを示します。

チャネル N を最終転送に設定するには、LSTSRC [N]、LSTSRC_WE[N]を 1 にセットして、ライトします。

LSTSRC _WE[N]が 0 の時は、LSTSRC[N]が 1 であっても、最終転送には設定されません。

本レジスタで最終転送に設定した後に、ソースソフトウェア転送要求レジスタにより転送要求を発生させることで最終の転送要求となります。

### 7.26.3.19. デスティネーションソフトウェア最終転送レジスタ(DMACm_LST_DST: BASE+0x390)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | LSTDST_WE[3:0] | | | | Reserved | | | | LSTDST[3:0] | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | R | R | R | R | RW | RW | RW | RW |

ソフトウェアによる転送要求が最終転送であることを示します。

チャネル N を最終転送に設定するには、LSTDST [N]、LSTDST_WE[N]を 1 にセットして、ライトします。

LSTDST _WE[N]が 0 の時は、LSTDST[N]が 1 であっても、最終転送には設定されません。

本レジスタで最終転送に設定した後に、デスティネーションソフトウェア転送要求レジスタにより転送要求を発生させることで最終の転送要求となります。

7.26.3.20. DMA コンフィグレーションレジスタ(DMACm_CFG: BASE+0x398)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DMA_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

DMA コントローラを有効にします。0：無効、1:有効

7.26.3.21. DMA チャネルイネーブルレジスタ(DMACm_CH_EN: BASE+0x3A0)

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | CH_EN_WE | | | | Reserved | | | | CH_EN | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | W | W | W | W | R | R | R | R | RW | RW | RW | RW |

DMA チャネルを有効にします。

チャネル N を有効にするには、CH_EN[N]、CH_EN_WE[N]を 1 にセットして、ライトします。

チャネル N を無効にするには、CH_EN[N]を 0、CH_EN_WE[N]を 1 にセットして、ライトします。

CH_EN_WE[N]が 0 の時は、CH_EN [N]が如何なる状態であっても、チャネル N の有効/無効状態は変化しません。

7.26.3.22. DMA ID レジスタ（DMACm_ID: BASE+0x3A8）

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | DMA_ID | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

本ペリフェラルの ID 値を示します。

### 7.26.4 動作説明

#### 7.26.4.1. フローコントローラ

転送ブロック長を制御するデバイスをフローコントローラと呼びます。DMA 転送時には、DMA コントローラまたはソース/デスティネーションペリフェラルをフローコントローラとして指定します。

通常、転送ブロック長が予め分かっている場合は、DMA コントローラがフローコントローラとして動作することが出来ます。この場合は、DMACm_CTLn レジスタの BLOCK_TS フィールドにブロックサイズを書き込みます。一方、転送ブロックサイズが転送開始前に分からない場合は、ソースまたはデスティネーションペリフェラルをフローコントローラとして指定します。

可能な転送タイプとフローコントローラの組み合わせとその時の TT_FC の設定値を表 7-26-1 転送タイプとフローコントローラ、TT_FC の関係に示します。

本 LSI ではメモリ(RAM)→ペリフェラル(AES or SPI2)、ペリフェラル(AES or SPI2)→メモリ(RAM)の転送タイプのみサポートしてます。

**表 7-26-1 転送タイプとフローコントローラ、TT_FC の関係**

| 転送タイプ | フローコントローラ | DMACm_CTLn.TT_FC |
|---|---|---|
| メモリ→ペリフェラル | DMAC | 001 |
| ペリフェラル→メモリ | DMAC | 010 |

#### 7.26.4.2. ハンドシェイクインタフェース

ハンドシェイクインタフェースはトランザクションレベルのフローを制御するために使用されます。ハンドシェイクインタフェースの動作は、フローコントローラにより異なります。

ペリフェラルは、ハンドシェイクインタフェースを DMAC に転送準備が出来ていることを通知するために使用します。

メモリデバイスではないペリフェラルは、ハードウェアまたはソフトウェアハンドシェイクインタフェースにより DMA 転送を要求することが出来ます。ソフトウェアはチャネル毎にハードウェアまたはソフトウェアハンドシェイクインタフェースを選択可能です。ソフトウェアハンドシェイクインタフェースは制御レジスタにより実現されます。

本 LSI でのハードウェアハンドシェイクインタフェースの割り当てを表 7-26-2 DMA 転送要求元とインタフェース番号の対応　に示します。

**表 7-26-2 DMA 転送要求元とインタフェース番号の対応**

| インタフェース番号 | 要求元 | 説明 | 備考 |
|---|---|---|---|
| 0 | SPI2 送信 DMA | RAM から SPI2 へのデータ転送 | |
| 1 | SPI2 受信 DMA | SPI2 から RAM へのデータ転送 | |
| 2 | AES 送信 DMA | RAM から AES へのデータ転送 | ch2 に設定願います。※ |
| 3 | AES 受信 DMA | AES から RAM へのデータ転送 | ch3 に設定願います。※ |
| 4-15 | Reserved | | |

※インターフェース番号は、チャネル n コンフィグレーションレジスタの DEST_PER、SRC_PER で設定願います。

#### 7.26.4.3.転送データサイズ

転送データサイズと制御レジスタ値の関係は以下の通りです。

| | |
|---|---|
| ソースシングル転送時のデータサイズ(Byte) | DMACm_CTLn.SRC_TR_WIDTH/8 |
| ソースバースト転送時のデータサイズ(Byte) | DMACm_CTLn.SRC_MSIZE*(DMAC_CTLn.SRC_TR_WIDTH/8) |
| デスティネーションシングル転送時のデータサイズ(Byte) | DMACm_CTLn.DST_TR_WIDTH/8 |
| デスティネーションバースト転送時のデータサイズ(Byte) | DMACm_CTLn.DST_MSIZE*(DMAC_CTLn.DST_TR_WIDTH/8) |
| ブロックサイズ(Byte)(DMACフローコントローラ時) | DMACm_CTLn.BLOCK_TS*( DMAC_CTLn.SRC_TR_WIDTH/8) |
| ブロックサイズ(Byte)(ソースペリフェラル時) | バースト転送回数*ソースバースト転送時のデータサイズ<br>+シングル転送回数*ソースシングル転送時のデータサイズ |
| ブロックサイズ(Byte)(デスティネーションペリフェラル時) | バースト転送回数*デスティネーションバースト転送時のデータサイズ<br>+シングル転送回数*デスティネーションシングル転送時のデータサイズ |

#### 7.26.4.4. ペリフェラルバースト転送要求

ペリフェラルの FIFO オーバーフロー、アンダーフローを避けるためには、ペリフェラルが持つ FIFO のサイズと、ペリフェラルが DMA 転送要求を行う FIFO レベル、DMA コントローラのバースト転送サイズを適切な値に設定する必要があります。ここでは、外部と通信(送受信)を行うペリフェラルにおける送信 FIFO および受信 FIFO を例に説明します。

ペリフェラルの送信 FIFO においては、ペリフェラルの送信 FIFO の空き数が、DMA コントローラが 1 回のバースト転送要求で行うバースト転送サイズの大きさを下回ると送信 FIFO のオーバーフローが発生する可能性があります。通常、DMA コントローラのバーストサイズ(DMACm_CTRLn.DEST_MSIZE)を送信 FIFO の空き数以下に設定してください。

また、ペリフェラルにおいて DMA 転送要求を行う送信 FIFO の空き数を大きく(閾値を小さく)設定すると、送信 FIFO のアンダーフロー[20]が発生する可能性が高くなります。逆に送信 FIFO の空き数を小さく(閾値を大きく)設定すると、ブロック転送を行う時のバースト転送回数は増大し、バスの使用効率は悪化します。送信 FIFO のアンダーフローについては、DMA 転送により保証される帯域に依存します。他のバスマスタや DMA コントローラ内の調停方式、バスマトリックス調停方式を考慮の上、ご検討ください。

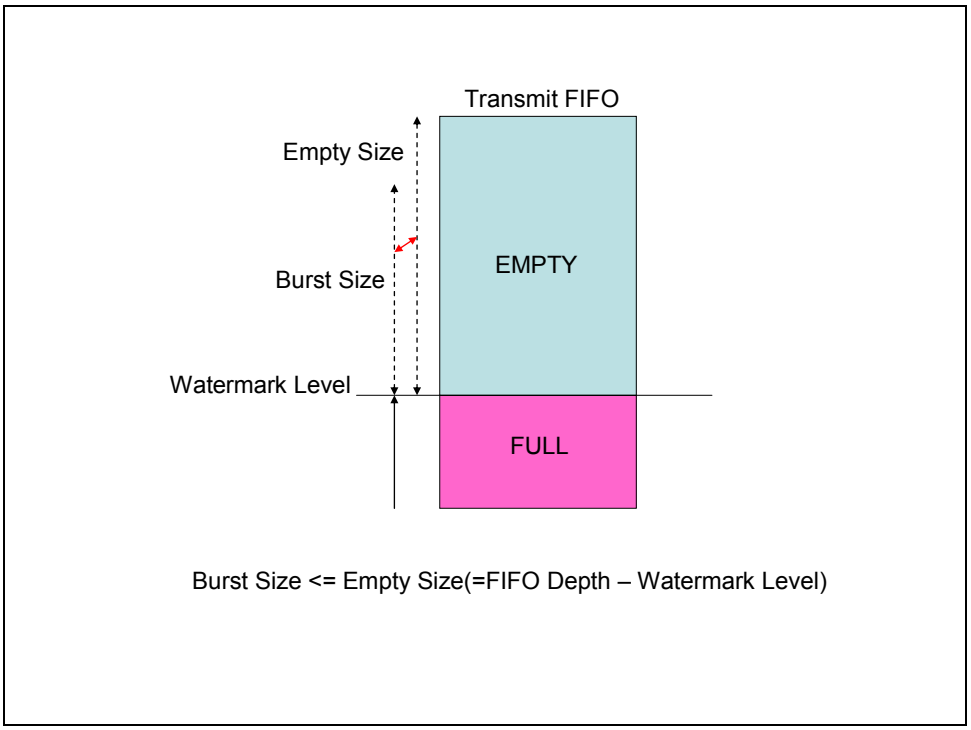



**図 7-10 送信 FIFO 空き数とバーストサイズの関係**

[20] 例えばスレーブモードで動作している SPI ではアンダーフローが発生する可能性があります。

ペリフェラルの受信 FIFO においては、ペリフェラルの受信 FIFO のデータ数が、DMA コントローラが 1 回のバースト転送要求で行うバースト転送サイズの大きさを下回ると受信 FIFO のアンダーフローが発生する可能性があります。通常、DMA コントローラのバーストサイズ(DMACm_CTRLn.SRC_MSIZE)を受信 FIFO のデータ数以下に設定してください。

また、ペリフェラルにおいて DMA 転送要求を行う受信 FIFO のデータ数を大きく設定すると、受信 FIFO のオーバーフローが発生する可能性が高くなります。逆に受信 FIFO のデータ数を小さく設定すると、ブロック転送を行う時のバースト転送回数は増大し、バスの使用効率は悪化します。受信 FIFO のオーバーフローについては、DMA 転送により保証される帯域に依存します。他のバスマスタや DMA コントローラ内の調停方式、バスマトリックス調停方式を考慮の上、ご検討ください。

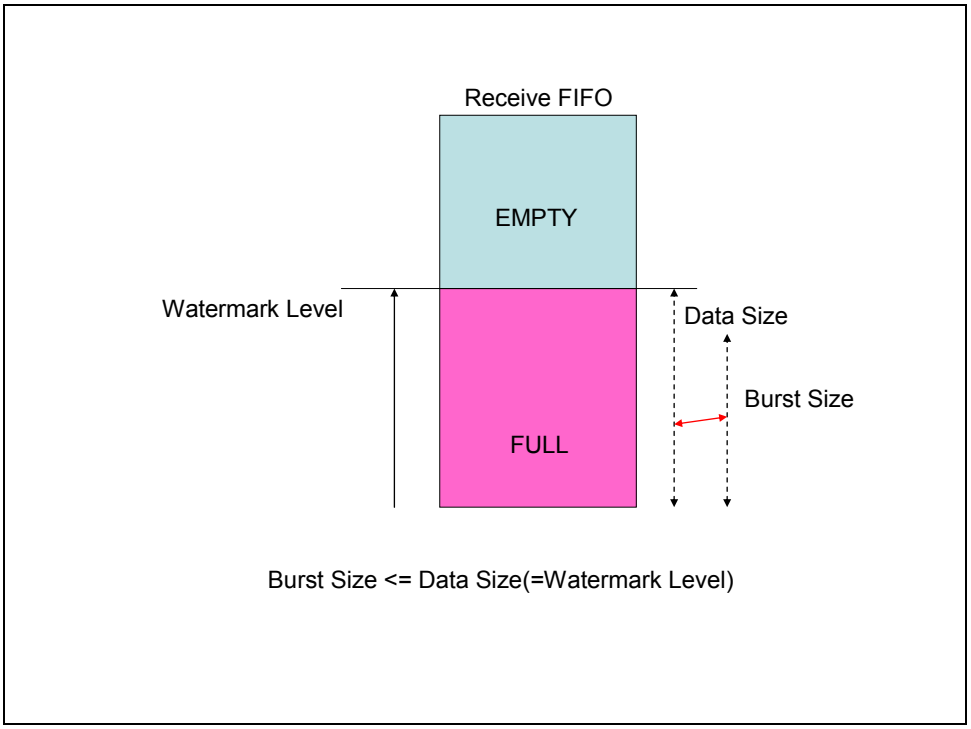



図 7-11 受信 FIFO データ数とバーストサイズの関係

#### 7.26.4.5. マルチブロック転送

本 DMA コントローラは、ブロックチェイニング(リンクリスト)、チャネルレジスタのオートリロード、連続ブロックによるマルチブロック転送をサポートします。

##### 7.26.4.5.1. ブロックチェイニング(リンクリスト)

リンクリストポインタ(LLP)はシステムメモリ上に置かれた次のリンクリストアイテム(LLI)を指し示します。LLI は次のブロックを記述したレジスタセット(ブロックディスクリプタ)です。DMA コントローラは、ブロックチェイニングが有効な時は、ブロック転送開始時に毎回、LLI をフェッチしします。

LLI は以下の内容で構成されます。

1. SARn
2. DARn
3. LLPn
4. CTLn
5. SSTATn
6. DSTATn

ブロックチェイニングを有効にするには、リンクリストをメモリ上位に配置する必要があります。

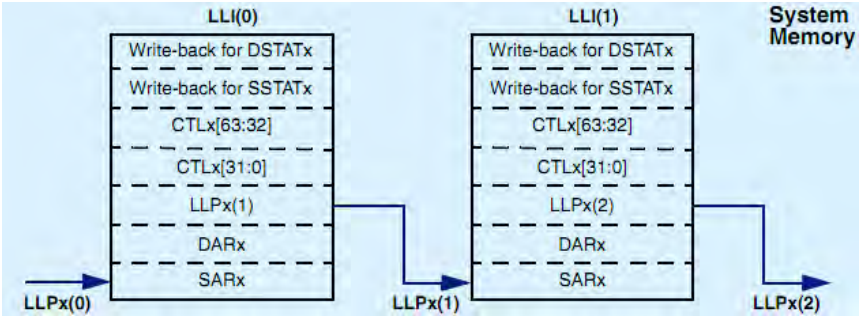



図 7-12 リンクリスト概略図

#### 7.26.4.5.2. チャネルレジスタのオートリロード

ブロック転送完了時に最初にチャネルが有効となった時のレジスタ値が自動的にリロードされます。

#### 7.26.4.6. AHB マスタインタフェースの調停

各 DMA チャネルは、ソース転送要求とデスティネーション転送要求の二つの要求信号を有します。

ソース転送とデスティネーション転送はバスにおいては、別々に調停されます。ソースまたはデスティネーションが一度、バス権を得ると AHB 転送を開始します。

調停回路はどの転送要求(チャネル数×2)に対して、バス権を与えるか判定します。各チャネルはプログラマブルな優先度を持ちます。転送要求は任意のタイミングで発生可能ですが、バス権は AHB 転送が完了した後に与えられます。優先度の低い転送を実行中に、より優先度の高い転送要求が発生すると、低い優先度の転送から高い優先度の転送に切り替えるために AHB 転送を完了させる場合があります。

特定チャネルがバスを占有することを防止するために、DMACm_CFGn レジスタの MAX_ABRST フィールドによって最大バースト長を設定することが出来ます。

優先度の最も高い転送要求が一つしかない時は、その転送要求が AHB のバス権を与えられます。最も高い優先度の転送要求が複数存在する時は、チャネル番号の低いものが優先されます。

## 7.27.Flash DMA

### 7.27.1 概要

Flash 領域へのデータ書込み、Verify を CPU に代わり制御し、スループットの向上をはかります。
例えば、CPU が Bank0 でプログラム実行中に、Flash DMA が Bank1 へ更新プログラムを書込み、Verify します。AHB のマルチレイヤ化により、書込み中の CPU パフォーマンスは維持します。

【ご注意】
FlashDMA は 2 バンクモード時のみ使用可能です。
FlashDMA は CPU がプログラム実行を行っていない Bank のみ制御可能です。したがって、CPU が Bank0 でプログラム実行中には FlashDMA は Bank1、CPU が Bank1 でプログラム実行中には FlashDMA は Bank0 の制御が可能となります。
FlashDMA にて Flash 領域を書き換える場合、以下のアドレス領域を含まないように FlashDMA レジスタを設定してください。
もしも、この領域を書換え領域として指定した場合はエラー終了(Flash ROM アドレス越え転送サイズ指定エラーを通知)します。

■書換え指定不可の領域
0x1C03_E7FC～0x1C03_E7FF
0x1C03_FFFC～0x1C03_FFFF
0x1803_FFFC～0x1803_FFFF

### 7.27.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| 0x40160000 | FlashDMA 設定レジスタ 0 | FDMA0 | R/W | 0x0000_0004 | 動作モードを設定します。 |
| 0x40160004 | FlashDMA 設定レジスタ 1 | FDMA1 | R | 0x0000_0000 | 割り込みを通知します。 |
| 0x40160008 | FlashDMA 設定レジスタ 2 | FDMA2 | R | 0x0000_0000 | 割り込みをクリアします |
| 0x4016000C | FlashDMA 設定レジスタ 3 | FDMA3 | R | 0x0000_0000 | エラー割り込みを通知します |
| 0x40160010 | FlashDMA 設定レジスタ 4 | FDMA4 | R | 0x0000_0000 | エラー割り込みをクリアします |
| 0x40160014 | FlashDMA 設定レジスタ 5 | FDMA5 | R/W | 0x0000_0000 | SRAM のスタートアドレスを設定します |
| 0x40160018 | FlashDMA 設定レジスタ 6 | FDMA6 | R/W | 0x0000_0000 | FLASH のスタートアドレスを設定します |
| 0x4016001C | FlashDMA 設定レジスタ 7 | FDMA7 | R/W | 0x0000_0000 | FLASH へ書き込むアドレスサイズを設定します |

### 7.27.3 レジスタ説明

7.27.3.1 FlashDMA 設定レジスタ 0: 0x40160000

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | FDMA_INT_MASK | FDMA_MODE | | FDMA_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

| | |
|---|---|
| FDMA_INT_MASK | 割り込みをマスクします。<br>0: マスクなし<br>1: マスクあり |
| FDMA_MODE | 動作モードを設定します。<br>2'b00:書込みのみ<br>2'b01:Verify のみ<br>2'b10:ALL<br>2'b11:設定禁止 |
| FDMA_EN | FlashDMA を起動します。処理が中断または完了すると自動でクリアされます。<br>1'b0:スタンバイ(処理完了)※起動中に 0 設定すると FlashDMA 動作が強制終了します。<br>1'b1:起動開始(起動中) |

7.27.3.2 FlashDMA 設定レジスタ 1: 0x40160004

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | FDMA_STAT |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| FDMA_STAT | 割り込みステータスを示します。<br>1: 割り込みが発生していることを示します。<br>0: 割り込みが発生していないことを示します。 |

7.27.3.3 FlashDMA 設定レジスタ 2: 0x40160008

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | FDMA_EOI |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| FDMA_EOI | 本レジスタをリードすると、割り込みをクリアします |

7.27.3.4 FlashDMA 設定レジスタ 3: 0x4016000C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | FDMA_ERR_STAT | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| FDMA_ERR_STAT | エラーステータスを示します。<br>[0]:転送サイズ 0 指定エラー<br>(サイズアドレスで指定したサイズが 0 で起動開始要求があった場合)<br>※0x4016001C SIZE_ADDR[15:2]に 0 以外の値を設定してください。<br>[1]:SRAM 開始アドレス指定エラー<br>(SRAM アドレスレジスタに SRAM アドレス範囲外の値がライトされ、起動開始要求があった場合)<br>※0x40160014 SRAM_ADDR[31:2]に SRAM 領域のアドレスを設定してください。<br>[2]:SRAM アドレス越え転送サイズ指定エラー<br>(サイズアドレスで指定したサイズで決まるエンドアドレスが SRAM の最終アドレスを上回る値がライトされ、起動開始要求があった場合)<br>※0x40160014 SRAM_ADDR[31:2]と0x4016001C SIZE_ADDR[15:2]を加算した値が SRAM 領域のアドレスを超えないように設定してください。<br>[3]:Flash ROM 開始アドレス指定エラー<br>(Flash-ROM アドレスレジスタに Flash-ROM アドレス範囲外の値がライトされ、起動開始要求があった場合)<br>※0x40160018 FLASH_ADDR[31:2]にセキュリティ領域を除く FLASH ROM 領域のアドレスを設定してください。<br>[4]:Flash ROM アドレス越え転送サイズ指定エラー<br>(サイズアドレスで指定したサイズで決まるエンドアドレスが Flash の最終アドレスを上回る値がライトされ、起動開始要求があった場合)<br>※0x40160018 FLASH_ADDR[31:2]と 0x4016001C SIZE_ADDR[15:2]を加算した値がセキュリティ領域を除く FLASH ROM 領域のアドレスを超えないように設定してください。<br>[5]:転送時 Flash ROM 動作中エラー<br>(F_JDG1 ステート時に flc_fewidle_o が L だった場合) |

| | |
|---|---|
| | ※ノイズによる誤動作や IC のハード要因が考えられます。解消しない場合は個別にお問い合わせください。<br>[6]:転送時 Flash ROM 不起動エラー<br>(F_JDG2 ステート時に flc_fewidle_o が H→L にならない場合)<br>※ノイズによる誤動作や IC のハード要因が考えられます。解消しない場合は個別にお問い合わせください。<br>[7]:Flash Cont.エラー検出<br>(FlashCnt からエラー信号(flc_fewerr_o)を検出した場合)<br>※ノイズによる誤動作や IC のハード要因が考えられます。解消しない場合は個別にお問い合わせください。<br>[8]:Verify エラー<br>(Verify 結果、不一致だった場合)<br>※Verify のみ(FDMA_MODE=2'b01)の場合、アドレス設定等に誤りがないかご確認ください。<br>ALL(FDMA_MODE=2'b10)の場合、ノイズによる誤動作やチップのハード要因が考えられます。<br>解消しない場合は個別にお問い合わせください。 |

7.27.3.5 FlashDMA 設定レジスタ 4: 0x40160010

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | FDMA_ERR_EOI | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| FDMA_ERR_EOI | 本レジスタをリードすると、エラーステータスをクリアします。 |

7.27.3.6 FlashDMA 設定レジスタ 5: 0x40160014

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | SRAM_ADDR | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | 0 固定 | 0 固定 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | R | R |

| | |
|---|---|
| SRAM_ADDR | SRAM のスタートアドレスを指定します。 |

7.27.3.7 FlashDMA 設定レジスタ 6: 0x40160018

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | FLASH_ADDR | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | 0 固定 | 0 固定 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | R | R |

| | |
|---|---|
| FLASH_ADDR | FLASH ROM のスタートアドレスを指定します。 |

7.27.3.8 FlashDMA 設定レジスタ 7: 0x4016001C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | SIZE_ADDR | | | | | | | | | | | | | | 0 固定 | 0 固定 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | R | R |

| | |
|---|---|
| SIZE_ADDR | SRAM から FLASH ROM へ書込むアドレスサイズを指定します。 |

### 7.27.4 機能説明

Flash DMA による Flash 書込み制御例(実線:データ信号、破線:制御信号)

①CPU が Flash DMA を起動

②Flash DMA が RAM をリード制御

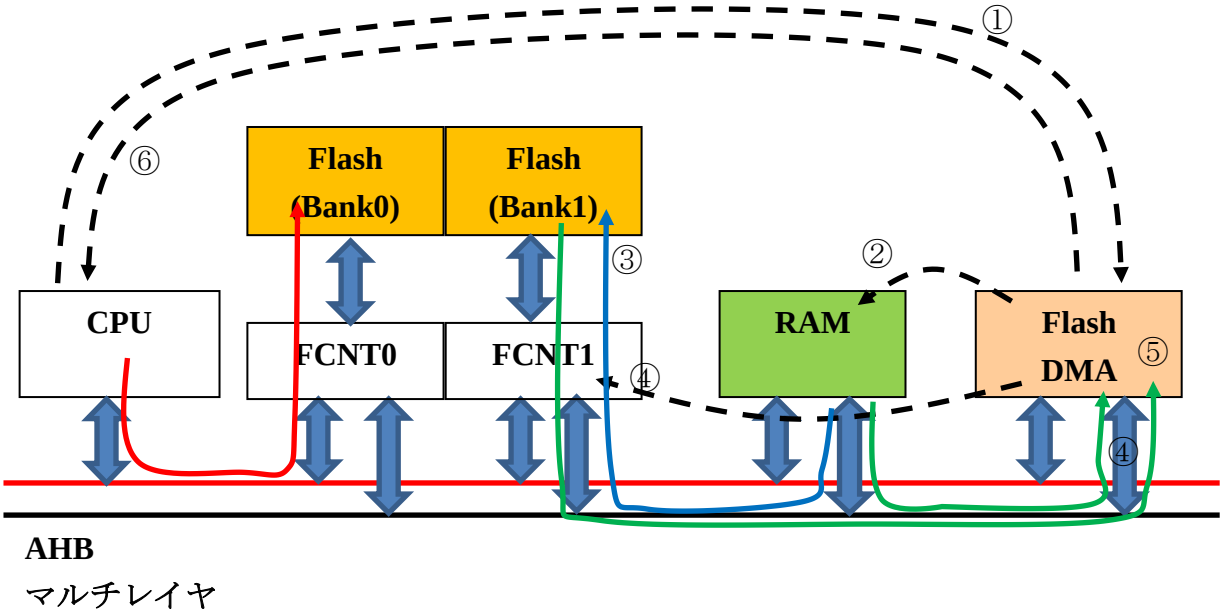
③RAM⇒Flash へデータ転送(書込み)

※②～③を繰り返し

④Flash DMA が Flash と RAM のデータをリード制御

⑤Flash DMA が Flash と RAM のデータを比較(Verify)

⑥Flash DMA が CPU へ書込み、Verify 完了割込みを通知



## 7.28.AES

### 7.28.1 概要

米国商務省標準局 NIST(National Institute of Standards and Technology)によって規定されている AES(Advanced Encrypt Standard)暗号方式を提供します。

特長を以下に示します。

- 米国商務省標準局 NIST(National Institute of Standards and Technology)により規定されている FIPS PUB197 に準拠
- 暗号化鍵サイズ 128/192/256 ビットに対応
- 以下の暗号化利用モードをサポート
  - Electronic Code Book (ECB)
  - Cipher Block Chaining (CBC)
  - Cipher Feedback (CFB)
  - Output Feedback(OFB)
  - Counter (CTR)
  - Counter with CBC-MAC (CCM)
  - Galois/Counter Mode (GCM)
- 12/14/16 クロックサイクル(暗号化鍵サイズ 128/192/256 ビット)で暗号化/復号化可能
- 認証 TAG の生成と暗号化/復号化を一括実行可能(CCM/GCM)
- 入力バッファ 2 段搭載により実行時間削減
- DMAC 対応

### 7.28.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| 0x40170000 | AES 制御レジスタ | AES_CTL | R/W | 0x0000_0000 | AES ブロックをイネーブルにします。 |
| 0x40170004 | AES モード設定レジスタ | AES_MOD | R/W | 0x0000_0000 | 動作モードを設定します。 |
| 0x40170008 | GCM-CCM 制御レジスタ | AES_GCCM_CTL | R/W | 0x0000_0000 | CCM/GCM モードを制御します。 |
| 0x4017000C | AES ステータスレジスタ | AES_ST | R/W | 0x0000_0000 | AES のステータスを表示します。 |
| 0x40170010 | 割込み RAW ステータスレジスタ | AES_RIST | R | 0x0000_0000 | 割込みステータス(マスク前)を表示します。 |
| 0x40170014 | 割込みステータスレジスタ | AES_IST | R | 0x0000_0000 | 割込みステータス(マスク後)を表示します。 |
| 0x40170018 | 割込みマスクレジスタ | AES_IMSK | R/W | 0x0000_0000 | 割込みをマスクします。 |
| 0x4017001C | 割込みクリアレジスタ | AES_ICLR | R | 0x0000_0000 | 割込みをクリアします。 |
| 0x40170020 | AES_BLKDONE 割込みクリアレジスタ | AES_CLR_BLKDONE | R | 0x0000_0000 | AES_BLKDONE 割込みをクリアします。 |
| 0x40170024 | AES_DONE 割込みクリアレジスタ | AES_CLR_DONE | R | 0x0000_0000 | AES_DONE 割込みをクリアします。 |
| 0x40170028 | 暗号化鍵設定レジスタ 0 | AES_KEY0 | W | 0x0000_0000 | 暗号化鍵[31:0]を設定します。 |
| 0x4017002C | 暗号化鍵設定レジスタ 1 | AES_KEY1 | W | 0x0000_0000 | 暗号化鍵[63:32]を設定します。 |
| 0x40170030 | 暗号化鍵設定レジスタ 2 | AES_KEY2 | W | 0x0000_0000 | 暗号化鍵[95:64]を設定します。 |
| 0x40170034 | 暗号化鍵設定レジスタ 3 | AES_KEY3 | W | 0x0000_0000 | 暗号化鍵[127:96]を設定します。 |
| 0x40170038 | 暗号化鍵設定レジスタ 4 | AES_KEY4 | W | 0x0000_0000 | 暗号化鍵[159:128]を設定します。 |
| 0x4017003C | 暗号化鍵設定レジスタ 5 | AES_KEY5 | W | 0x0000_0000 | 暗号化鍵[191:160]を設定します。 |
| 0x40170040 | 暗号化鍵設定レジスタ 6 | AES_KEY6 | W | 0x0000_0000 | 暗号化鍵[223:192]を設定します。 |

| | | | | | |
|---|---|---|---|---|---|
| 0x40170044 | 暗号化鍵設定レジスタ 7 | AES_KEY7 | W | 0x0000_0000 | 暗号化鍵[255:224]を設定します。 |
| 0x40170048 | HASH サブ鍵設定レジスタ 0 | AES_HKEY0 | R/W | 0x0000_0000 | HASH サブ鍵[31:0]を設定します。 |
| 0x4017004C | HASH サブ鍵設定レジスタ 1 | AES_HKEY1 | R/W | 0x0000_0000 | HASH サブ鍵[63:32]を設定します。 |
| 0x40170050 | HASH サブ鍵設定レジスタ 2 | AES_HKEY2 | R/W | 0x0000_0000 | HASH サブ鍵[95:64]を設定します。 |
| 0x40170054 | HASH サブ鍵設定レジスタ 3 | AES_HKEY3 | R/W | 0x0000_0000 | HASH サブ鍵[127:96]を設定します。 |
| 0x40170058 | IV 設定レジスタ 0 | AES_IV0 | R/W | 0x0000_0000 | Initialization Vector[31:0]を設定します。 |
| 0x4017005C | IV 設定レジスタ 1 | AES_IV1 | R/W | 0x0000_0000 | Initialization Vector[63:32]を設定します。 |
| 0x40170060 | IV 設定レジスタ 2 | AES_IV2 | R/W | 0x0000_0000 | Initialization Vector[95:64]を設定します。 |
| 0x40170064 | IV 設定レジスタ 3 | AES_IV3 | R/W | 0x0000_0000 | Initialization Vector[127:96]を設定します。 |
| 0x40170068 | CTRIV 設定レジスタ 0 | AES_CTRIV0 | R/W | 0x0000_0000 | カウンター初期値[31:0]を設定します。 |
| 0x4017006C | CTRIV 設定レジスタ 1 | AES_CTRIV1 | R/W | 0x0000_0000 | カウンター初期値[63:32]を設定します。 |
| 0x40170070 | CTRIV 設定レジスタ 2 | AES_CTRIV2 | R/W | 0x0000_0000 | カウンター初期値[95:64]を設定します。 |
| 0x40170074 | CTRIV 設定レジスタ 3 | AES_CTRIV3 | R/W | 0x0000_0000 | カウンター初期値[127:96]を設定します。 |
| 0x40170078 | 入力データレジスタ | AES_IDATA | R/W | 0x0000_0000 | 入力データ[31:0]を設定します。 |
| 0x4017007C | 出力データレジスタ | AES_ODATA | R | 0x0000_0000 | AES 変換結果[31:0]を表示します。 |
| 0x40170080 | 出力データ 2 レジスタ 0 | AES_ODATA20 | R | 0x0000_0000 | AES 変換結果[31:0]を表示します。 |

| | | | | | |
|---|---|---|---|---|---|
| 0x40170084 | 出力データ 2 レジスタ 1 | AES_ODATA21 | R | 0x0000_0000 | AES 変換結果[63:32]を表示します。 |
| 0x40170088 | 出力データ 2 レジスタ 2 | AES_ODATA22 | R | 0x0000_0000 | AES 変換結果[95:64]を表示します。 |
| 0x4017008C | 出力データ 2 レジスタ 3 | AES_ODATA23 | R | 0x0000_0000 | AES 変換結果[127:96]を表示します。 |

### 7.28.3 レジスタ説明

#### 7.28.3.1 AES 制御レジスタ: 0x40170000

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DMA_RX_EN | DMA_TX_EN | AES_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW |

| | |
|---|---|
| DMA_RX_EN | 入力データの DMA 転送を有効にします。<br>0： 無効<br>1： 有効 |
| DMA_TX_EN | 出力データの DMA 転送を有効にします。<br>0： 無効<br>1： 有効 |
| AES_EN | AES 変換を有効にします。<br>0： 無効<br>1： 有効<br>CCM、GCM モードの完了(AES_DONE)によりクリアされます |

7.28.3.2 AES モード設定レジスタ: 0x40170004

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | STASIN | | | OPMOD | | | | KEYSIZE | | AUTHMOD | CIPHMOD |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| STASIN | STATE 割当て切換え<br>機能説明については 7.28.4.1 STATE 構成 を参照して下さい。 |
| OPMOD | 暗号化利用モードを選択します。<br>0x0：ECB<br>0x1：CBC<br>0x2：CFB<br>0x3：OFB<br>0x4：CTR<br>0x5：CCM<br>0x6：GCM<br>0x7：GHASH<br>0x11-0x15：Reserved |
| KEYSIZE | 暗号化鍵長を設定します。<br>00：128bit<br>01：192bit<br>10：256bit<br>11： 設定禁止 (128bit) |
| AUTHMOD | 認証 TAG 生成モード |

| | |
|---|---|
| | 機能説明については 7.28.4.5 を参照して下さい。 |
| CIPHMOD | Encryption/Decryption 選択<br>0：Encryption<br>1：Decryption |

7.28.3.3 GCM-CCM 制御レジスタ: 0x40170008

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | PLEN | | | | | | | | | | | | | | | | ALEN | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| PLEN | GCM モード、CCM モード時に暗号化/復号化データのバイト数を設定します。 |
| ALEN | GCM モード、CCM モード時に認証のみされるデータ(暗号化/復号化されないデータ)のバイト数を設定します。 |

7.28.3.5 AES ステータスレジスタ: 0x4017000C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | STMON | | | | | | | Reserved | | OBRP | | IBWP | | IBRP | | | | | | | AESBUSY | AESOBFL | AESIBFL |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

| | |
|---|---|
| STMON | AES ブロックの内部状態を表示します。 |
| OBRP | ODATA のリードポインタモニタ<br>00：ODATA0<br>01：ODATA1<br>10：ODATA2<br>11：ODATA3 |
| IBWP | IDATA のライトポインタモニタ<br>00：IDATA0<br>01：IDATA1<br>10：IDATA2<br>11：IDATA3 |
| IBRP | IDATA のリードポインタモニタ<br>00：IDATA0<br>01：IDATA1<br>10：IDATA2<br>11：IDATA3 |
| AESBUSY | AES 変換中表示<br>0： 変換完了又は停止中 |

| | |
|---|---|
| | 1 ： 変換中 |
| AESOBFL | ODATA に読み出していない変換結果があることを示します。4word リードするとクリアされます。<br>0 ： データなし<br>1 ： 未読出しの変換結果あり<br>本ビットに"1"を書き込むと以下のレジスタがクリアされます。<br>・OBRP(ODATA のリードポインタ) |
| AESIBFL | IDATA 入力禁止<br>0 ： IDATA への入力可能。<br>1 ： IDATA への入力禁止。入力バッファが AES 未処理のデータで埋まっていることを示します。<br>本ビットに"1"を書き込むと以下のレジスタがクリアされます。<br>・IBWP(IDATA のライトポインタ)<br>・IBRP(IDATA のリードポインタ)<br>・AESIBFL(ライトバッファの FULL ステータス)<br>・AESOBFL(リードバッファの FULL ステータス) |

7.28.3.6 割込み RAW ステータスレジスタ: 0x40170010

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | AES_DONE | AES_BLKDONE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| AES_DONE | CCM または GCM の暗号化/復号化完了時にセットされます。<br>0： 未完了又は停止<br>1： 完了 |
| AES_BLKDONE | ブロック(128bit)単位の暗号化/復号化完了時にセットされます。<br>0： 未完了又は停止<br>1： 完了 |

7.28.3.7 割込みステータスレジスタ: 0x40170014

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | R_AES_DONE | R_AESBLK_DONE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| R_AES_DONE | 割り込みステータスを示します。 |
| R_AES_BLKDONE | 各ビットの詳細については、割り込み RAW ステータスレジスタを参照してください。本レジスタはマスクされた割り込みステータスが読み出されます。<br>割り込み要因をクリアするには、該当する割り込み要因に対応した割り込みクリアレジスタをリードしてください。 |

7.28.3.8 割込みマスクレジスタ: 0x40170018

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | M_AES_DONE | M_AESBLK_DONE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW |

| | |
|---|---|
| M_AES_DONE | AES_DONE 割込みをマスクします。<br>0： マスクなし<br>1： マスク |
| M_AES_BLKDONE | AES_BLKDONE 割込みをマスクします。<br>0： マスクなし<br>1： マスク |

7.28.3.9 割込みクリアレジスタ: 0x4017001C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_AESINTR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| CLR_AESINTR | 本レジスタをリードすると AES 割込み(AES_BLKDONE, AES_CONE)をクリアします。 |

7.28.3.10 AESBLK_DONE 割込みクリアレジスタ: 0x40170020

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_AESBLK |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| CLR_AESBLK_DONE | 本レジスタをリードすると AES_BLKDONE 割込みをクリアします。 |

7.28.3.11 AES_DONE 割込みクリアレジスタ: 0x40170024

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLR_AES_DONE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| CLR_AES_DONE | 本レジスタをリードすると AES_DONE 割込みをクリアします。 |

7.28.3.12 暗号化鍵設定レジスタ x: 0x40170028-0x40170044

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | KEY | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W | W |

| | |
|---|---|
| KEY | 暗号化鍵を設定します。 |

7.28.3.13 HASH サブ鍵設定レジスタ x: 0x40170048-0x40170054

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | HKEY | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| HKEY | HASH サブ鍵を設定します。 |

7.28.3.14 IV 設定レジスタ x: 0x40170058-0x40170064

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | IV | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| IV | Initialization Vector を設定します。 |

7.28.3.15 CTRIV 設定レジスタ x: 0x40170068-0x40170074

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | CTRIV | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| CTRIV | CTR/CCM/GCM モードのカウンター初期値を設定します.<br>下位 16 ビットはブロックの AES 変換完了毎に自動でインクリメントします。 |

7.28.3.16 入力データレジスタ x: 0x40170078

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | IDATA | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| IDATA | 入力データを設定します。 |

7.28.3.17 出力データレジスタ x: 0x4017007C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | ODATA | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| ODATA | AES 変換結果を表示します。 |

7.28.3.18 出力データ 2 レジスタ x: 0x40170080-0x4017008C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | ODATA2 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| ODATA2 | AES 変換結果を表示します。<br>CCM、GCM モードの復号化時に認証 TAG の復号結果を表示します。 |

### 7.28.4 機能説明

#### 7.28.4.1 暗号化鍵長について

暗号化鍵長は AES_MOD.KEYSIZE レジスタで設定可能です。暗号化鍵長設定に対応する暗号化鍵設定レジスタを以下に示します。

| 暗号化鍵長 | AES_KEY0～3 | AES_KEY4～5 | AES_KEY6～7 |
|---|---|---|---|
| 128 ビット | 設定必要 | - | - |
| 192 ビット | 設定必要 | 設定必要 | - |
| 256 ビット | 設定必要 | 設定必要 | 設定必要 |

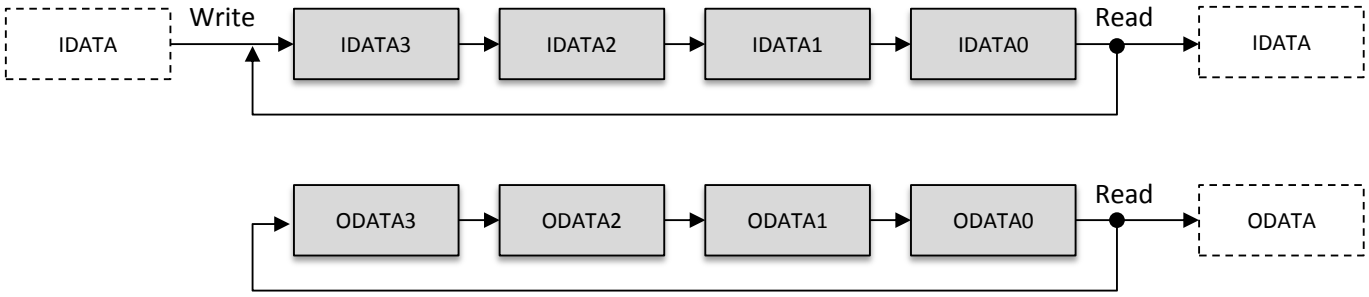
#### 7.28.4.2 変換サイクル

各暗号化利用モードにおける変換サイクル数を下表に示します。

| 暗号化利用モード | 変換サイクル(cycle/block) | | |
|---|---|---|---|
| | AES-128 | AES-192 | AES-256 |
| ECB/CBC/CFB/OFB/CTR/GCM/GHASH/MULT/CTR+GHASH | 12 | 14 | 16 |
| CCM/CTR+CBC | 24 | 28 | 32 |

#### 7.28.4.3 IDATA/ODATA アクセス

IDATA/ODATA は 4word(128 ビット)のバレルシフタの先頭アドレスです。
以下に概略図を示します。




IDATA に 4word のデータを書き込んだ場合、1 番最初に書き込んだ word が IDATA0 に書き込まれ、最後に書き込んだ word が IDATA3 に書き込まれます。リード時は 1 番最初に読み出したデータが IDATA0 を示し、最後に読み出したデータが IDATA3 を示します。ODATA のリード時も同様です。

#### 7.28.4.4 STATE 構成

FIPS PUB197 で定義された STATE と、IDATAx レジスタの対応を下図に示します。
STATE と IDATAx の対応は STASIN で切り替えることができます。
ODATA も同様の割当てとなります。

例 ：STASIN=000 (default)

| | | | | |
|---|---|---|---|---|
| [31:24] | $S_{0,0}$ | $S_{0,1}$ | $S_{0,2}$ | $S_{0,3}$ |
| [23:16] | $S_{1,0}$ | $S_{1,1}$ | $S_{1,2}$ | $S_{1,3}$ |
| [15:8] | $S_{2,0}$ | $S_{2,1}$ | $S_{2,2}$ | $S_{2,3}$ |
| [7:0] | $S_{3,0}$ | $S_{3,1}$ | $S_{3,2}$ | $S_{3,3}$ |
| | IDATA0 | IDATA1 | IDATA2 | IDATA3 |

STASIN[0]は BYTE 割当てを変更します。

例 ：STASIN=001

| | | | | |
|---|---|---|---|---|
| [7:0] | $S_{0,0}$ | $S_{0,1}$ | $S_{0,2}$ | $S_{0,3}$ |
| [15:8] | $S_{1,0}$ | $S_{1,1}$ | $S_{1,2}$ | $S_{1,3}$ |
| [23:16] | $S_{2,0}$ | $S_{2,1}$ | $S_{2,2}$ | $S_{2,3}$ |
| [31:24] | $S_{3,0}$ | $S_{3,1}$ | $S_{3,2}$ | $S_{3,3}$ |
| | IDATA0 | IDATA1 | IDATA2 | IDATA3 |

STASIN[1]は IDATA0～IDATA3 のブロック割当てを変更します。

例 ：STASIN=010

| | | | | |
|---|---|---|---|---|
| [31:24] | $S_{0,0}$ | $S_{0,1}$ | $S_{0,2}$ | $S_{0,3}$ |
| [23:16] | $S_{1,0}$ | $S_{1,1}$ | $S_{1,2}$ | $S_{1,3}$ |
| [15:8] | $S_{2,0}$ | $S_{2,1}$ | $S_{2,2}$ | $S_{2,3}$ |
| [7:0] | $S_{3,0}$ | $S_{3,1}$ | $S_{3,2}$ | $S_{3,3}$ |
| | IDATA3 | IDATA2 | IDATA1 | IDATA0 |

STASIN[2]はビット順を変更します。

例 ：STASIN=100

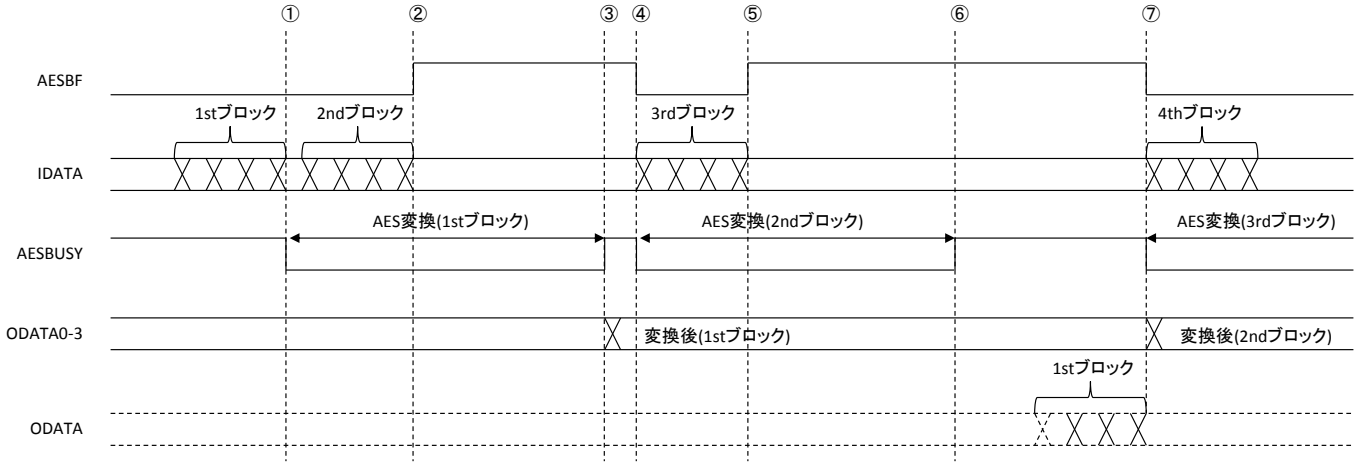
| | | | | |
|---|---|---|---|---|
| [24:31] | $S_{0,0}$ | $S_{0,1}$ | $S_{0,2}$ | $S_{0,3}$ |
| [16:23] | $S_{1,0}$ | $S_{1,1}$ | $S_{1,2}$ | $S_{1,3}$ |
| [8:15] | $S_{2,0}$ | $S_{2,1}$ | $S_{2,2}$ | $S_{2,3}$ |
| [0:7] | $S_{3,0}$ | $S_{3,1}$ | $S_{3,2}$ | $S_{3,3}$ |
| | IDATA0 | IDATA1 | IDATA2 | IDATA3 |

STASIN[0]、STASIN[1]、STASIN[2]は組み合わせて使用することが可能です。

#### 7.28.4.5 認証 TAG 生成モード

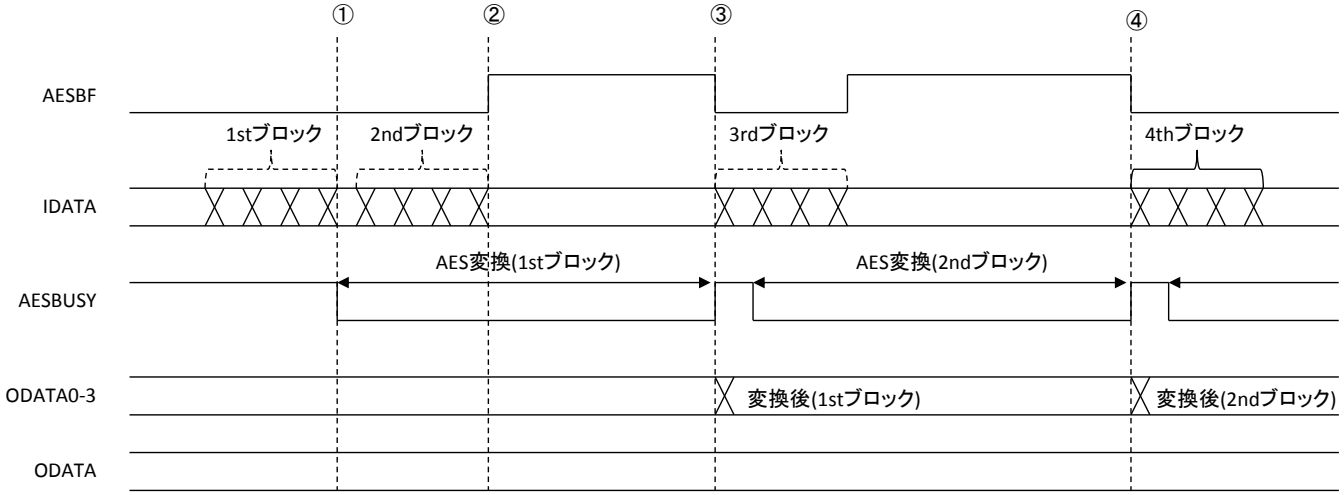
認証 TAG 生成モード(AUTHMOD=1)は認証 TAG 生成時のように、複数のブロック暗号化の最終結果のみを必要とする場合に最適なモードです。
AUTHMOD =0 の場合、前のブロックの変換結果を読み出さなければ次のブロックの設定ができません。一方、AUTHMOD =1 の場合、前のブロックの変換が完了した時点で次のブロックの設定が可能です。また、DMAC を使用する際、AUTHMOD =0 の場合、ブロックの変換完了毎に ODATA の転送要求が発生します。一方、AUTHMOD =1 の場合、最終データ(DMAC による IDATA への転送の最終データ)の変換後のみ ODATA の転送要求が発生します。

・IDATA の設定可能タイミング(AUTHMOD =0)




① IDATA から 4word のデータを書き込むと AES 変換を開始します
② さらに 4word のデータを書き込むと入力バッファが一杯になり AESBF が”1”に切り替わります。
③ 1st ブロックの変換が完了すると AESBUSY が”1”となり、内部の ODATA0-3 に変換後データが格納されます。
④ 既に 2nd ブロックのデータがセットされているため、AESBUSY は 1 サイクルで”0”に切り替わり、2nd ブロックの変換を開始します。2nd ブロックの変換が開始されると AESBF が”0”になり、次のブロックのセットが可能となります。
⑤ 3rd ブロックを書き込むと入力バッファが一杯になり AESBF が”1”に切り替わります。
⑥ 2nd ブロックの変換が完了し AESBUSY が”1”になります。しかし、1st ブロックの変換結果を読み出さなければ、2nd ブロックの変換結果は ODATA0-3 に格納されず、3rd ブロックの変換が開始されません。
⑦ ODATA から 1st ブロックの変換後データを読み終えると、ODATA0-3 に 2nd ブロックの変換データを格納し、3rd ブロックの変換を開始します。また、AESBF が”0”に切り替わり次のブロックセットが可能となります。

・IDATA の設定可能タイミング(AUTHMOD =1)



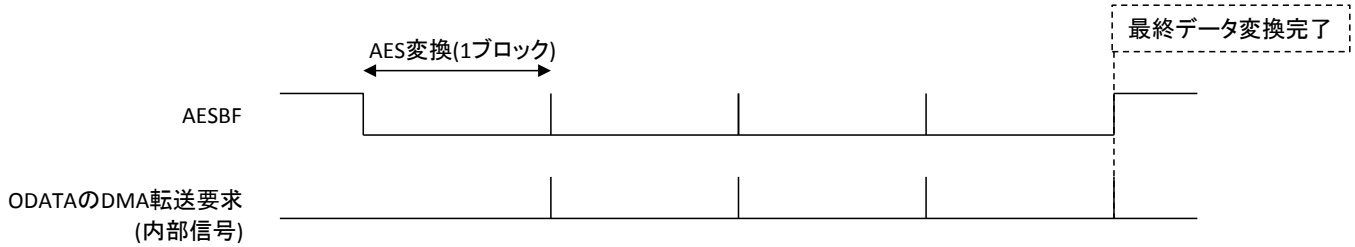

① IDATA から 4word のデータを書き込むと AES 変換を開始します。

② さらに 4word のデータを書き込むと入力バッファが一杯になり AESBF が”1”に切り替わります。

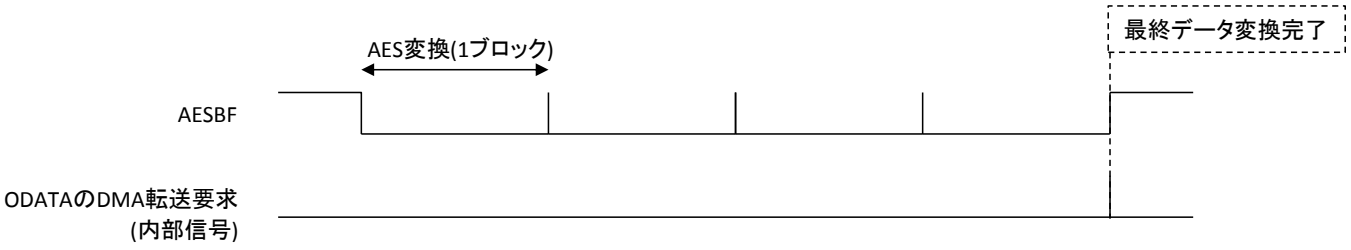
③ 1st ブロックの変換が完了すると AESBUSY が”1”となり、内部の ODATA0-3 に変換後データが格納されます。さらに、ODATA から変換後データを読み出さなくとも、1st ブロックの変換完了により AESBF が”0”となり次のブロックの入力が可能となります。

④ 2nd ブロックの変換が完了すると 1st ブロックの読出し有無に関わらず ODATA0-3 を 2nd ブロックの変換後データに上書きします。

・DMAC への転送要求発生タイミング(AUTHMOD =0)



・DMAC への転送要求発生タイミング(AUTHMOD =1)



#### 7.28.4.6 入出力ブロックサイズ

暗号化利用モード毎の入力データブロックサイズおよび出力データブロックサイズを下表に示す。

| 暗号化利用モード | 暗号化/復号化 | 入力(IDATA) | 出力(ODATA) |
|---|---|---|---|
| CCM | 暗号化 | 認証用データサイズ(ALEN)<br>+ 平文/暗号文サイズ(PLEN) | 暗号文/平文サイズ(PLEN)<br>+1(認証 TAG) |
| | 復号化 | 認証用データサイズ(ALEN)<br>+ 平文/暗号文サイズ(PLEN)<br>+ 1（復号化前認証 TAG） | 暗号文/平文サイズ(PLEN)<br>+1(認証 TAG) |
| GCM | 暗号化 | 認証用データサイズ(ALEN)<br>+ 平文/暗号文サイズ(PLEN)<br>+ 1(認証用データと平文の bit 幅) | 暗号文/平文サイズ(PLEN)<br>+1(認証 TAG) |
| | 復号化 | 認証用データサイズ(ALEN)<br>+ 平文/暗号文サイズ(PLEN)<br>+ 1(復号化前認証 TAG)<br>+ 1(認証用データと平文の bit 幅) | 暗号文/平文サイズ(PLEN)<br>+1(認証 TAG) |
| その他 | 暗号化/復号化 | 平文/暗号文サイズ | 入力と同様 |

#### 7.28.4.7 ECB

NIST Special Publication 800-38A に記載されている Electronic Code Book (ECB)を実行します。

・入力

IDATA ： 平文または暗号文

KEY ： 暗号化鍵

・出力

ODATA ： 暗号文または平文

#### 7.28.4.8 CBC

NIST Special Publication 800-38A に記載されている Cipher Block Chaining (CBC)を実行します。

・入力

IV　　：初期ベクタ
IDATA　　：平文または暗号文
KEY　　：暗号化鍵

・出力
ODATA　　：暗号文または平文

AES_EN=1 を維持している間、2 番目以降のブロック暗号化の初期ベクタには前のブロック暗号化の出力結果が使用されます。

#### 7.28.4.9 CFB

NIST Special Publication 800-38A に記載されている Cipher Feedback (CFB)を実行します。

・入力
IV　　：初期ベクタ
IDATA　　：平文または暗号文
KEY　　：暗号化鍵

・出力
ODATA　　：暗号文または平文

AES_EN=1 を維持している間、2 番目以降のブロック暗号化の初期ベクタには前のブロック暗号化の出力結果が使用されます。

注意）フィードバッグするビット幅は 128 ビット固定です。128 ビット以外のサイズで使用する場合、ブロック暗号化毎に IV を再設定して下さい。

#### 7.28.4.10 OFB

NIST Special Publication 800-38A に記載されている Output Feedback(OFB)を実行します。

・入力
IV　　：初期ベクタ
IDATA　　：平文または暗号文
KEY　　：暗号化鍵

・出力
ODATA　　：暗号文または平文

AES_EN=1 を維持している間、2 番目以降のブロック暗号化の初期ベクタには前のブロック暗号化の出力結果(平文との XOR 前の結果)が使用されます。

#### 7.28.4.11 CTR

NIST Special Publication 800-38A に記載されている Counter (CTR) を実行します。

・入力
CTRIV　　：カウンタ初期値
IDATA　　：平文または暗号文
KEY　　：暗号化鍵

・出力
ODATA　　：暗号文または平文

AES_EN=1 を維持している間、ブロック暗号化毎にカウンタ値はインクリメントされます。

#### 7.28.4.12 CCM

NIST Special Publication 800-38C CCM モードでは CCM の暗号化、復号化および認証 TAG 生成を一括実行します。

【暗号化】

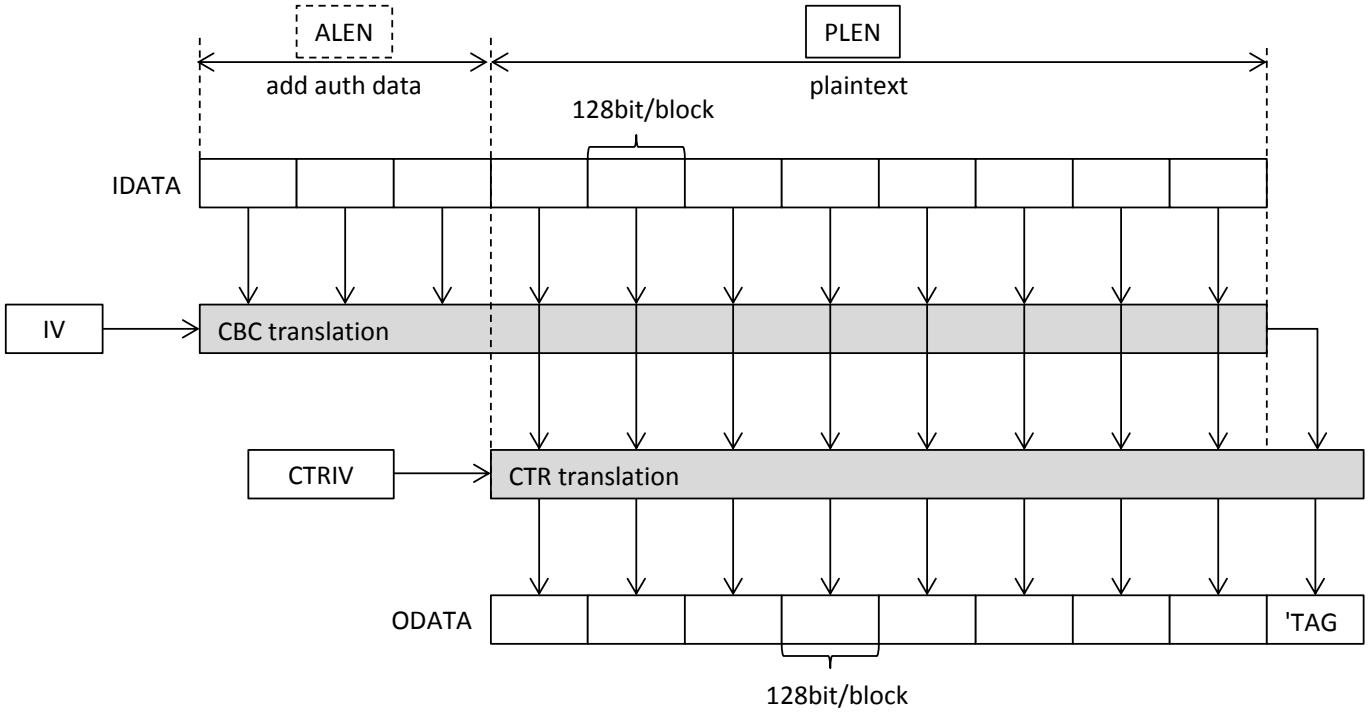
・入力

IV　　：CBC の初期ベクタ
CTRIV　　：CTR のカウンタ初期値
IDATA　　：認証用データ、平文
KEY　　：暗号化鍵
ALEN　　：認証用データのバイト数
PLEN　　：平文のバイト数

・出力

ODATA　　：暗号文、認証 TAG(最終データ)

以下に CCM モード(暗号化)の概略図を示します。



IDATA には認証 TAG 生成用データ(CBC のみ実行したいデータ)、暗号化対象データ(CBC と CTR を実行したいデータ)の順で設定します。
ALEN には TEG 生成用データのバイト数を設定します。
PLEN には暗号化対象データを設定します。
ハードウェアは ALEN および PLEN に設定された値により内部動作を切り替えます。
IV には CBC の Initial Vector を設定します。
IV2 には CTR のカウンタ初期値を設定します。カウンタ値は Block の変換完了時に自動でインクリメントされます。
ODATA には暗号化データおよび TAG が出力されます。最終出力データが TAG を示します。
CBC の初期ベクタおよび CTR のカウンタ値は ALEN および PLEN により設定されたバイト数の変換が完了するまで、ハードウェアにより自動で切替わります。
認証 TAG の暗号化は plaintext の最終データがリードされたことをトリガとして実行されます。

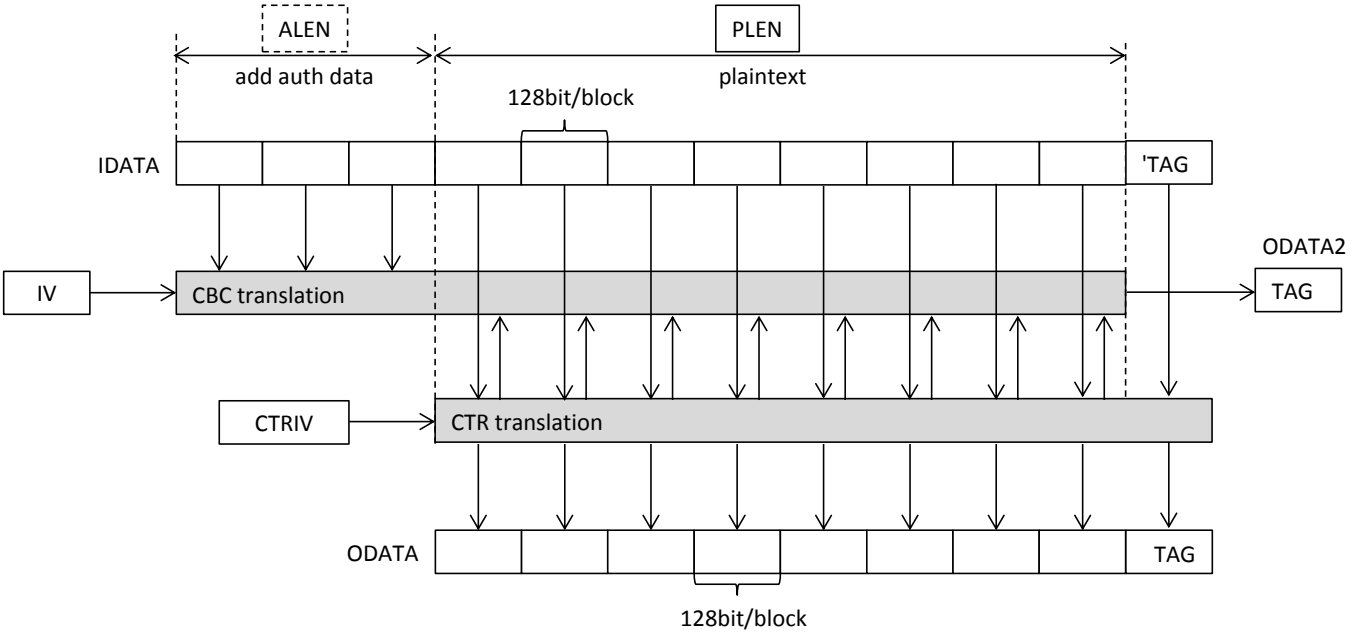
【復号化】
・入力

| | |
|---|---|
| IV | ：CBC の初期ベクタ |
| CTRIV | ：CTR のカウンタ初期値 |
| IDATA | ：認証用データ、暗号文、認証 TAG |
| KEY | ：暗号化鍵 |
| ALEN | ：認証用データのバイト数 |
| PLEN | ：暗号文のバイト数 |

・出力

| | |
|---|---|
| ODATA | ：復号文、暗号化された認証 TAG を復号化したデータ(最終データ) |
| ODATA2 | ：復号文から生成した認証 TAG |

以下に CCM モード（復号化時）の概略図を示します。




ODATA の最終データは暗号化された認証 TAG を復号化したデータを示します。ODATA2 の最終データは復号化したメッセージから生成した認証 TAG を示します。

### 7.28.4.13 GCM

NIST Special Publication 800-38D に記載されている Galois/Counter Mode (GCM)の暗号化、復号化および認証 TAG 生成を一括実行します。

【暗号化】

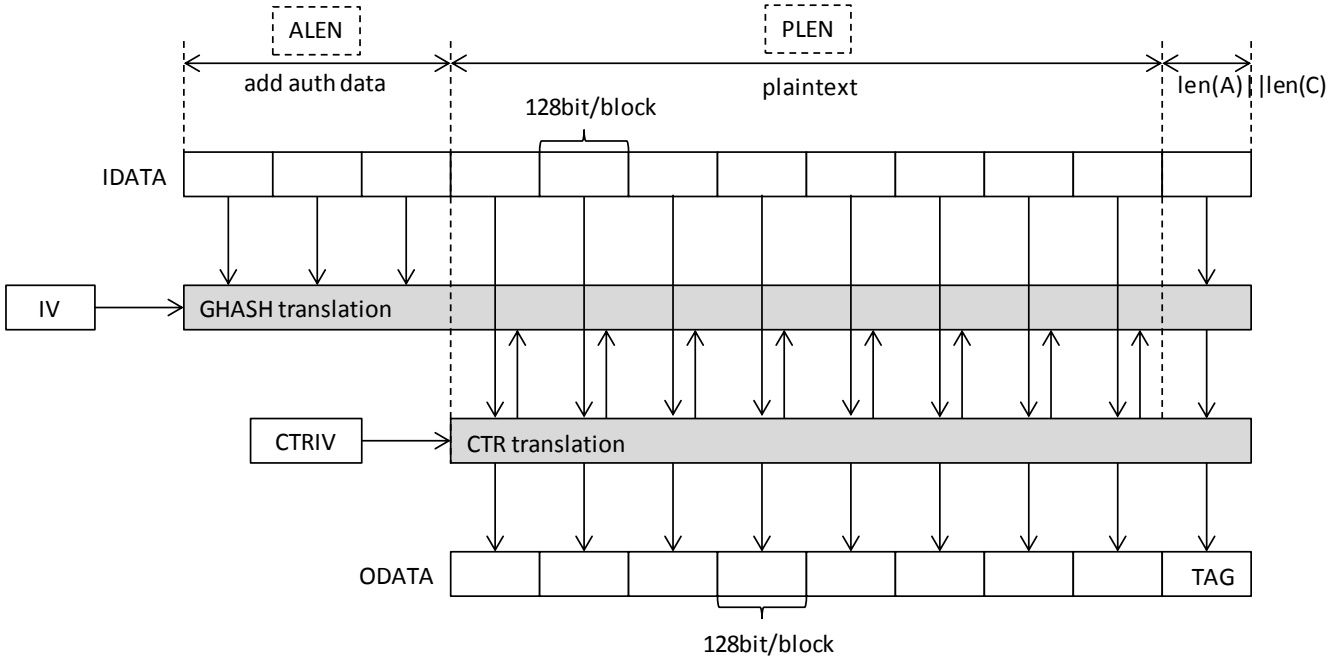
・入力

IV　　：GHASH の初期ベクタ
CTRIV　　：CTR のカウンタ初期値
IDATA　　：認証用データ、平文、およびそれらのビット幅
KEY　　：暗号化鍵
HKEY　　：GHASH の HASH sub key
ALEN　　：認証用データのバイト数
PLEN　　：平文のバイト数

・出力

ODATA　　：暗号文、認証 TAG(最終データ)

以下に GCM モード(暗号化)の概略図を示します。



IDATA には認証 TAG 生成用データ(GHASH のみ実行したいデータ)、暗号化対象データ(GHASH と CTR を実行したいデータ)、認証 TAG 生成用データと暗号化対象データのビット幅情報の順で設定します。
ALEN には TEG 生成用データの Block 数を設定します。
PLEN には暗号化対象データの Block 数を設定します。
ハードウェアは ALEN および PLEN に設定された値により内部動作を切り替えます。
IV には GHASH の初期ベクタを設定します。初期ベクタについての詳細は GHASH 項を参照して下さい。
CTRIV には CTR のカウンタ初期値を設定します。カウンタ値は Block の変換完了時に自動でインクリメントされます。
ODATA には暗号化データおよび TAG が出力されます。最終出力データが TAG を示します。
GHASH の初期ベクタおよび CTR のカウンタ値は ALEN および PLEN により設定されたバイト数の変換が完了するまで、ハードウェアにより自動で切替わります。

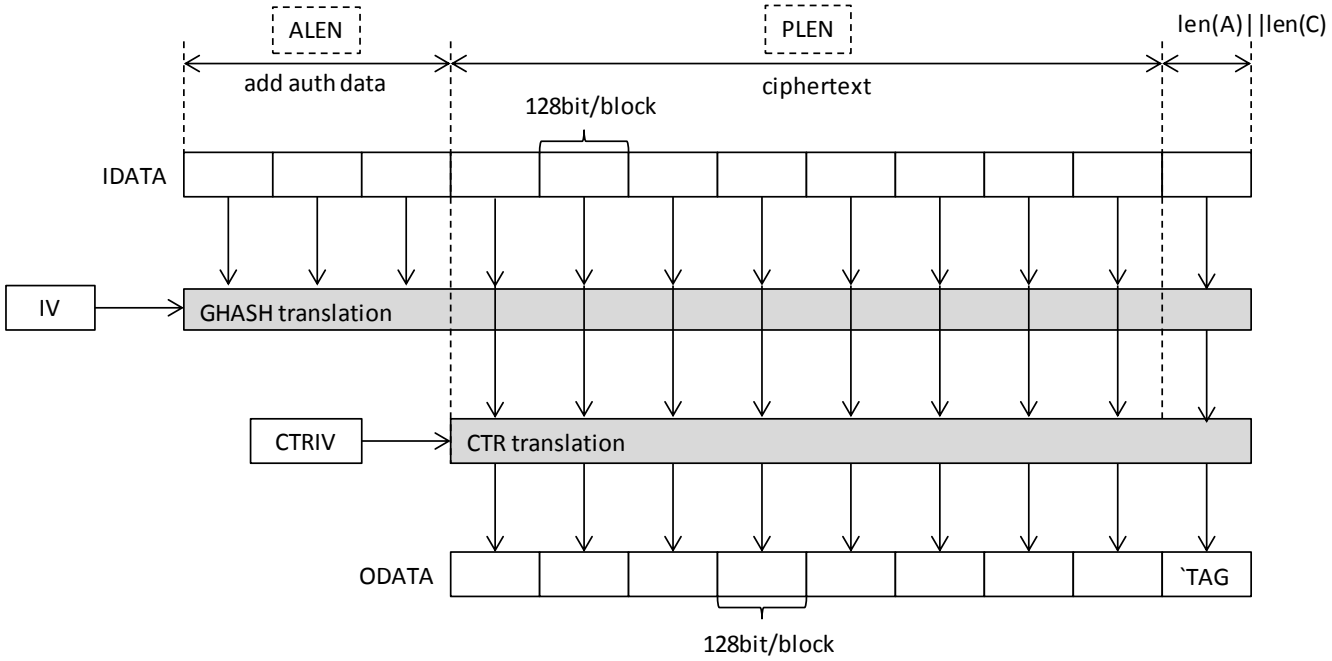
【復号化】
・入力

| | |
|---|---|
| IV | ：GHASH の初期ベクタ |
| CTRIV | ：CTR のカウンタ初期値 |
| IDATA | ：認証用データ、暗号文、認証 TAG、認証用データおよび暗号文のビット幅 |
| KEY | ：暗号化鍵 |
| HKEY | ：GHASH の HASH sub key |
| ALEN | ：認証用データのバイト数 |
| PLEN | ：暗号文のバイト数 |

・出力

| | |
|---|---|
| ODATA | ：復号文、復号文から生成した認証 TAG(最終データ) |

以下に GCM モード(復号化)の概略図を示します。




ODATA の最終データは復号化したメッセージから生成した認証 TAG を示します。

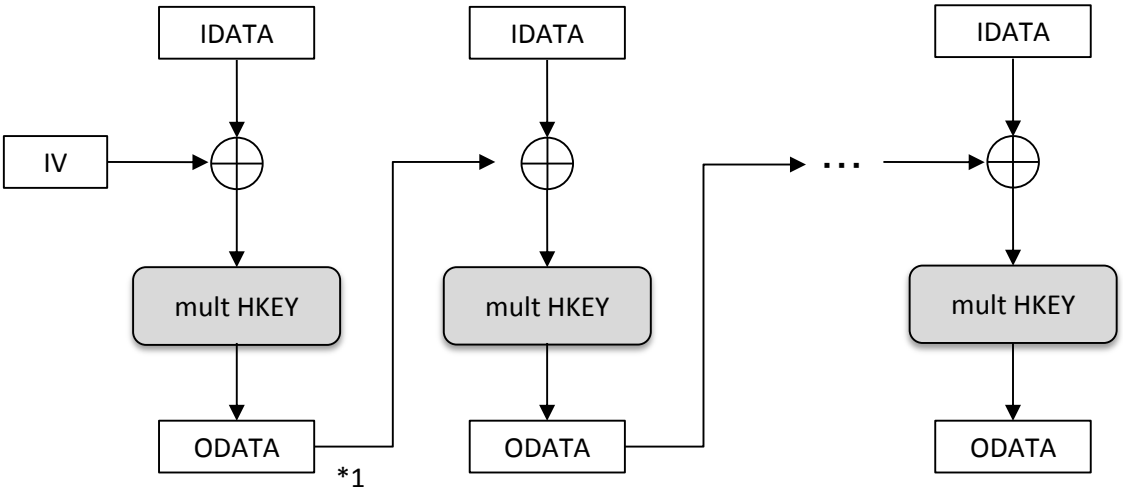
#### 7.28.4.14 GHASH

NIST Special Publication 800-38D に記載されている GHASH 変換を行います。

・入力
HKEY ：HASH sub key
IV ： 初期ベクタ
IDATA ： 入力データ

・出力
ODATA：GHASH(HKEY, IV, IDATA)

以下に GHASH モードの概略図を示します。




*1：AES_EN=1 を維持している間、2 ブロック目以降の初期ベクタには ODATA の値が使用されます。

### 7.28.5 動作説明

#### 7.28.5.1 制御例(DMAC なし)

DMAC を使用しない場合の制御例を以下に示します。

① AES_MOD レジスタを設定する。
② 実行する暗号化利用モードに必要な入力情報を設定する。
(IV、CTRIV、KEY、HKEY、ALEN、PLEN)
③ AES_CTL を設定する。DMA_TX_EN=DMA_RX_EN=0、AES_EN=1。
④ AES_BLKDONE が”0”であることを確認する。
⑤ IDATA に入力データを設定する。4word の書き込みが完了すると、AES の変換が開始される。
⑥ AES_BLKDONE が”1”になっていることが確認できたら、ODATA を読み出す。
⑦ AES_BLKDONE をクリアする。
⑧ ステップ⑤から⑦を入力データのバイト数回繰り返す。
全ての変換が完了したら、AES_EN をネゲートする。

注意)
・CCM モードの場合、Plaintext の最終データの暗号化完了後、ODATA がリードされたことをトリガとして認証 TAG の暗号化が実行されます。
・CCM、GCM モードの場合は変換完了により AES_EN が自動でネゲートされます。

#### 7.28.5.2 制御例(DMAC)

DMAC を使用する場合の制御例を以下に示します。

① AES_MOD レジスタを設定する。
② 実行する暗号化利用モードに必要な入力情報を設定する。
(IV、CTRIV、KEY、HKEY、ALEN、PLEN)
③ AES_CTL を設定する。DMA_TX_EN=DMA_RX_EN=1、AES_EN=1。
④ AES_BLKDONE が”0”であることを確認する。
⑤ RAM に入力データをセットする。
⑥ DMAC のレジスタを設定する。下記の設定を推奨する。
-IDATA を CH2 のデスティネーションアドレスに指定する。

-ODATA を CH3 のソースアドレスに指定する。
-データ転送幅は word(32 ビット)とする。
-バースト転送のバースト長を 4word とする。

⑦ DMAC 転送スタートする。

⑧ DMAC 転送完了後、AES_BLKDONE または AES_DONE を読出し AES 変換が完了していることを確認し AES_EN をネゲートする。

## 7.29.MODE_CNT

### 7.29.1 概要

モードコントロール ： 動作モード(Flash バンク構成、PLL/クロック分周等)を制御する機能です。

### 7.29.2 レジスター覧

| アドレス[H] | 名称 | 略称 | R/W | 初期値[H] | 説明 |
|---|---|---|---|---|---|
| 0x40050000 | WDT 設定レジスタ | | RW | 0x00000001 | WDT 設定 |
| 0x40050004 | TIMER 設定レジスタ | | RW | 0x00000000 | Timer 設定 |
| 0x4005000C | PLL 設定レジスタ 0 | | RW | 0x00081359 | PLL 設定 0 |
| 0x40050010 | PLL 設定レジスタ 1 | | RW | 0x00000000 | PLL 設定 1 |
| 0x40050018 | CLKGEN 設定レジスタ 0 | | RW | 0x00000000 | CLKGEN 設定 0 |
| 0x4005001C | CLKGEN 設定レジスタ 1 | | RW | 0x00000000 | CLKGEN 設定 1 |
| 0x40050020 | CLKGEN 設定レジスタ 2 | | RW | 0x00000000 | CLKGEN 設定 2 |
| 0x40050024 | CLKGEN 設定レジスタ 3 | | RW | 0x00000000 | CLKGEN 設定 3 |
| 0x40050028 | CLKGEN 設定レジスタ 4 | | RW | 0x00000000 | CLKGEN 設定 4 |
| 0x4005002C | CLKGEN 設定レジスタ 5 | | RW | 0x00000000 | CLKGEN 設定 5 |
| 0x40050030 | CLKGEN 設定レジスタ 6 | | RW | 0x00000000 | CLKGEN 設定 6 |
| 0x40050034 | CLKGEN 設定レジスタ 7 | | RW | 0x00000000 | CLKGEN 設定 7 |
| 0x40050038 | CLKGEN 設定レジスタ 8 | | RW | 0x00000007 | CLKGEN 設定 8 |
| 0x4005003C | CLKGEN 設定レジスタ 9 | | RW | 0x00000056 | CLKGEN 設定 9 |
| 0x40050040 | ディープスリープ制御レジスタ | | RW | 0x00000000 | ディープスリープ設定 |
| 0x40050044 | FLASH-ROM ディープスタンバイ制御レジスタ | | RW | 0x00000000 | FLASH-ROM ディープスタンバイ制御 |
| 0x40050048 | FLASH WakeUp 時間設定レジスタ | | RW | 0x0000000E | FLASH WakeUp 時間設定 |
| 0x4005004C | 電源遮断解除間隔設定レジスタ | | RW | 0x00004B00 | 電源遮断解除間隔設定 |
| 0x40050050 | MODE_CNT 割込みマスクレジスタ | | RW | 0x00000000 | MODE_CNT 割込みマスク |
| 0x40050054 | MODE_CNT 割込みステータスレジスタ | | RW | 0x00000000 | MODE_CNT 割込みステータス |

| | | | | | |
|---|---|---|---|---|---|
| 0x40050058 | MODE_CNT RAW 割込みステータスレジスタ | | RW | 0x00000000 | MODE_CNT RAW 割込みステータス |
| 0x4005005C | 高速 CR 安定化完了割込みクリアレジスタ | | RW | 0x00000000 | 高速 CR 安定化完了割込みクリア |
| 0x40050060 | 低速 CR 安定化完了割込みクリアレジスタ | | RW | 0x00000000 | 低速 CR 安定化完了割込みクリア |
| 0x40050064 | XTAL32KHz 安定化完了割込みクリアレジスタ | | RW | 0x00000000 | XTAL32KHz 安定化完了割込みクリア |
| 0x40050068 | PLL 起動完了割込みクリアレジスタ | | RW | 0x00000000 | PLL 起動完了割込みクリア |
| 0x4005006C | MODE_CNT 割込みクリアレジスタ | | RW | 0x00000000 | MODE_CNT 割込みクリア |
| 0x40050070 | クロックステータスレジスタ | | RW | 0x00000007 | クロックステータス |
| 0x40050074 | DMON モニタレジスタ | | RW | 0x00000000 | DMON モニタ制御 |
| 0x40050078 | レギュレータ設定レジスタ 0 | | RW | 0x00000000 | レギュレータ制御 |
| 0x40050094 | TEST 設定レジスタ 2 | | RW | 0x00000000 | クロック出力用 |
| 0x40050130 | IO 設定レジスタ 0 | | RW | 0x00000101 | IO 属性強制設定 |
| 0x40050134 | IO 設定レジスタ 1 | | RW | 0x00000181 | IO 属性強制設定 |
| 0x40050138 | IO 設定レジスタ 2 | | RW | 0x00000081 | IO 属性強制設定 |
| 0x4005013C | IO 設定レジスタ 3 | | RW | 0x00000081 | IO 属性強制設定 |
| 0x40050140 | IO 設定レジスタ 4 | | RW | 0x00000081 | IO 属性強制設定 |
| 0x40050144 | IO 設定レジスタ 5 | | RW | 0x00000181 | IO 属性強制設定 |
| 0x40050148 | IO 設定レジスタ 6 | | RW | 0x00000181 | IO 属性強制設定 |
| 0x4005014C | IO 設定レジスタ 7 | | RW | 0x00000181 | IO 属性強制設定 |
| 0x40050150 | IO 設定レジスタ 8 | | RW | 0x00000181 | IO 属性強制設定 |
| 0x40050154 | IO 設定レジスタ 9 | | RW | 0x000000C0 | IO 属性強制設定 |
| 0x40050158 | IO 設定レジスタ 10 | | RW | 0x00000185 | IO 属性強制設定 |
| 0x4005015C | IO 設定レジスタ 11 | | RW | 0x000000C0 | IO 属性強制設定 |
| 0x40050160 | IO 設定レジスタ 12 | | RW | 0x000000C0 | IO 属性強制設定 |
| 0x40050164 | IO 設定レジスタ 13 | | RW | 0x00000281 | IO 属性強制設定 |
| 0x40050168 | IO 設定レジスタ 14 | | RW | 0x00000281 | IO 属性強制設定 |
| 0x4005016C | IO 設定レジスタ 15 | | RW | 0x00000281 | IO 属性強制設定 |
| 0x40050170 | IO 設定レジスタ 16 | | RW | 0x00000281 | IO 属性強制設定 |
| 0x40050174 | IO 設定レジスタ 17 | | RW | 0x00000281 | IO 属性強制設定 |
| 0x40050178 | IO 設定レジスタ 18 | | RW | 0x00000281 | IO 属性強制設定 |

| | | | | | |
|---|---|---|---|---|---|
| 0x4005017C | IO 設定レジスタ 19 | | RW | 0x00000281 | IO 属性強制設定 |
| 0x40050180 | IO 設定レジスタ 20 | | RW | 0x00000281 | IO 属性強制設定 |
| 0x40050184 | IO 設定レジスタ 21 | | RW | 0x00000281 | IO 属性強制設定 |
| 0x40050188 | IO 設定レジスタ 22 | | RW | 0x00000281 | IO 属性強制設定 |
| 0x4005018C | IO 設定レジスタ 23 | | RW | 0x00000281 | IO 属性強制設定 |
| 0x40050190 | IO 設定レジスタ 24 | | RW | 0x00000281 | IO 属性強制設定 |
| 0x40050194 | IO 設定レジスタ 25 | | RW | 0x00000281 | IO 属性強制設定 |

## 7.29.3 レジスタ説明

### 7.29.3.1 WDT 設定レジスタ: 0x40050000

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | WDT_RST_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

| | |
|---|---|
| WDT_RST_EN | WDT からのリセット要求を有効にします。<br>0:disable<br>1:enable |

WDT については 7.10.WDT をご参照願います。

7.29.3.2 Timer 設定レジスタ: 0x40050004

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CASCADE_EN1 | CASCADE_EN0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW |

| | |
|---|---|
| CASCADE_EN1 | TIMERD と TIMERE をカスケードモードに設定します。<br>0:disable<br>1:enable |
| CASCADE_EN0 | TIMERB と TIMERC をカスケードモードに設定します。<br>0:disable<br>1:enable |

Timer については 7.14.Timer をご参照願います。

7.29.3.3 Reserved レジスタ: 0x40050008

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | FLASH_BANK_EN | Reserved |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW |

| | |
|---|---|
| Reserved | 予備 |

7.29.3.4 PLL 設定レジスタ 0: 0x4005000C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | TEG_MODE | PLL_PDN0 | PLL_BYPASS0 | PLL_DVCO0 | | | | | | | | | | | PLL_DREF0 | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| TEG_MODE | TEG 設定<br>0:商用モード<br>1:TEG モード<br>※初期値(0 設定)で使用してください。 |
| PLL_PDN0 | PLL0 のパワーダウン設定<br>0:パワーダウン<br>1:動作モード |
| PLL_BYPASS0 | PLL0 のバイパス設定<br>0:動作モード(非バイパス)<br>1:IREF/PLLOUT バイパス<br>※初期値(0 設定)で使用してください。 |

| | |
|---|---|
| PLL_DVCO0 | PLL0 のカウンタ出力逓倍設定<br>00000000001:1 逓倍<br>00000000010:2 逓倍<br>00000000011:3 逓倍<br>00000000100:4 逓倍<br>...<br>11111111110:2046 逓倍<br>11111111111:2047 逓倍<br>00000000000:2048 逓倍 |
| PLL_DREF0 | PLL0 のカウンタ入力分周設定<br>01:1 分周<br>10:2 分周<br>11:3 分周<br>00:4 分周 |

PLL 出力周波数は PLL_DVCO0、PLL_DREF0、PLL_DIV(7.29.3.45　0x400500C8)より以下のように決まります。

fout = (fin x PLL_DVCO0 ÷ PLL_DREF0) ÷ PLL_DIV

入力が XTAL32KHz のときは、PLL_DREF0 = 0x01(1 分周)を推奨します。0x01 以外に設定するとジッタが大きくなる可能性があります。

PLL 出力周波数の設定例を以下に示します。

【レジスタ初期値】

PLL_DVCO0 = 1238 逓倍、PLL_DREF0 = 1 分周、PLL_DIV = 1 分周

PLL_IREF_SEL = XTAL32KHz

PLL 出力 = (32.768KHz x 1238 逓倍 ÷ 1 分周)÷ 1 分周= 40.567MHz

【40MHz出力】

PLL_DVCO0 = 1221 逓倍、PLL_DREF0 = 1 分周、PLL_DIV = 1 分周

PLL_IREF_SEL = XTAL32KHz

PLL 出力 = (32.768KHz x 1221 逓倍 ÷ 1 分周)÷ 1 分周= 40.009MHz

【5MHz出力】

PLL_DVCO0 = 1221 逓倍、PLL_DREF0 = 1 分周、PLL_DIV = 8 分周

PLL_IREF_SEL = XTAL32KHz

PLL 出力 = (32.768KHz x 1221 逓倍 ÷ 1 分周)÷ 8 分周= 5.001MHz

7.29.3.5 PLL 設定レジスタ 1: 0x40050010

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | PLL_IREF_SEL | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW |

| | |
|---|---|
| PLL_IREF_SEL | PLL リファレンスクロック選択<br>00:XTAL32KHz<br>01:低速 CR<br>10:RF(ML7396B)<br>11:高速 CR |

7.29.3.6 CLKGEN 設定レジスタ 0: 0x40050018

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | SUB_SRC_SEL | Reserved | MAIN_SRC_SEL | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | R | RW | RW | RW |

| | |
|---|---|
| MAIN_SRC_SEL | メインクロックソース選択<br>000:高速 CR<br>001:PLL<br>010:RF(ML7396B)<br>011:XTAL32KHz<br>100:低速 CR<br>その他:設定禁止 |
| SUB_SRC_SEL | サブクロックソース選択<br>0:XTAL32KHz<br>1:低速 CR |

7.29.3.7 CLKGEN 設定レジスタ 1: 0x4005001C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | EXTTIMER_CLK_SEL | TIMERE_CLK_SEL | TIMERD_CLK_SEL | TIMERC_CLK_SEL | TIMERB_CLK_SEL | TIMERA_CLK_SEL | WDT_CLK_SEL |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| WDT_CLK_SEL | WDT クロックソース選択<br>0:メインクロック<br>1:サブクロック |
| TIMERA_CLK_SEL | TIMERA クロックソース選択<br>0:メインクロック<br>1:サブクロック |
| TIMERB_CLK_SEL | TIMERB クロックソース選択<br>0:メインクロック<br>1:サブクロック |

| | |
|---|---|
| TIMERC_CLK_SEL | TIMERC クロックソース選択<br>0:メインクロック<br>1:サブクロック |
| TIMERD_CLK_SEL | TIMERD クロックソース選択<br>0:メインクロック<br>1:サブクロック |
| TIMERE_CLK_SEL | TIMERE クロックソース選択<br>0:メインクロック<br>1:サブクロック |
| EXT_TIMER_CLK_SEL | EXT_TIMER クロックソース選択<br>0:メインクロック<br>1:サブクロック |

7.29.3.8 CLKGEN 設定レジスタ 2: 0x40050020

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | CLKT_L_SEL | | CLKT_H_SEL | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

| | |
|---|---|
| CLKT_H_SEL | CLK_TIMER 用高速クロック選択<br>00:PLL<br>01:RF<br>10:高速 CR<br>その他:設定禁止 |
| CLKT_L_SEL | CLK_TIMER 用低速クロック選択<br>00:低速 CR<br>01:XTAL32KHz<br>10:RF<br>その他:設定禁止 |

7.29.3.9 CLKGEN 設定レジスタ 3: 0x40050024

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | RAND_DIV | | | | WDT_DIV | | | | GPIO_DIV | | | | SSIS_DIV | | | | UART_DIV | | | | I2C_DIV | | | | FCLK_DIV | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| RAND_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周<br>0101:32 分周<br>0110:64 分周 |
| WDT_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周<br>0101:32 分周<br>0110:64 分周<br>※WDT クロックソースをサブクロックに設定している場合(CLKGEN 設定レジスタ 1:0x4005001C)は 16 分周までの設定が可能です。WDT クロックソースをサブクロックに設定し、0101 または 0110 を設定した場合は 1 分周で動作します。 |

| | |
|---|---|
| GPIO_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周<br>0101:32 分周<br>0110:64 分周 |
| SSIS_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周<br>0101:32 分周<br>0110:64 分周 |
| UART_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周<br>0101:32 分周<br>0110:64 分周 |
| I2C_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周<br>0101:32 分周<br>0110:64 分周 |

| | |
|---|---|
| FCLK_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周<br>0101:32 分周<br>0110:64 分周 |

7.29.3.10 CLKGEN 設定レジスタ 4: 0x40050028

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | SUB_CLK_DIV | | | | Reserved | | | | EXTTMR_DIV | | | | TMRE_DIV | | | | TMRD_DIV | | | | TMRC_DIV | | | | TMRB_DIV | | | | TMRA_DIV | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | RW | RW | RW | RW | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| SUB_CLK_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周 |
| EXTTMR_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周<br>0101:32 分周<br>0110:64 分周<br>※EXT_TIMER クロックソースをサブクロックに設定している場合(CLKGEN 設定レジスタ 1:0x4005001C)は 16 分周までの設定が可能です。EXT_TIMER クロックソースをサブクロックに設定し、0101 または 0110 を設定した場合は 1 分周で動作します。 |

| | |
|---|---|
| TMRE_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周<br>0101:32 分周<br>0110:64 分周<br>※TIMERE クロックソースをサブクロックに設定している場合(CLKGEN 設定レジスタ 1:0x4005001C)は 16 分周までの設定が可能です。TIMERE クロックソースをサブクロックに設定し、0101 または 0110 を設定した場合は 1 分周で動作します。 |
| TMRD_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周<br>0101:32 分周<br>0110:64 分周<br>※TIMERD クロックソースをサブクロックに設定している場合(CLKGEN 設定レジスタ 1:0x4005001C)は 16 分周までの設定が可能です。TIMERD クロックソースをサブクロックに設定し、0101 または 0110 を設定した場合は 1 分周で動作します。 |
| TMRC_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周<br>0101:32 分周<br>0110:64 分周<br>※TIMERC クロックソースをサブクロックに設定している場合(CLKGEN 設定レジスタ 1:0x4005001C)は 16 分周までの設定が可能です。TIMERC クロックソースをサブクロックに設定し、0101 または 0110 を設定した場合は 1 分周で動作します。 |

| | |
|---|---|
| TMRB_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周<br>0101:32 分周<br>0110:64 分周<br>※TIMERB クロックソースをサブクロックに設定している場合(CLKGEN 設定レジスタ 1:0x4005001C)は 16 分周までの設定が可能です。TIMERB クロックソースをサブクロックに設定し、0101 または 0110 を設定した場合は 1 分周で動作します。 |
| TMRA_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周<br>0101:32 分周<br>0110:64 分周<br>※TIMERA クロックソースをサブクロックに設定している場合(CLKGEN 設定レジスタ 1:0x4005001C)は 16 分周までの設定が可能です。TIMERA クロックソースをサブクロックに設定し、0101 または 0110 を設定した場合は 1 分周で動作します。 |

7.29.3.11 CLKGEN 設定レジスタ 5: 0x4005002C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | LVD_DIV | | | | Reserved | | | ADC_DIV | Reserved | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | R | R | R | RW | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| LVD_DIV | 分周設定<br>0000:1 分周<br>0001:2 分周<br>0010:4 分周<br>0011:8 分周<br>0100:16 分周 |
| ADC_DIV | 分周設定<br>0：16 分周 (default)<br>1：1 分周 |

7.29.3.12 CLKGEN 設定レジスタ 6: 0x40050030

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | FCNTCLK_DIV | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW |

| | |
|---|---|
| FCNTCLK_DIV | Flash 制御タイミング生成用クロック(FCNTCLK)分周設定<br>FCNTCLK=メインクロック/FCNTCLK_DIV<br>0 を設定した場合は 1 分周(分周なし)となります。<br>FCNTCLK が 1.867MHz 以上 2.398MHz 以下となるように本レジスタを調整してください。<br>例: メインクロッ=40MHz<br>FCNTCLK_DIV=10100(20 分周)<br>のとき<br>FCNTCLK = 40MHz/20 = 2MHz |

| FCNTCLK_DIV | 分周値(DEC) |
|---|---|
| 00000 | 1 |
| 00001 | 1 |
| 00010 | 2 |
| 00011 | 3 |
| 00100 | 4 |
| 00101 | 5 |
| 00110 | 6 |
| 00111 | 7 |
| 01000 | 8 |
| 01001 | 9 |
| 01010 | 10 |
| 01011 | 11 |
| 01100 | 12 |
| 01101 | 13 |
| 01110 | 14 |
| 01111 | 15 |
| 10000 | 16 |
| 10001 | 17 |
| 10010 | 18 |
| 10011 | 19 |
| 10100 | 20 |
| 10101 | 21 |
| 10110 | 22 |
| 10111 | 23 |
| 11000 | 24 |
| 11001 | 25 |
| 11010 | 26 |
| 11011 | 27 |
| 11100 | 28 |
| 11101 | 29 |
| 11110 | 30 |
| 11111 | 31 |

7.29.3.13 CLKGEN 設定レジスタ 7: 0x40050034

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | STCLK_DIV | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW |

| | |
|---|---|
| STCLK_DIV | SysTick タイマクロック分周設定<br>SysTick タイマクロック=メインクロック/STCLK_DIV/2<br>0 を設定した場合は 2 分周となります。<br>SysTick タイマクロックが 1MHz となるように本レジスタを調整してください。 |

| STCLK_DIV | 分周値(DEC) |
|---|---|
| 00000 | 2 |
| 00001 | 2 |
| 00010 | 4 |
| 00011 | 6 |
| 00100 | 8 |
| 00101 | 10 |
| 00110 | 12 |
| 00111 | 14 |
| 01000 | 16 |
| 01001 | 18 |
| 01010 | 20 |
| 01011 | 22 |
| 01100 | 24 |
| 01101 | 26 |
| 01110 | 28 |
| 01111 | 30 |
| 10000 | 32 |
| 10001 | 34 |
| 10010 | 36 |
| 10011 | 38 |
| 10100 | 40 |
| 10101 | 42 |
| 10110 | 44 |
| 10111 | 46 |
| 11000 | 48 |
| 11001 | 50 |
| 11010 | 52 |
| 11011 | 54 |
| 11100 | 56 |
| 11101 | 58 |
| 11110 | 60 |
| 11111 | 62 |

7.29.3.14 CLKGEN 設定レジスタ 8: 0x40050038

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CR40M_ON | CR32K_ON | XTAL32K_ON |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW |

| | |
|---|---|
| CR40M_ON | 高速 CR 動作イネーブル<br>0:ディセーブル<br>1:イネーブル |
| CR32K_ON | 低速 CR 動作イネーブル<br>0:ディセーブル<br>1:イネーブル |
| XTAL32K_ON | XTAL32KHz 動作イネーブル<br>0:ディセーブル<br>1:イネーブル |

7.29.3.15 CLKGEN 設定レジスタ 9: 0x4005003C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | PLL_WTCR | | | XTAL32K_WTCR | | CR32K_WTCR | | CR40M_WTCR | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| PLL_WTCR | PLL 安定化待ち時間調整<br>111:pll のリファレンスクロックで 18000 サイクル<br>110:pll のリファレンスクロックで 9000 サイクル<br>101:pll のリファレンスクロックで 4500 サイクル<br>100:pll のリファレンスクロックで 2250 サイクル<br>011:pll のリファレンスクロックで 100 サイクル<br>010:pll のリファレンスクロックで 50 サイクル<br>001:pll のリファレンスクロックで 25 サイクル(default)<br>000:pll のリファレンスクロックで 20 サイクル<br><br>PLL 安定化待ち時間 = PLL リファレンスクロック周期 x PLL_WTCR 設定サイクル数 |
| XTAL32K_WTCR | XTAL32KHz クロック安定化待ち時間調整<br>11:100ms<br>10:31.25ms<br>01:3.125ms(default)<br>00:312.5us |
| CR32K_WTCR | 低速 CR クロック安定化待ち時間調整<br>11:低速 CR クロックで 30 サイクル<br>10:低速 CR クロックで 20 サイクル<br>01:低速 CR クロックで 10 サイクル(default)<br>00:低速 CR クロックで 5 サイクル<br>低速 CR クロック安定化待ち時間 = 低速 CR クロック周期 x CR32K_WTCR 設定サイクル数 |

| | |
|---|---|
| CR40M_WTCR | 高速 CR クロック安定化待ち時間調整<br>11:高速 CR クロックで 4000 サイクル<br>10:高速 CR クロックで 1200 サイクル(default)<br>01:高速 CR クロックで 50 サイクル<br>00:高速 CR クロックで 5 サイクル<br>高速 CR クロック安定化待ち時間 = 高速 CR クロック周期 x CR40M_WTCR 設定サイクル数 |

※安定化待ち時間には各発振回路がクロック出力を開始するまでの時間は含みません。

7.29.3.16　　ディープスリープ制御レジスタ: 0x40050040

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | RF_PSO | LOGIC_PSO | FLASH_PSO | SRAM2_PSO | SRAM1_PSO | Reserved | | | | | | | SUBCLK_STP |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | R | R | R | R | R | R | R | RW |

| | |
|---|---|
| SUBCLK_STP | 32KHz 発振回路停止(SLEEP)イネーブル(DEEPSLEEP 時に XTAL32KHz を OFF に設定)<br>0:ディセーブル(=32KHz 発振回路 ON)<br>1:イネーブル(=32KHz 発振回路 OFF) |
| SRAM1_PS0 | SRAM1 電源 OFF(SLEEP)イネーブル(DEEPSLEEP 時に SRAM1 電源を OFF に設定)<br>0:ディセーブル(=SRAM1 電源 ON)<br>1:イネーブル(=SRAM1 電源 OFF) |
| SRAM2_PS0 | SRAM2 電源 OFF(SLEEP)イネーブル(DEEPSLEEP 時に SRAM2 電源を OFF に設定)<br>0:ディセーブル(=SRAM2 電源 ON)<br>1:イネーブル(=SRAM2 電源 OFF) |
| FLASH_PS0 | FLASH 電源 OFF(SLEEP)イネーブル(DEEPSLEEP 時に FLASH 電源を OFF に設定)<br>0:ディセーブル(=FLASH 電源 ON)<br>1:イネーブル(=FLASH 電源 OFF)<br>※本ビットを 1 に設定する場合は、必ず LOGIC_PS0 ビットも同時に 1 に設定願います。<br>【ご注意】"2 バンクモード"時は本ビットは常に"0"設定でご使用願います。もしも、"2 バンクモード"時に本ビットを"1"設定にして DEEPSLEEP 命令を実行しますと、DEEPSLEEP 状態から CPU が復帰できなくなります。 |

| | |
|---|---|
| LOGIC_PS0 | LOGIC 電源 OFF(SLEEP)イネーブル(DEEPSLEEP 時に一部 LOGIC 電源を OFF に設定)<br>0:ディセーブル(=一部 LOGIC 電源 ON)<br>1:イネーブル(=一部 LOGIC 電源 OFF)<br>※FLASH_PS0 ビットを 1 に設定する場合は、必ず本ビットも同時に 1 に設定願います。<br>【ご注意】〝2 バンクモード〞時は本ビットは常に〞0〞設定でご使用願います。もしも、〞2 バンクモード〞時に本ビットを〞1〞設定にして DEEPSLEEP 命令を実行しますと、DEEPSLEEP 状態から CPU が復帰できなくなります。 |
| RF_PS0 | RF 電源 OFF(SLEEP)イネーブル(DEEPSLEEP 時に RF 電源を OFF に設定)<br>0:ディセーブル(=RF 電源 ON)<br>1:イネーブル(=RF 電源 OFF) |

| 章番号 | ブロック名 | 対応するディープスリープ制御レジスタビット(0x40050040) |
|---|---|---|
| 6-1 | CPU(Cortex®-M0+) | LOGIC_PSO |
| 6-13 | システム制御 | **常時 ON** |
| 7-7 | UART | LOGIC_PSO |
| 7-8 | SPI | LOGIC_PSO |
| 7-9 | SSIS | LOGIC_PSO |
| 7-10 | WDT | **常時 ON** |
| 7-11 | ポートコンフィグレーション | **常時 ON** |
| 7-12 | GPIO | **常時 ON** |
| 7-13 | 標準 GPIO | LOGIC_PSO |
| 7-14 | TimerA,B,C | **常時 ON** |
| 7-14 | TimerD,E | LOGIC_PSO |
| 7-15 | EXT_Timer | LOGIC_PSO |
| 7-16 | RTC | **常時 ON** |
| 7-17 | フレキシブルタイマ | LOGIC_PSO |
| 7-18 | I2C | LOGIC_PSO |
| 7-19 | フラッシュ ROM コントローラ | LOGIC_PSO |
| 7-20 | DIO | LOGIC_PSO |
| 7-21 | RAND_GEN | LOGIC_PSO |
| 7-22 | CLK_Timer | LOGIC_PSO |
| 7-23 | ADC | LOGIC_PSO |
| 7-24 | 温度計 | LOGIC_PSO |
| 7-25 | 低電圧検出 | **常時 ON** |
| 7-26 | DMAC | LOGIC_PSO |
| 7-27 | Flash DMA | LOGIC_PSO |
| 7-28 | AES | LOGIC_PSO |
| 7-29 | MODE_CNT | **常時 ON** |
| - | SRAM1(32KB) | SRAM1_PSO |
| - | SRAM2(32KB) | SRAM2_PSO |
| - | FLASH(512KB) | FLASH_PSO |

### 7.29.3.17 FLASH-ROM ディープスタンバイ制御レジスタ: 0x40050044

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | FLASH11_DPSTB | FLASH10_DPSTB | FLASH01_DPSTB | FLASH00_DPSTB |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

| | |
|---|---|
| FLASH00_DPSTB | FLASH00 ディープスタンバイ設定<br>1: ディープスタンバイ<br>0: 動作可能 |
| FLASH01_DPSTB | FLASH01 ディープスタンバイ設定<br>1: ディープスタンバイ<br>0: 動作可能 |
| FLASH10_DPSTB | FLASH10 ディープスタンバイ設定<br>1: ディープスタンバイ<br>0: 動作可能 |
| FLASH11_DPSTB | FLASH11 ディープスタンバイ設定<br>1: ディープスタンバイ<br>0: 動作可能 |

ディープスタンバイからの復帰時、FLASHn_DPSTBを"1"から"0"に設定してからFLASHの復帰時間(10us)経過後に当該ビットの

リード値が"0"に切り替わります。本レジスタによりディープスタンバイしていたFLASHへのアクセスは対象ビットのリード値が"0"に切り替わったことを確認してから行って下さい。

LSIの動作モード(Active/SLEEP/DEEPSLEEP)とは独立して、FLASH-ROMの動作モードを制御します。
一部のFLASH-ROM領域しか使用しない場合に、未使用の領域をディープスタンバイ状態にすることで消費電流を低減させることが可能です。下表に動作モード、レジスタ設定毎のFLASHnの動作モードを示します。

| 動作モード | レジスタ設定 | FLASHnの動作モード | FLASHnの消費電流(Typ.参考値) |
|---|---|---|---|
| Active | FLASHn_DPSTB=0<br>(0x40050044) | コード実行領域：Active<br>その他領域：スタンバイ | 1.5mA@40MHz<br>200uA |
| | FLASHn_DPSTB=1<br>(0x40050044) | ディープスタンバイ | 3uA |
| Sleep | FLASHn_DPSTB=0<br>(0x40050044) | スタンバイ | 200uA |
| | FLASHn_DPSTB=1<br>(0x40050044) | ディープスタンバイ | 3uA |
| DeepSleep | FLASH_PSO=0<br>(0x40050040) | ディープスタンバイ | 3uA |
| | FLASH_PSO=1<br>(0x40050040) | 電源遮断 | 0uA |

※n=00,01,10,11

### 7.29.3.18 FLASH WakeUp 時間設定レジスタ: 0x40050048

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | FLC_STARTW | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW |

| | |
|---|---|
| FLC_STARTW | FLASH WakeUp 時間設定<br>wakeup 時間 = 設定値 x800ns (default 11.2us) |

7.29.3.19 MODE_CNT 割込みマスクレジスタ: 0x40050050

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | PLL_DONE_MSK | XTAL32K_DONE_MSK | CR32K_DONE_MSK | CR40M_DONE_MSK |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW |

| | |
|---|---|
| PLL_DONE_MSK | PLL 安定化完了割込みをマスクします。<br>1: マスク<br>0: マスクなし |
| XTAL32K_DONE_MSK | XTAL32KHz クロック安定化完了割込みをマスクします。<br>1: マスク<br>0: マスクなし |
| CR32K_DONE_MSK | 低速 CR クロック安定化完了割込みをマスクします。<br>1: マスク<br>0: マスクなし |

| | |
|---|---|
| CR40M_DONE_MSK | 高速 CR クロック安定化完了割込みをマスクします。<br>1：マスク<br>0：マスクなし |

7.29.3.21 MODE_CNT 割込みステータスレジスタ: 0x40050054

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | PLL_DONE | XTAL32K_DONE | CR32K_DONE | CR40M_DONE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| PLL _DONE | マスク後の PLL 安定化完了フラグ<br>0:起動中または停止<br>1:安定動作 |
| XTAL32K _DONE | マスク後の XTAL32KHz 安定化完了フラグ<br>0:起動中または停止<br>1:安定動作 |
| CR32K _DONE | マスク後の低速 CR 安定化完了フラグ<br>0:起動中または停止<br>1:安定動作 |
| CR40M _DONE | マスク後の高速 CR 安定化完了フラグ<br>0:起動中または停止<br>1:安定動作 |

7.29.3.22 MODE_CNT RAW 割込みステータスレジスタ: 0x40050058

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | PLL_DONE_RAW | XTAL32K_DONE_RAW | CR32K_DONE_RAW | CR40M_DONE_RAW |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| PLL _DONE_RAW | マスク前の PLL 安定化完了フラグ<br>0:起動中または停止<br>1:安定動作 |
| XTAL32K _DONE_RAW | マスク前の XTAL32KHz 安定化完了フラグ<br>0:起動中または停止<br>1:安定動作 |
| CR32K _DONE_RAW | マスク前の低速 CR 安定化完了フラグ<br>0:起動中または停止<br>1:安定動作 |

| | |
|---|---|
| CR40M _DONE_RAW | マスク前の高速 CR 安定化完了フラグ<br>0:起動中または停止<br>1:安定動作 |

7.29.3.23　　高速 CR 安定化完了割込みクリアレジスタ: 0x4005005C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CR40M_DONE_CLR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| CR40M_DONE_CLR | 高速 CR 安定化完了割込みをクリアします。<br>※本レジスタをリードすると、割込みをクリアします。<br>リード時は常に 0 が読み出されます。 |

7.29.3.24　　低速 CR 安定化完了割込みクリアレジスタ: 0x40050060

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | CR32K_DONE_CLR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| CR32K_DONE_CLR | 低速 CR 安定化完了割込みをクリアします。<br>※本レジスタをリードすると、割込みをクリアします。<br>リード時は常に 0 が読み出されます。 |

7.29.3.25 XTAL32K 安定化完了割込みクリアレジスタ: 0x40050064

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | XTAL32K_DONE_CLR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| XTAL32K_DONE_CLR | XTAL32K 安定化完了割込みをクリアします。<br>※本レジスタをリードすると、割込みをクリアします。<br>リード時は常に 0 が読み出されます。 |

7.29.3.26　　PLL 起動完了割込みクリアレジスタ: 0x40050068

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | PLL_DONE_CLR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| PLL_DONE_CLR | PLL 安定化完了割込みをクリアします。<br>※本レジスタをリードすると、割込みをクリアします。<br>　リード時は常に 0 が読み出されます。 |

### 7.29.3.27 MODE_CNT 割込みクリアレジスタ: 0x4005006C

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | MODE_CNT_CLR |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| MODE_CNT_CLR | MODE_CNT の割込みを一括クリアします。<br>※本レジスタをリードすると、割込みをクリアします。<br>リード時は常に 0 が読み出されます。 |

7.29.3.28 **クロックステータス**レジスタ: 0x40050070

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | PLL_DONE_FLG | XTAL32K_DONE_FLG | CR32K_DONE_FLG | CR40M_DONE_FLG |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1* | 1* | 1* |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

(*)ハードの初期値は 0 となります。

| | |
|---|---|
| PLL_DONE_FLG | PLL 安定化完了フラグ<br>0:起動中または停止<br>1:安定動作 |
| XTAL32K_DONE_FLG | XTAL32KHz 安定化完了フラグ<br>0:起動中または停止<br>1:安定動作 |
| CR32K_DONE_FLG | 低速 CR 安定化完了フラグ<br>0:起動中または停止<br>1:安定動作 |

| | |
|---|---|
| CR40M_DONE_FLG | 高速 CR 安定化完了フラグ<br>0:起動中または停止<br>1:安定動作 |

7.29.3.29 DMON モニタレジスタ: 0x40050074

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | DMON_CPU |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| | |
|---|---|
| DMON_CPU | DMON_CPU 端子モニタ |

7.29.3.30 レギュレータ設定レジスタ 0: 0x40050078

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | CLK_INIT_DONE_OVR | REG_SEL_OVR | Reserved | | REG_EN_OVR | Reserved | | | CLK_INIT_DONE | REG_SEL | Reserved | | REG_EN | Reserved |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | R | R | RW | RW | RW | RW | RW | RW | R | R | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| CLK_INIT_DONE_OVR | CLK_INIT_DONE を有効(オーバーライト)にします。<br>0:disable<br>1:enable |
| REG_SEL_OVR | REG_SEL を有効(オーバーライト)にします。<br>0:disable<br>1:enable |
| REG_EN_OVR | REG_EN を有効(オーバーライト)にします。<br>0:disable<br>1:enable |

| | |
|---|---|
| CLK_INIT_DONE | レギュレータ出力 Tr 選択（CLK_INIT_DONE_OVR が enable の時に有効） |
| REG_SEL | SUBREG と REG_OUT を選択/バイアスブロックイネーブル（REG_SEL_OVR が enable の時に有効）<br>0：メインレギュレータ ON/バイアス ON<br>1：サブレギュレータ ON/バイアス OFF |
| REG_EN | レギュレータ出力を有効にします（REG_EN_OVR が enable の時に有効）。<br>0：disable<br>1：enable |

＜ご注意＞

Reserved ビットは初期値でご使用ください。

7.29.3.34 TMP 設定レジスタ 0: 0x40050088

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | Reserved | | | | | | | TEMP_EN_OVR | Reserved | | | | | | | TEMP_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | R | R | R | R | R | R | R | RW | R | R | R | R | R | R | R | RW |

| | |
|---|---|
| TEMP_EN_OVR | TEMP_EN を有効（オーバーライト）にします。<br>0 : disable<br>1 : enable |
| TEMP_EN | 温度計イネーブル<br>0 : disable<br>1 : enable |

7.29.3.37 TEST 設定レジスタ 2: 0x40050094

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | MON_CLK_SEL | | MON_CLK_DIV | | MON_CLK_EN |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW |

| | |
|---|---|
| MON_CLK_SEL | GPIOA1 から出力するモニタ用のクロックを選択します。<br>00:XTAL32K<br>01:低速 CR<br>10:高速 CR<br>11:PLL |
| MON_CLK_DIV | GPIOA1 から出力するモニタ用のクロックを分周します。<br>00:8 分周<br>01:4 分周<br>10:2 分周<br>11:分周なし(スルー) |

| | |
|---|---|
| MON_CLK_EN | GPIOA1 から出力するモニタ用のクロックのイネーブルです。<br>0：ディセーブル<br>1：イネーブル |

7.29.3.45 PLL 設定レジスタ 2: 0x400500C8

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | | | | | | | PLL_DIV | | Reserved | |
| 初期値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| PLL_DIV | PLL の出力分周設定<br>00:1 分周<br>01:2 分周<br>10:4 分周<br>11:8 分周 |

7.29.3.52　　IO 設定レジスタ 0～25: 0x40050130～0x40050194

| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Reserved | | | | | | | | | | | | | | | | | | | | | | set_io_en | set_io[8](IE) | Reserved | set_io[6](OE) | Reserved | | set_io[3](PU) | set_io[2](PD) | Reserved | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | * | * | * | * | * | * | * | * | * | * |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

| | |
|---|---|
| set_io_en | set_io[8],set_io[6]のイネーブル(※IO 設定レジスタ 2[TEST_CPU 端子]は本機能は無効です)<br>詳細は”各端子制御信号の生成論理”を参照願います。 |
| set_io[8](IE) | Input buffer enable<br>0：disable<br>1：enable |
| set_io[6](OE) | Output buffer enable<br>0：disable<br>1：enable |
| set_io[3](PU) | Weak pull-up resistor enable<br>0：disable<br>1：enable |

| | |
|---|---|
| set_io[2](PD) | Weak pull-down resistor enable<br>0：disable<br>1：enable |

※本レジスタの Reserved ビットは初期値のままご使用願います。

本レジスタで制御対象となる IO 端子と初期値は以下となります。

| レジスタ名 | 対象 IO 端子 | アドレス | 初期値 |
|---|---|---|---|
| IO 設定レジスタ 0 | SWCK | 0x40050130 | 0x00000101 |
| IO 設定レジスタ 1 | SWD | 0x40050134 | 0x00000181 |
| IO 設定レジスタ 2 | TEST_CPU | 0x40050138 | 0x00000081 |
| IO 設定レジスタ 3 | MODE0 | 0x4005013C | 0x00000081 |
| IO 設定レジスタ 4 | MODE1 | 0x40050140 | 0x00000081 |
| IO 設定レジスタ 5 | SINTN_CPU(LSI 内部端子) | 0x40050144 | 0x00000181 |
| IO 設定レジスタ 6 | DMON_CPU(LSI 内部端子) | 0x40050148 | 0x00000181 |
| IO 設定レジスタ 7 | DCLK_CPU(LSI 内部端子) | 0x4005014C | 0x00000181 |
| IO 設定レジスタ 8 | DIO_CPU(LSI 内部端子) | 0x40050150 | 0x00000181 |
| IO 設定レジスタ 9 | SDI_CPU(LSI 内部端子) | 0x40050154 | 0x000000C0 |
| IO 設定レジスタ 10 | SDO_CPU(LSI 内部端子) | 0x40050158 | 0x00000185 |
| IO 設定レジスタ 11 | SCEN_CPU(LSI 内部端子) | 0x4005015C | 0x000000C0 |
| IO 設定レジスタ 12 | SCLK_CPU(LSI 内部端子) | 0x40050160 | 0x000000C0 |
| IO 設定レジスタ 13 | GPIOA0 | 0x40050164 | 0x00000281 |
| IO 設定レジスタ 14 | GPIOA1 | 0x40050168 | 0x00000281 |
| IO 設定レジスタ 15 | GPIOA2 | 0x4005016C | 0x00000281 |
| IO 設定レジスタ 16 | GPIOA3 | 0x40050170 | 0x00000281 |
| IO 設定レジスタ 17 | GPIOA4 | 0x40050174 | 0x00000281 |
| IO 設定レジスタ 18 | GPIOA5 | 0x40050178 | 0x00000281 |
| IO 設定レジスタ 19 | GPIOA6 | 0x4005017C | 0x00000281 |
| IO 設定レジスタ 20 | GPIOA7 | 0x40050180 | 0x00000281 |
| IO 設定レジスタ 21 | GPIOA8 | 0x40050184 | 0x00000281 |
| IO 設定レジスタ 22 | GPIOA9 | 0x40050188 | 0x00000281 |
| IO 設定レジスタ 23 | GPIOA10 | 0x4005018C | 0x00000281 |
| IO 設定レジスタ 24 | GPIOA11 | 0x40050190 | 0x00000281 |
| IO 設定レジスタ 25 | GPIOA12 | 0x40050194 | 0x00000281 |

本レジスタで制御対象となる IO 端子の制御信号生成論理は以下となります。

端子名：GPIOAn (n=0-12)

| | set_io_en=1 | その他 |
|---|---|---|
| IE | set_io[8] | 7.11.5汎用ポート設定に従う |
| OE | set_io[6] | 7.11.5汎用ポート設定に従う |
| PU | set_io[3] | set_io[3] |
| PD | set_io[2] | set_io[2] |

端子名：SWCK/SWD/TEST_CPU/MODE0/MODE1

| | set_io_en=1 | その他 |
|---|---|---|
| IE | set_io[8] | 7.11.5汎用ポート設定に従う |
| OE | set_io[6] | 7.11.5汎用ポート設定に従う |
| PU | set_io[3] | set_io[3] |
| PD | set_io[2] | set_io[2] |

端子名：SINTN_CPU

| | set_io_en=1 | set_io_en=0 | |
|---|---|---|---|
| | | DeepSleep中かつ RF_PSO=1 | 左記以外 |
| IE | set_io[8] | set_io[8] | set_io[8] |
| OE | set_io[6] | set_io[6] | set_io[6] |
| PU | set_io[3] | 1 | set_io[3] |
| PD | set_io[2] | 0 | set_io[2] |

端子名：DMON_CPU

| | set_io_en=1 | set_io_en=0 | |
|---|---|---|---|
| | | DeepSleep中かつ RF_PSO=1 | 左記以外 |
| IE | set_io[8] | set_io[8] | set_io[8] |
| OE | set_io[6] | set_io[6] | set_io[6] |
| PU | set_io[3] | 0 | set_io[3] |
| PD | set_io[2] | 1 | set_io[2] |

端子名：DIO_CPU

| | set_io_en=1 | set_io_en=0 | | |
|---|---|---|---|---|
| | | DeepSleep中かつ RF_PSO=1 | 左記以外 | |
| | | | DIOブロックからの PU要求 ※1 | 左記以外 |
| IE | set_io[8] | set_io[8] | 1/0(DIO) | 1/0(DIO) |
| OE | set_io[6] | set_io[6] | 1/0(DIO) | 1/0(DIO) |
| PU | set_io[3] | 0 | 1 | set_io[3] |
| PD | set_io[2] | 1 | 0 | set_io[2] |

※1：DIOブロックからのPU/PD制御信号です。
DOUT_MODレジスタで00:OD出力モードまたは10:OD/CMOS出力モードを選択した場合に、H出力する際にPUを有効(PDを無効)にします。

端子名：DCLK_CPU

| | set_io_en=1 | set_io_en=0 | |
|---|---|---|---|
| | | DeepSleep中かつ RF_PSO=1 | 左記以外 |
| IE | set_io[8] | set_io[8] | set_io[8] |
| OE | set_io[6] | set_io[6] | set_io[6] |
| PU | set_io[3] | 0 | set_io[3] |
| PD | set_io[2] | 1 | set_io[2] |

端子名：SCLK_CPU

| | set_io_en=1 | set_io_en=0 |
|---|---|---|
| IE | set_io[8] | 1/0(SPI2_SCK) |
| OE | set_io[6] | 1/0(SPI2_SCK) |
| PU | set_io[3] | set_io[3] |
| PD | set_io[2] | set_io[2] |

端子名：SCEN_CPU

| | set_io_en=1 | set_io_en=0 |
|---|---|---|
| IE | set_io[8] | 1/0(SPI2_SSN) |
| OE | set_io[6] | 1/0(SPI2_SSN) |
| PU | set_io[3] | set_io[3] |
| PD | set_io[2] | set_io[2] |

端子名：SDI_CPU

| | set_io_en=1 | set_io_en=0 |
|---|---|---|
| IE | set_io[8] | 1/0(SPI2_MOSI) |
| OE | set_io[6] | 1/0(SPI2_MOSI) |
| PU | set_io[3] | set_io[3] |
| PD | set_io[2] | set_io[2] |

端子名：SDO_CPU

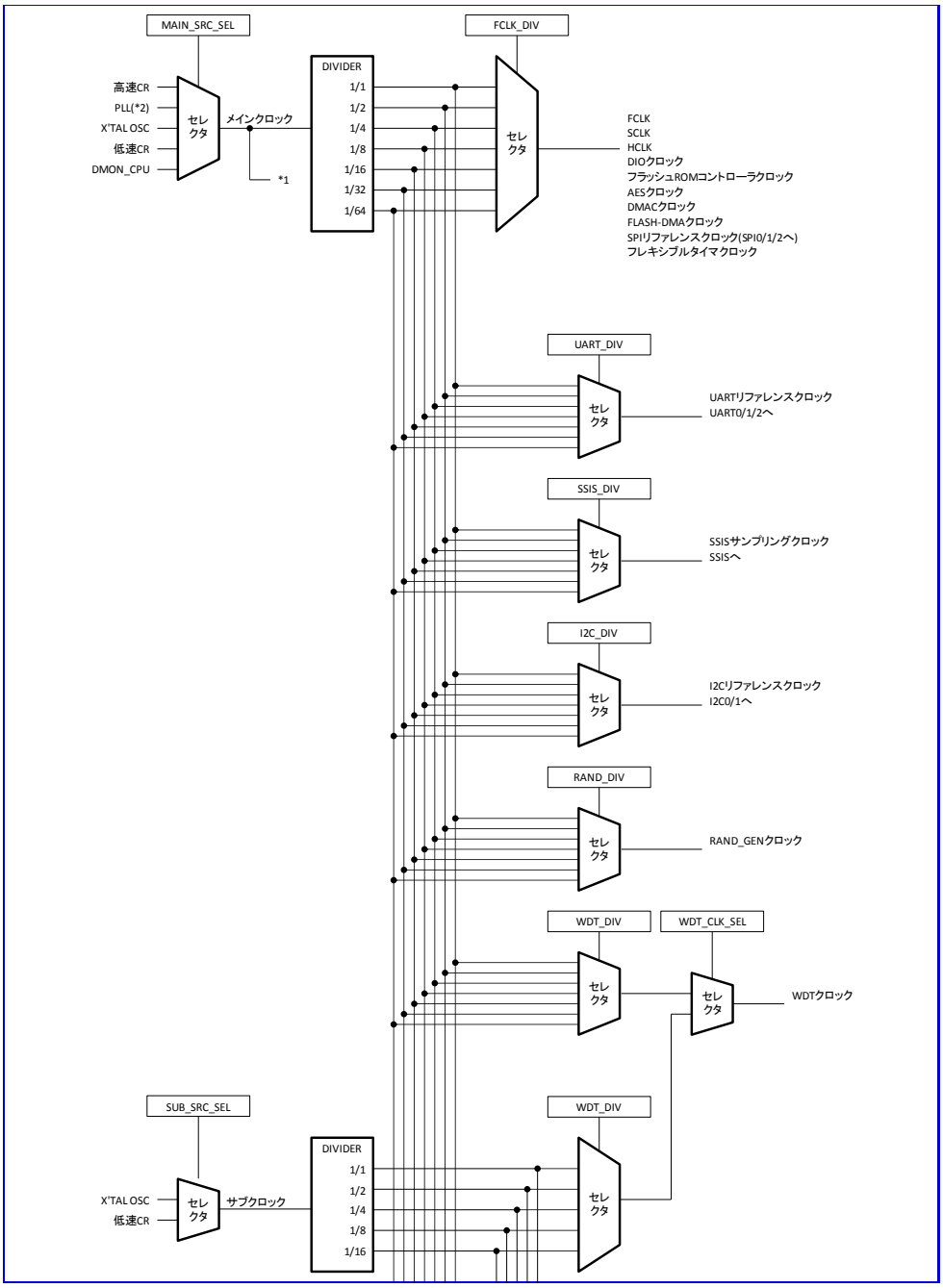
| | set_io_en=1 | set_io_en=0 | |
|---|---|---|---|
| | | DeepSleep中かつ RF_PSO=1 | 左記以外 |
| IE | set_io[8] | set_io[8] | 1/0(SPI2_MISO) |
| OE | set_io[6] | set_io[6] | 1/0(SPI2_MISO) |
| PU | set_io[3] | 0 | set_io[3] |
| PD | set_io[2] | 1 | set_io[2] |

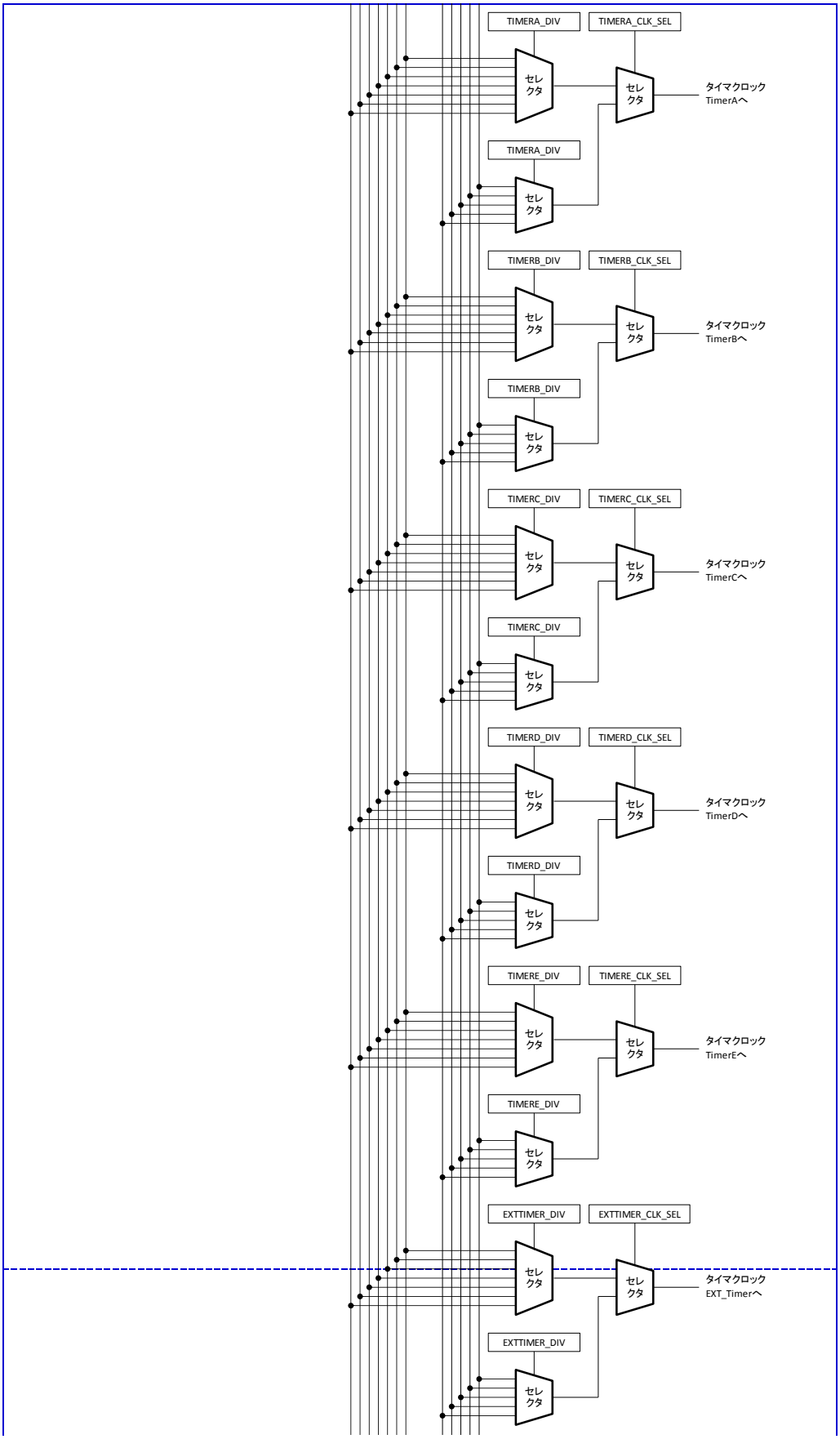
## 7.29.4 クロック制御

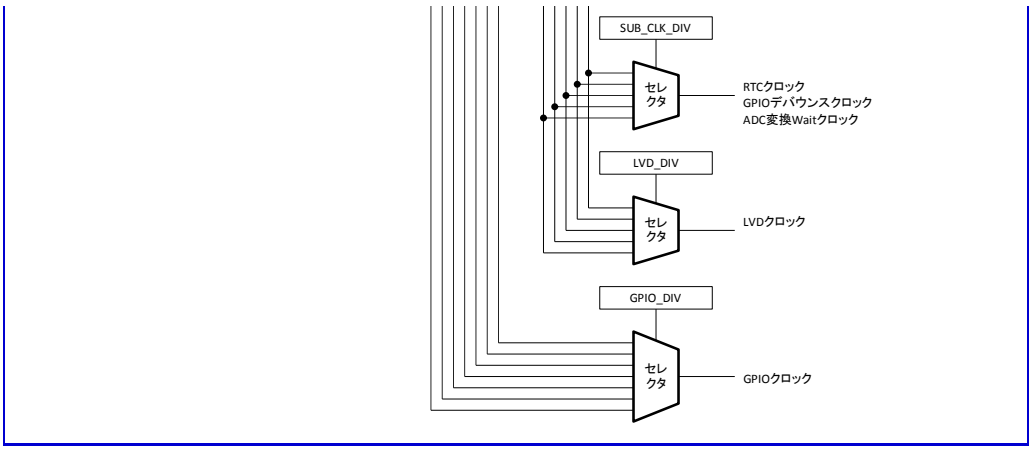
### 7.29.4.1 クロック系統図

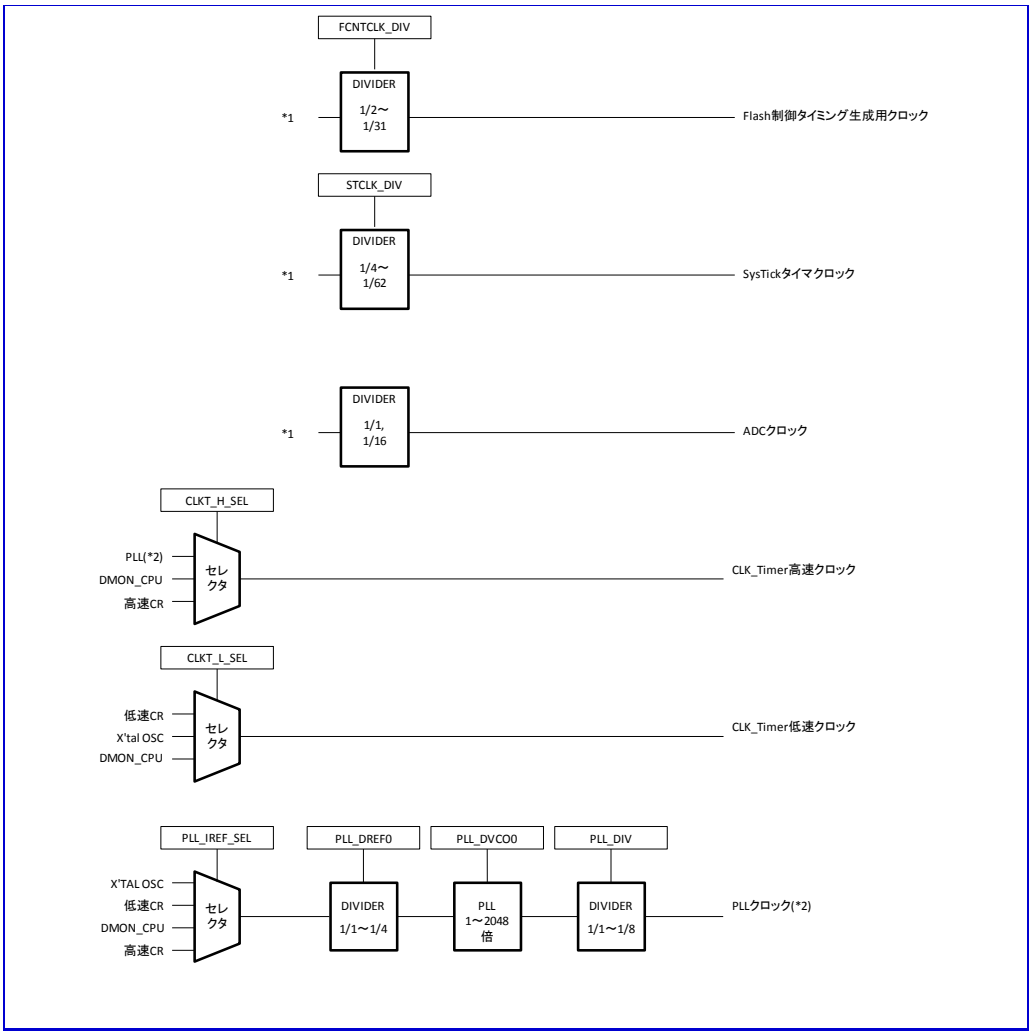
下記にクロック系統図を示します。図中"□"内はレジスタ名を示します。

【ご注意】SPI は 1～2048 分周まで、FTM は 1～512 分周までそれぞれ設定可能です。




TIMERA_DIV
TIMERA_CLK_SEL
セレクタ
セレクタ
タイマクロック
TimerAへ
TIMERA_DIV
セレクタ
TIMERB_DIV
TIMERB_CLK_SEL
セレクタ
セレクタ
タイマクロック
TimerBへ
TIMERB_DIV
セレクタ
TIMERC_DIV
TIMERC_CLK_SEL
セレクタ
セレクタ
タイマクロック
TimerCへ
TIMERC_DIV
セレクタ
TIMERD_DIV
TIMERD_CLK_SEL
セレクタ
セレクタ
タイマクロック
TimerDへ
TIMERD_DIV
セレクタ
TIMERE_DIV
TIMERE_CLK_SEL
セレクタ
セレクタ
タイマクロック
TimerEへ
TIMERE_DIV
セレクタ
EXTTIMER_DIV
EXTTIMER_CLK_SEL
セレクタ
セレクタ
タイマクロック
EXT_Timerへ
EXTTIMER_DIV
セレクタ

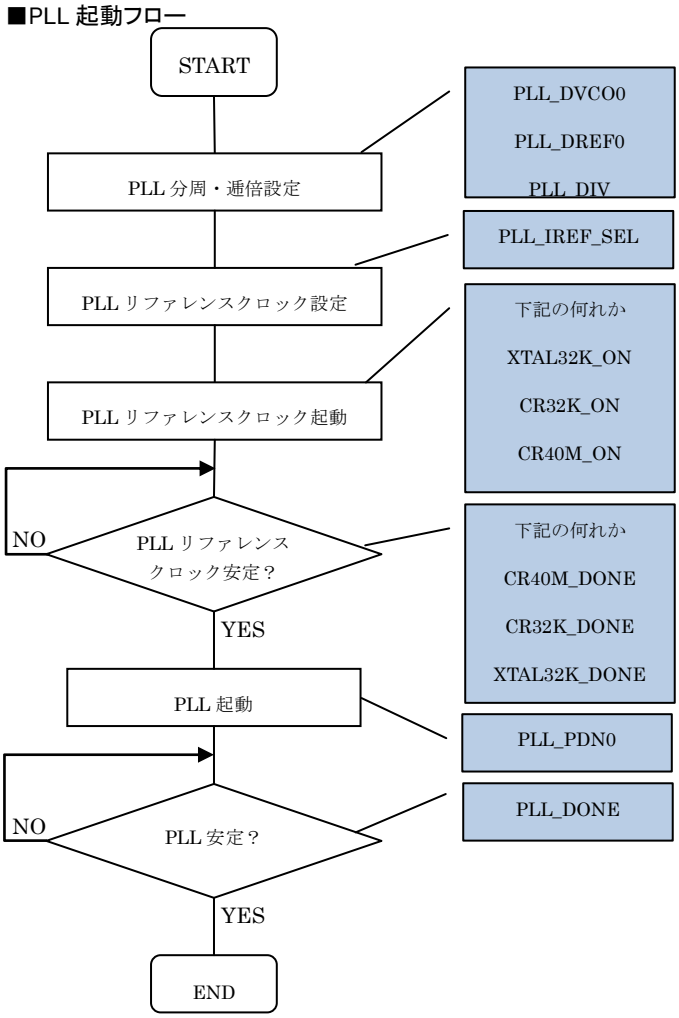

SUB_CLK_DIV
セレクタ
RTCクロック
GPIOデバウンスクロック
ADC変換Waitクロック
LVD_DIV
セレクタ
LVDクロック
GPIO_DIV
セレクタ
GPIOクロック


FCNTCLK_DIV
*1
DIVIDER
1/2～
1/31
Flash制御タイミング生成用クロック
STCLK_DIV
*1
DIVIDER
1/4～
1/62
SysTickタイマクロック
*1
DIVIDER
1/1,
1/16
ADCクロック
CLKT_H_SEL
PLL(*2)
DMON_CPU
高速CR
セレクタ
CLK_Timer高速クロック
CLKT_L_SEL
低速CR
X'tal OSC
DMON_CPU
セレクタ
CLK_Timer低速クロック
PLL_IREF_SEL
PLL_DREF0
PLL_DVCO0
PLL_DIV
X'TAL OSC
低速CR
DMON_CPU
高速CR
セレクタ
DIVIDER
1/1～1/4
PLL
1～2048
倍
DIVIDER
1/1～1/8
PLLクロック(*2)

### 7.29.4.2 PLL 制御

PLL の制御フローを下記に記載します。

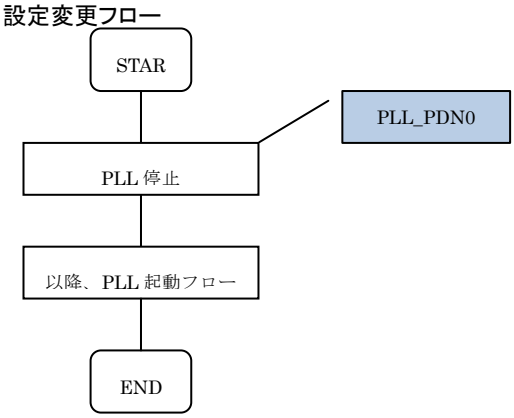
■PLL 起動フロー




PLL の分周・逓倍値またはリファレンスクロック周波数を変更する場合、PLL 停止後に実施して下さい。

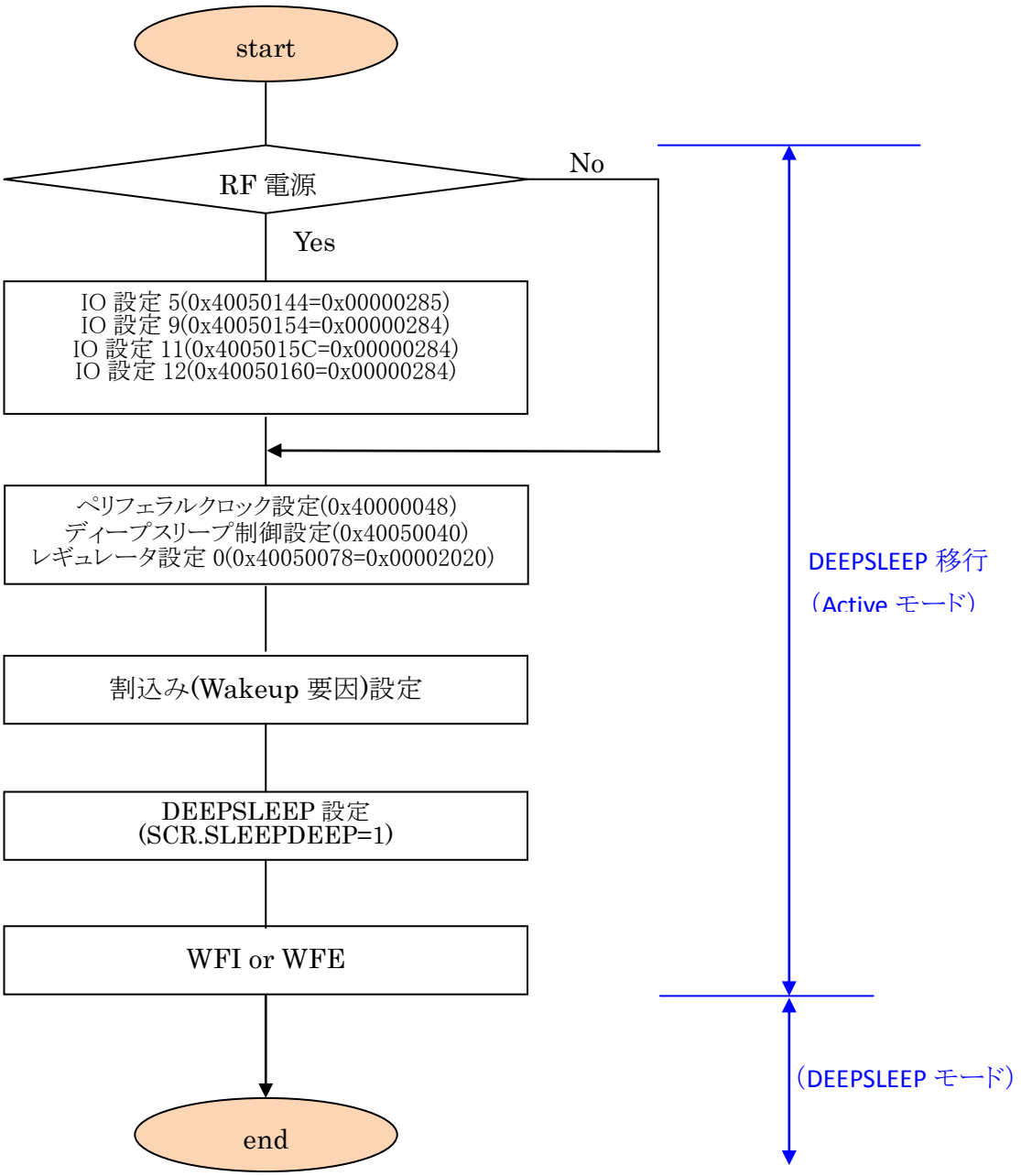
PLL の逓倍、分周値を変更する場合のフローを以下に示します。

■PLL 設定変更フロー



### 7.29.4.3 DeepSleep/Sleep 制御

■DEEPSLEEP モードへの移行手順

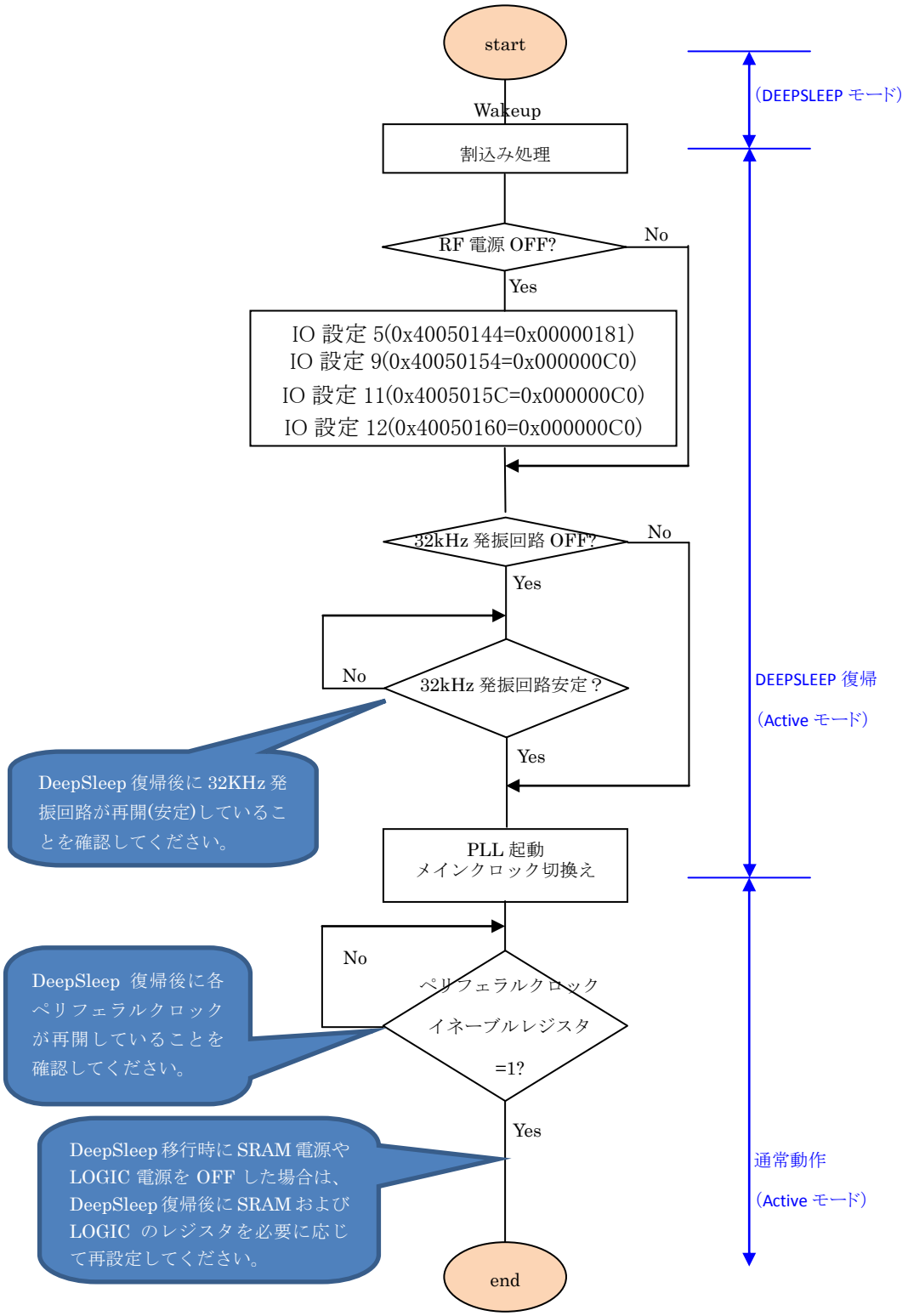


■DEEPSLEEP モードからの復帰手順

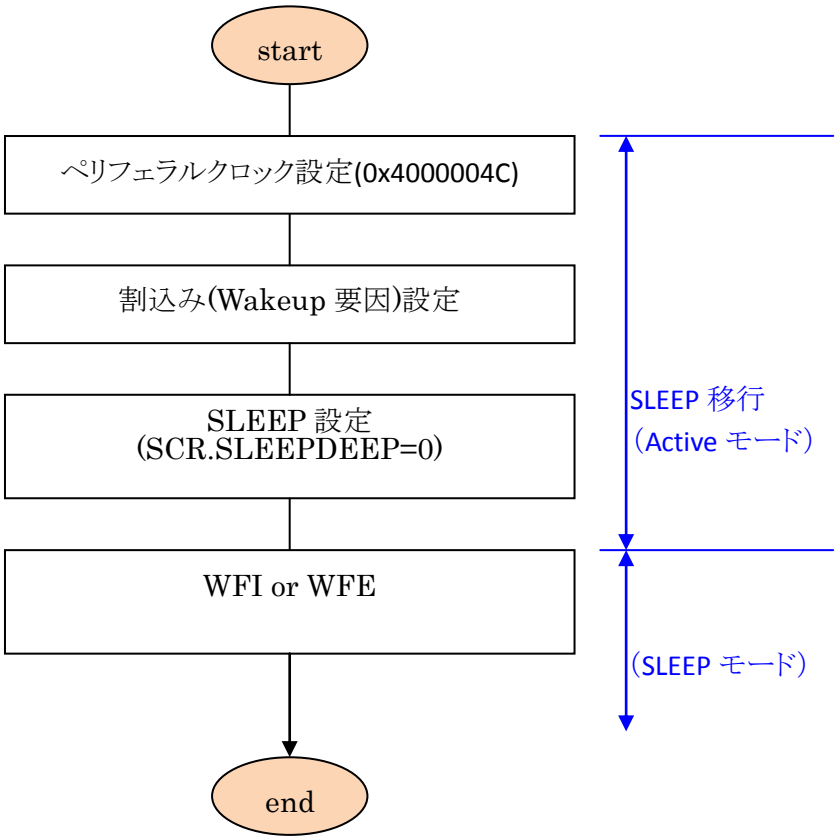
DEEPSLEEP に移行すると以下のクロック制御系のレジスタがリセットされ、復帰時は高速 CR で起動します。

MAIN_SRC_SEL(0x40050018)、CR40M_ON(0x40050038)、PLL_PDN0(0x4005000C)

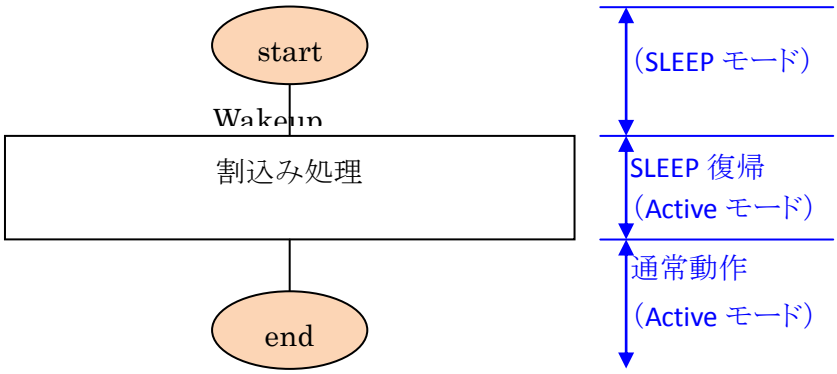
復帰後、クロックを再設定して下さい。



■SLEEP モードへの移行手順

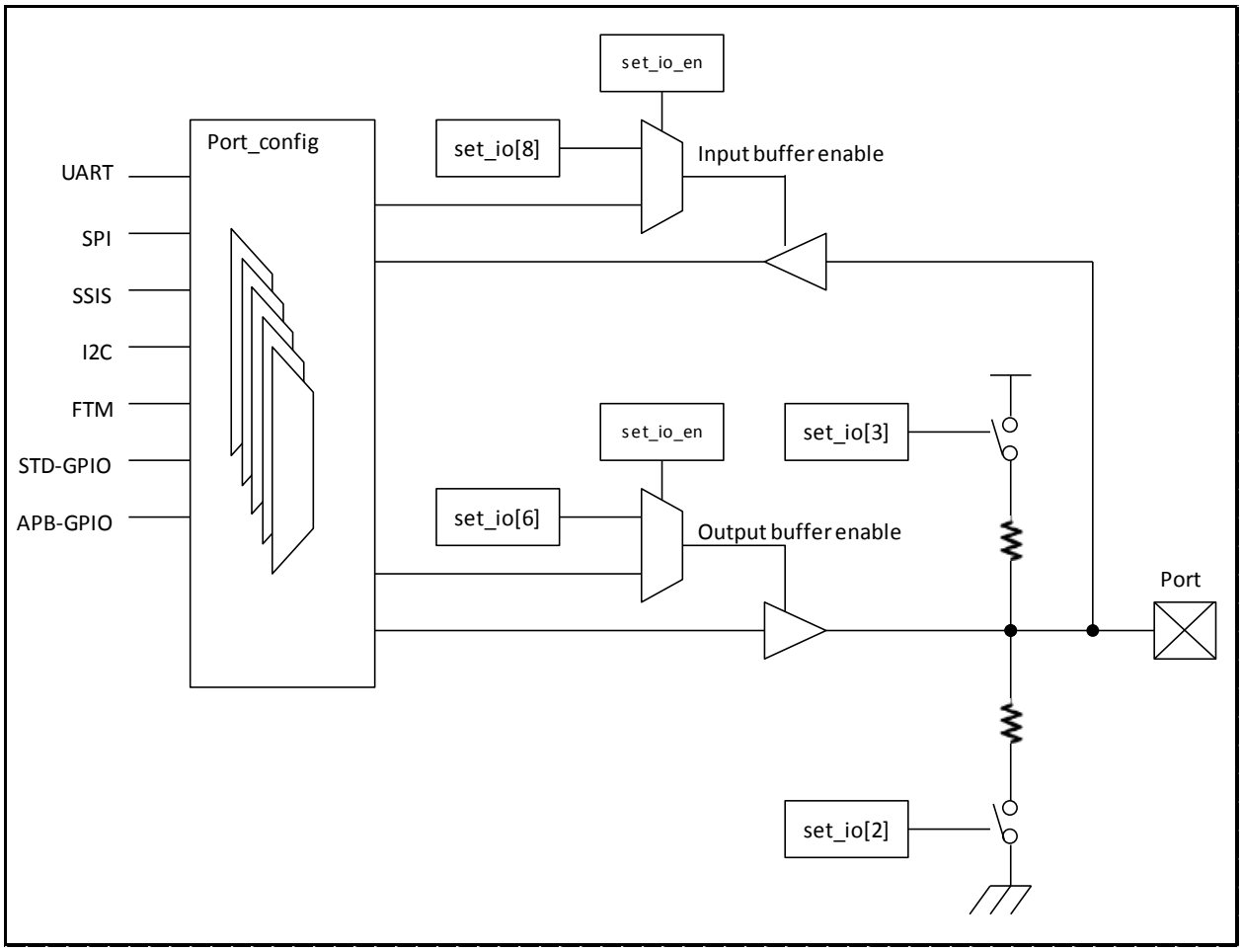



■SLEEP モードからの復帰手順



### 7.29.5 IO 制御

IO 制御機能の概略図を以下に示します。




GPIOAn、GPIOBn、GPIOCn 全端子の初期状態は IO 設定レジスタ(0x40050130～0x40050114: 図中 set_io*)により出力 Hiz に設定されています。

※GPIO 全端子の IO 設定レジスタ初期値

set_io_en=1、set_io[8]=0、set_io[6]=0

端子機能を GPIO 機能または UART 等の副次機能に切り替える場合、切換え対象端子の IO 設定レジスタ（0x40050130～0x40050214）の set_io_en を″0″に設定し、ポートコンフィグレーション機能による端子制御を有効にして下さい。ポートコンフィグレーションについては 7-11.ポートコンフィグレーションをご参照願います。

## 7.30.Micro Trace Buffer(MTB)

### 7.30.1 概要

Micro Trace Buffer(MTB)の特長を以下に示します。

- Cortex®-M0+プロセッサのプログラム実行トレース機能を提供します。
- SRAM 空間をトレース情報格納用バッファとして共用します。
- MTB の使用するトレースバッファの容量をソフトウェアから変更することが出来ます。

MTB の詳細については、ARM®社の以下のドキュメントを参照してください。

CoreSight MTB-M0+ Technical Reference Manual

本商品では、MTB の SFR 領域は以下のアドレスから始まる 4KByte の領域に割り当てられています。

0xF0002000

また、MTB の RAM 領域はアドレス 0x20000000 から始まる SRAM 空間全領域が対象となります[22]。
デフォルトでは 16KB(AWIDTH=14)となります。

[22] MTB のトレース機能を有効にした場合、トレース情報の RAM への格納と CPU からの RAM アクセスが競合すると、CPU からの RAM アクセスが待たされることにより CPU の性能が低下する可能性があります。

## 7.31.システム ROM テーブル

### 7.31.1 概要

システム ROM テーブルは、デバッガに対して接続された MCU に実装されたデバッグコンポーネント(ウォッチポイント、ブレークポイント、トレースバッファ等)を示します。

通常、デバッガは DAP(Debug Access Port)内に存在する決められたアドレスに存在する Debug Base Address レジスタ[23]によりシステム ROM テーブルに格納されたアドレスを認識します。システム ROM テーブルには、Cortex®-M0+の ROM Table の格納アドレスを示す Entry, Micro Trace Buffer(MTB)の ROM Table の格納アドレスを示す Entry が存在し、Cortex®-M0+(および Cortex®-M0+のデバッグコンポーネント、MTB を認識します。

※ MTB 未実装時は、システム ROM テーブルは実装しません。
DAP の Debug Base Address レジスタは Cortex®-M0+の ROM Table を指します。

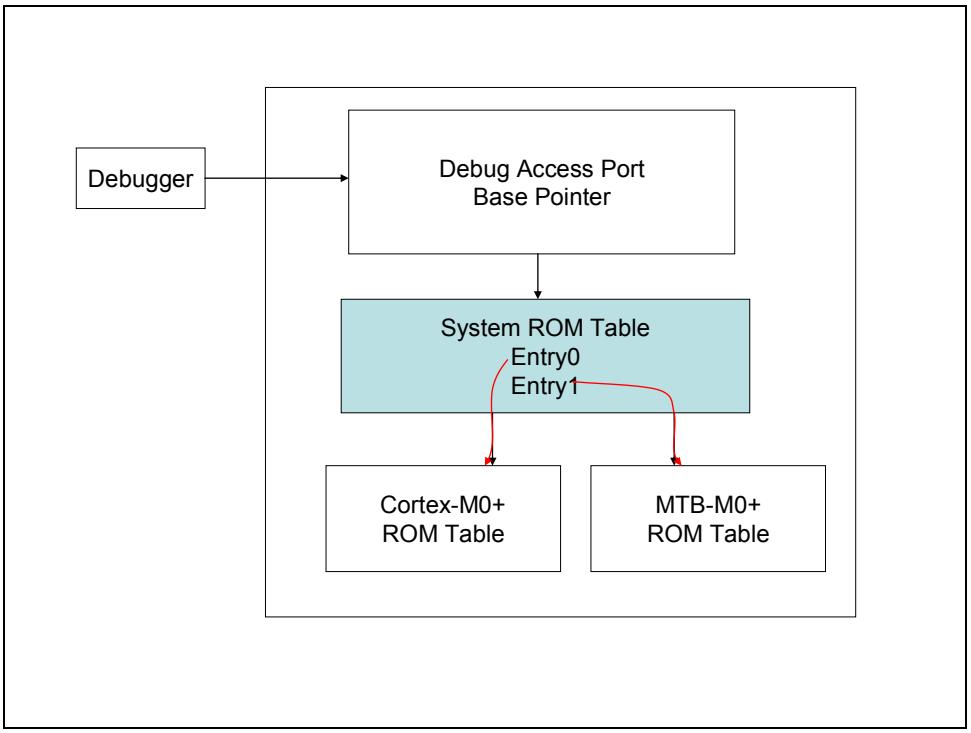



図 7-30 システム ROM テーブルと周辺機能との関係

[23] MEM-AP: Address 0xF8 に実装された Debug Base Address(BASE)レジスタ

### 7.31.2 アドレスマップ

本商品では 32bit フォーマットのシステム ROM テーブルを実装します。システム ROM テーブルはシステムアドレスマップ上の 0xF0000000～に配置されます。本商品で実装するシステム ROM テーブルの詳細を以下に示します。

| オフセットアドレス | 名称 | 値 | 備考 |
|---|---|---|---|
| 0x000 | Table Entry0 | 0xF00FF003 | [31:12]:=システム ROM テーブルから Cortex®-M0+へのオフセット(0xE00FF000)<br>[11:2]:=Reserved<br>[1]:= Format。1 固定(32 ビットフォーマット)。<br>[0]:=Entry Present。1 固定 |
| 0x004 | Table Entry1 | 0x00002003 | [31:12]:=システム ROM テーブルから MTB-M0+へのオフセット(0xF0002000)<br>[11:2]:=Reserved<br>[1]:=Format。1 固定(32 ビットフォーマット)。<br>[0]:= Entry Present。1 固定(MTB-M0+実装)。 |
| 0x008 | - | 0x00000000 | ビット 0(Entry Present)は 0 であり、エントリがこれ以上存在しないことを示す[24]。 |
| : | | | |
| 0xFCC | MEMTYPE | 0x00000001 | [31:1]:=Reserved<br>[0]:=System memory present。システムメモリが、ROM テーブルが接続されたバス上に存在することを示す。 |
| 0xFD0 | Peripheral ID4 | 0x0000000X | [31:8]:=Reserved<br>[7:4]:=バイト数。0x0 固定(1 バイト)。<br>[3:0]:=JEP 106 Continuation Code |
| 0xFD4 | Peripheral ID5 | 0x00000000 | [31:0]:=Reserved |
| 0xFD8 | Peripheral ID6 | 0x00000000 | [31:0]:=Reserved |
| 0xFDC | Peripheral ID7 | 0x00000000 | [31:0]:=Reserved |

[24] ビット 0 は有効なエントリが存在しないことを示す 0 となります。その他のビットは不定(実装依存)となります。

| | | | |
|---|---|---|---|
| 0xFE0 | Peripheral ID0 | 0x000000XX | [31:8]:=Reserved<br>[7:0]:=Part Number[7:0] |
| 0xFE4 | Peripheral ID1 | 0x000000XX | [31:8]:=Reserved<br>[7:4]:=JEP106 Identity Code[3:0]<br>[3:0]:=Part Number[11:8] |
| 0xFE8 | Peripheral ID2 | 0x000000XX | [31:8]:=Reserved<br>[7:4]:= Revision[3:0]。本システム ROM テーブルのリビジョンを示す。0x0 固定。<br>[3]:= JEP 106 Identity Code を使用していることを示す。1 固定。<br>[2:0]:= JEP 106 Identity Code[6:4] |
| 0xFEC | Peripheral ID3 | 0x000000X0 | [31:8]:=Reserved<br>[7:4]:=RevAnd。通常、ECO によるリビジョン番号を示します。<br>[3:0]:=Customer Modified。0x0 固定。 |
| 0xFF0 | Component ID0 | 0x0000000D | [31:8]:=Reserved<br>[7:0] :=Preamble byte0。0x0D 固定。 |
| 0xFF4 | Component ID1 | 0x00000010 | [31:8]:=Reserved<br>[7:4] :=Component Class。0x1 固定(ROM Table)。<br>[3:0] := Preamble。0x0 固定。 |
| 0xFF8 | Component ID2 | 0x00000005 | [31:8]:=Reserved<br>[7:0] := Preamble byte 2。0x05 固定。 |
| 0xFFC | Component ID3 | 0x000000B1 | [31:8]:=Reserved<br>[7:0] := Preamble byte 3。0xB1 固定。 |

### 7.31.3 JEDEC JEP-106

システム ROM テーブル内には、JEDEC JEP-106 Identity Code、Continuation Code が必要です。UxPlatform での JEP-106 コードは以下の通りです。

| フィールド | 値 | 備考 |
|---|---|---|
| JEP-106 Identity Code[6:0] | 0x2F | JEDEC JEP106 に登録されているロームグループの Manufacturer's Identification Code です。 |
| Continuation Code[3:0] | 0x1 | JEDEC JEP106 に登録されているロームグループの Continuation Code です。 |

### 7.31.4 Part Number

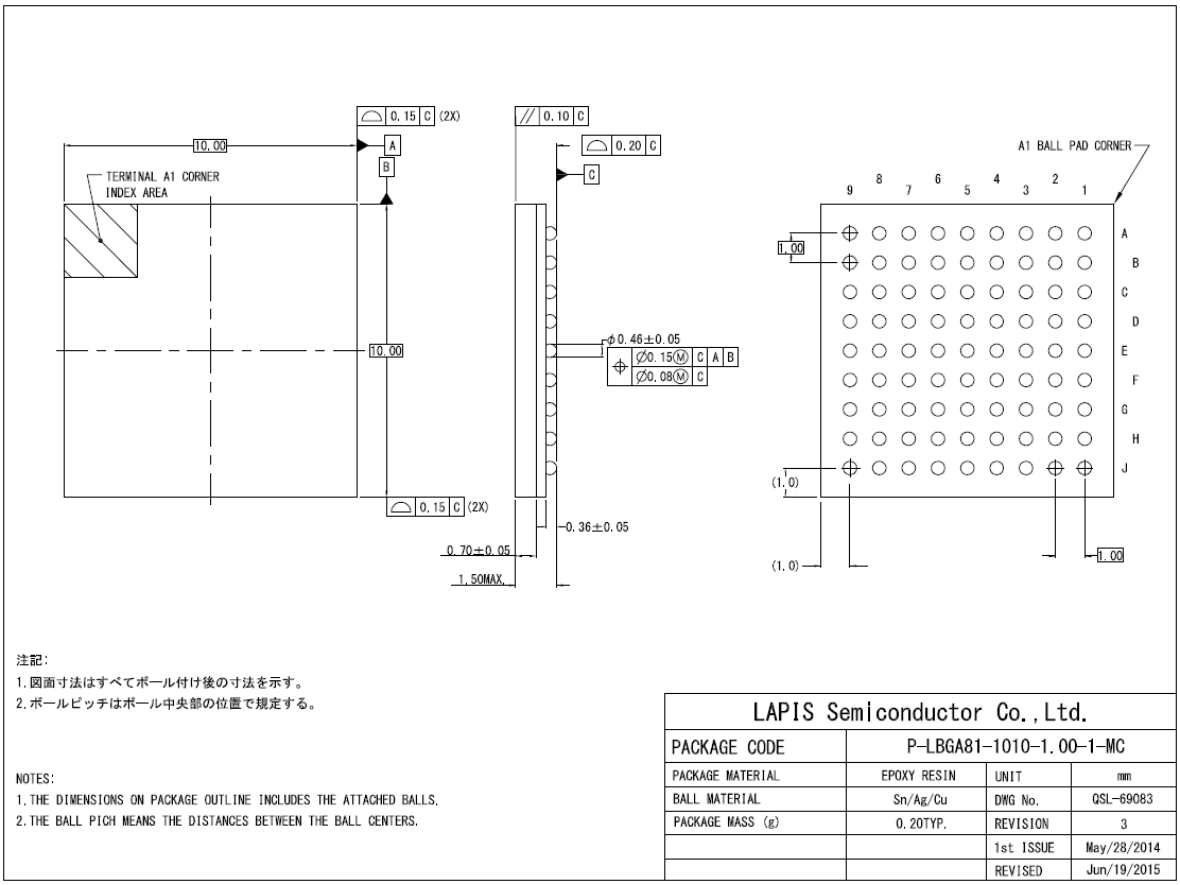
本システム ROM Table の Part Number は以下の通りです。

| Part Number[11:0] | 対応するコンポーネント | 備考 |
|---|---|---|
| 0x000 | Cortex®-M0+ System ROM Table | |

## ■8.応用回路例

別途『ML7416N-060 LSI デザインガイド』をご参照願います。

## ■9.パッケージ外形寸法図/端子存在範囲図




### 表面実装型パッケージ実装上の注意

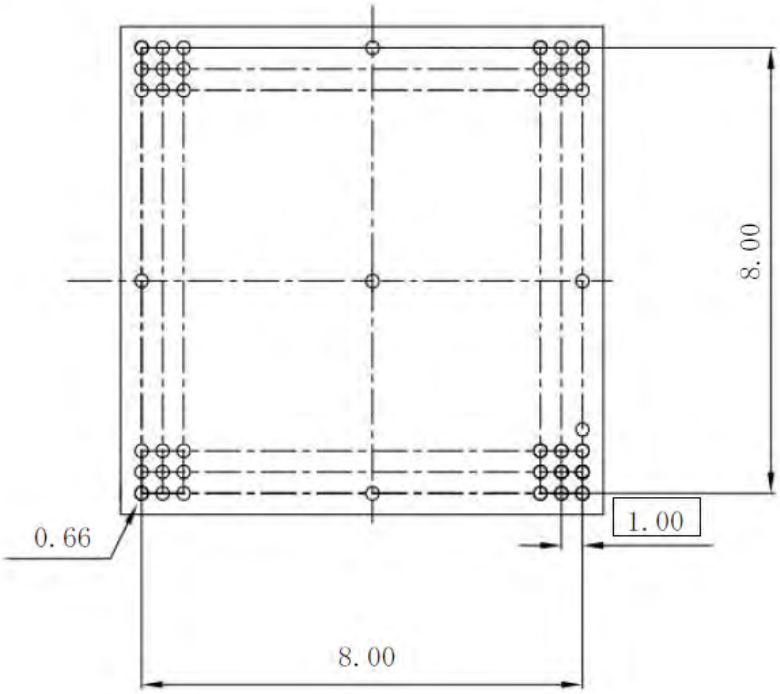
表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをロームセールスオフィスまで必ずお問い合わせ下さい。

P-LBGA81-1010-1.00-1-MC

参考図

# 半田付け部端子存在範囲図

**Mounting area for package lead soldering to PC boards**




［単位：mm］

実装基板のフットパターンの設計の際には、実装の容易さ、接続の信頼性、配線の引き回し、半田ブリッジ発生のないことなどを十分考慮してください。

フットパターンの最適な設計は基板材質、使用する半田ペースト種類、厚み、半田付け方法などによって変わってきます。従って、本パッケージの端子の存在し得る範囲を「半田付け部端子存在範囲図」として示しますので、フットパターン設計の参考資料としてください。

When laying out PC boards, it is important to design the foot pattern so as to give consideration to ease of mounting, bonding, positioning of parts, reliability, wiring, and elimination of solder bridges.

The optimum design for the foot pattern varies with the materials of the substrate, the sort and thickness of used soldering paste, and the way of soldering. Therefore when laying out the foot pattern on the PC boards, refer to this figure which mean the mounting area that the package leads are allowable for soldering to PC boards.

LAPIS Semiconductor Co., Ltd.

## ■10.改版履歴

| 版数 | 変更内容 | 変更前 | 変更後 | 日付 | 備考 |
|---|---|---|---|---|---|
| 1.0 | 初版 | - | - | 2015/04/13 | |
| 2.0 | SPI データ入出力端子 1(MISO)の入出力を修正 | 8,10 | 8,10 | 2015/10/14 | |
| | ADC0-3、SWCK、SWD 端子処理を追加 | 12 | 12 | | |
| | RC クロック 1 の標準値を修正<br>RC クロック周波数の最大・最小を追加 | 14 | 14 | | |
| | 単位を修正 | 22 | 22 | | |
| | SCK-SSN 遅れ時間(tLAG)の Max 値を修正 | 23 | 23 | | |
| | 注意事項を追加 | 27 | 28 | | |
| | 変換時間の最大を追加 | 28 | 29 | | |
| | 精度の条件、温度傾斜の最大・最小、変換時間の最大を追加 | 29 | 30 | | |
| | 低電圧検出特性の追加 | - | 31 | | |
| | Source Clock の説明を修正 | 36 | 37 | | |
| | クロック選択の説明を修正 | 38 | 39 | | |
| | 設定レジスタの説明を修正 | 44 | 45 | | |
| | RF 割り込み要因の説明を追加 | 59 | 60 | | |
| | システム制御レジスター覧の修正 | 66 | 67 | | |
| | ペリフェラルクロック・イネーブルレジスタ初期値の修正 | 76 | 77 | | |
| | DEEPSLEEP 中の注意事項を追加 | 78 | 79 | | |
| | 説明内容の修正 | 81 | 82 | | |
| | Component Parameter Register 初期値の修正 | 86 | 87 | | |
| | SIRE ビット説明の追加 | 98 | 99 | | |
| | Component Parameter レジスタ初期値の修正 | 119 | 120 | | |
| | UART Componet Version レジスタ初期値の修正 | 121 | 122 | | |

| | | | | | |
|---|---|---|---|---|---|
| | SPI 制御レジスタの初期値説明の追加 | 125 | 126 | | |
| | SPI2 のみ MSTR ビットの初期値がマスタであることを追記 | 129 | 130 | | |
| | SPIn_BRR レジスタ初期値の修正 | 130 | 131 | | |
| | SPI2 のみ有効であることの説明を追加 | 135-136 | 136-137 | | |
| | 初期設定例フロー図、レジスタ初期設定例の誤記修正 | 151 | 152 | | |
| | 割込みマスクレジスタ初期値の修正 | 154 | 155 | | |
| | 受信 FIFO 閾値レベルレジスタビット説明の修正 | 162 | 163 | | |
| | 割込みマスクレジスタ初期値の修正 | 165 | 166 | | |
| | WDT 現カウンタ値レジスタ初期値の修正 | 175 | 176 | | |
| | INTRPORT_SEL レジスタの説明を追加 | 182 | 183 | | |
| | BER_MODE の説明を追加 | 185 | 186 | | |
| | レジスター覧の修正 | 195 | 196 | | |
| | タイマ 1 カレント値レジスタ初期値の修正 | 208 | 206 | | |
| | タイマ 1 カレント値レジスタ初期値の修正 | 209 | 207 | | |
| | タイマ n カレント値レジスタ初期値の修正 | 214 | 212 | | |
| | タイマ n カレント値レジスタ初期値の修正 | 215 | 213 | | |
| | レジスタ名称を修正(n→0) | 241- | 239- | | |
| | FTMEN ビットの説明を追加 | 253 | 251 | | |
| | FTMDIS ビットの説明を追加 | 254 | 252 | | |
| | 初期値の修正 | 265-266 | 263-264 | | |
| | 1 バンクモード時の説明を追加 | 298 | 296 | | |
| | フラッシュ ROM コントローラの制御対象フラッシュ ROM 領域を追加 | 299 | 297 | | |
| | PROTUNLOCKWE の R/W 属性の修正 | 317 | 315 | | |
| | PROTLOCKKEYSTA の説明を修正 | 318 | 316 | | |
| | DIO を使用するときの説明を追加 | 340 | 338 | | |
| | DIO_IMSK の R/W 属性の修正 | 340 | 338 | | |
| | F_O_CLR の R/W 属性の修正 | 350 | 348 | | |
| | F_U_CLR の R/W 属性の修正 | 351 | 349 | | |
| | MATCH_CLR の R/W 属性の修正 | 352 | 350 | | |
| | ICLR の R/W 属性の修正 | 353 | 351 | | |

| 版数 | 変更内容 | 変更前 | 変更後 | 日付 | 備考 |
|---|---|---|---|---|---|
| 2.0 | 概要説明の修正 | 359 | 357 | 2015/10/14 | |
| | レジスター覧にCTタイマレジスタを追加 | 359 | 357 | | |
| | CTタイマレジスタの追加。 | - | 359 | | |
| | ADRUNの説明を修正 | 366 | 365 | | |
| | AD 変換中の動作クロック切り替えの注意事項を追加 | 367 | 366 | | |
| | ADC使用方法の説明を追加 | - | 380 | | |
| | LVDレジスター覧初期値の修正 | 385 | 384 | | |
| | LVD0イネーブルレジスタ初期値の修正 | 388 | 387 | | |
| | LVD1 コントロールレジスタ初期値の修正<br>設定値毎の閾値電圧を追加 | 389-390 | 388-389 | | |
| | 低電圧検出(LVD)の動作説明を追加 | - | 399-402 | | |
| | DMACレジスター覧の修正 | 401-405 | 404-407 | | |
| | チャネル n 制御レジスタ初期値の修正 | 409 | 411 | | |
| | 割り込み RAW ステータスレジスタの説明を追加 | 416 | 418 | | |
| | 割り込み要因ステータスレジスタの説明を追加 | 420 | 422 | | |
| | DMA チャネルイネーブルレジスタのR/W属性修正 | 428 | 430 | | |
| | フローコントローラの説明を修正 | 430 | 432 | | |
| | ハンドシェイクインタフェースの割り当ての説明を追加 | 431 | 433 | | |
| | FDMA_ENビット説明を追加 | 440 | 442 | | |
| | FlashDMA 設定レジスタ 3 説明を追加 | 443 | 445-446 | | |
| | レジスタ表 FDMA_ERR_EOI のビット幅を[3:0]→[8:0]に修正 | 444 | 447 | | |

| | | | | | |
|---|---|---|---|---|---|
| | AESOBFL および AESIBFL によってクリアされるレジスタを修正 | 457 | 460 | | |
| | AES 機能説明を追加 | 476,<br>479-480 | 479,<br>482-483 | | |
| | レジスター覧初期値の修正、レジスタ追加(クロックステータス、DMON モニタ、PLL 設定 2) | 485-486 | 488-490 | | |
| | PLL 設定レジスタ 0 初期値の修正 | 490 | 494 | | |
| | CLKGEN 設定レジスタ 5 に adc_div ビット追加 | 501 | 505 | | |
| | FLASH_PS0 ビット、LOGIC_PS0 ビットの説明を修正 | 507-508 | 511-512 | | |
| | FLASH-ROM ディープスタンバイ制御レジスタの説明を修正 | 510 | 514 | | |
| | クロックステータスレジスタの追加 | - | 526-527 | | |
| | DMON_CPU 端子モニタ用レジスタの追加 | - | 528 | | |
| | PLL 設定レジスタ 2 の追加 | - | 529 | | |
| | IO 設定レジスタの初期値修正と説明を追加 | 522 | 530-532 | | |
| | クロック系統図の分周値の修正と注意事項の追加 | 523 | 533 | | |
| | PLL 制御手順に PLL_DIV 設定を追加 | 526 | 536 | | |
| | RF クロック制御の説明を追加 | - | 539 | | |
| | 外形寸法図の更新(公差情報追加) | 535 | 546 | | |
| | 端子存在範囲図名称の修正 | 536 | 547 | | |
| | CR40M および CR32K の名称を高速 CR および低速 CR に変更 | 全面 | 全面 | | |

| 版数 | 変更内容 | 変更前 | 変更後 | 日付 | 備考 |
|---|---|---|---|---|---|
| 3.0 | SLow クロック 32.768kHz 水晶振動子周波数の最小/最大追加 | 14 | 14 | 2016/3/30 | |
| | CXIN 端子の高レベル入力電圧/低レベル入力電圧の定義削除 | 16 | 16 | | |
| | 消費電流の最大値追加 | 16 | 32 | | |
| | 入力リーク電流、トライステート出力リーク電流の最大値の変更 | 16 | 16 | | |
| | (*5)の説明修正 | 16 | 16 | | |
| | 低レベル出力電圧の最大値を修正 | 16 | 16 | | |
| | 915MHz帯、868MHz帯の RF 特性の削除 | 19-21 | 19-21 | | |
| | 最小受信感度の標準値を修正 | 21 | 21 | | |
| | 温度センサ特性の温度傾斜削除 | 30 | 30 | | |
| | LVD 検出誤差の最小値、最大値の修正 | 31 | 31 | | |
| | R/W 属性修正(R→R/W) | 80 | 80 | | |
| | 初期値修正(0x00→0x60) | 87,101 | 87,101 | | |
| | 初期値修正(0x00→0x60) | 88,111 | 88,111 | | |
| | レジスタ名称修正(UARTn_IER→UARTn_IIR) | 93 | 93 | | |
| | レジスタ説明の追加 | 121 | 121 | | |
| | SPIn_ID レジスタの R/W 属性誤記修正(R/W→R)、レジスタ説明の修正 | 127 | 127 | | |
| | 初期値修正 | 131 | 131 | | |
| | R/W 属性修正(R→R/W) | 133 | 133 | | |
| | WDT の概要説明を修正 | 176 | 176 | | |
| | タイマ制御手順の説明を修正 | 211 | 211 | | |
| | ADJ30S ビットの説明追加。 | 226 | 226 | | |
| | RESTART 機能は削除 | 265,273<br>289-290 | 265,273<br>289-290 | | |
| | ビット 16 の説明修正(BANK_SEL⇒BANK_MODE) | 319 | 320 | | |

| | | | | | |
|---|---|---|---|---|---|
| | CT タイマレジスタのビット説明を修正 | 359 | 360 | | |
| | 温度条件を修正(85℃⇒105℃) | 363,382 | 364,383 | | |
| | LVD0W の R/W 属性修正(R→R/W) | 386 | 387 | | |
| | LVD1 コントロールレジスタ LVD1LV ビット説明を修正 | 389 | 391 | | |
| | ビット 18,17 を Reserved に修正 | 412 | 414 | | |
| | ビット説明修正 | 422 | 424 | | |
| | 【ご注意】の説明追加 | 440 | 443 | | |
| | エラーステータスクリアのビット幅を修正[7:0]→[8:0] | 447 | 450 | | |
| | TEST 設定レジスタ 2 を追加 | - | 535 | | |
| | PLL 設定レジスタ 0 の説明を追加 | 495 | 498 | | |
| | Reserved ビットの R/W 属性修正(R/W→R) | 501 | 504 | | |
| | CLKGEN 設定レジスタの分周設定値の修正 | 501-505 | 504-510 | | |
| | SUB_CLK_DIV ビットの R/W 属性修正(R→R/W) | 503 | 507 | | |
| | DeepSleep 時の開始、停止フローの修正 | 537 | 543-544 | | |
| | 数値を見やすく解像度を見直し | 546 | 552 | | |
| 4.0 | IDD1(スリープ状態)の条件に 1 バンクモードを追加 | 16 | 16 | 2017.4.24 | |
| | フラッシュメモリ動作条件を追加 | – | 32 | | |
| | パワーマネジメント動作モードの条件に 1 バンクモードを追加 | 44 | 44 | | |
| | 電源分離の注意事項(使用制限事項)を追加 | 45 | 45 | | |
| | アドレスマップにデータ FLASH 領域の説明を追加 | 57 | 57 | | |
| | 割込み要因表の IRQ[29]要因名を RF⇒SINTN_CPU に修正 | 65 | 65 | | |
| | ペリフェラルクロック・イネーブルレジスタの説明を追加 | 77 | 77 | | |

| 版数 | 変更内容 | 変更前 | 変更後 | 日付 | 備考 |
|---|---|---|---|---|---|
| 4.0 | 端子機能割付けについて 7.11 章を参照する文言追記 | 87,126,<br>154,195,<br>204,262 | 87,126,<br>154,195,<br>204,263 | 2017/4/24 | |
| | SOZ ビットの注意事項を追加 | 128 | 128 | | |
| | SPI ID レジスタ説明修正 | 137 | 137 | | |
| | 7.29.5 IO 制御 項を参照する文言追加 | 182 | 182 | | |
| | 汎用ポート設定について注意書追加 | 189 | 189 | | |
| | 端子機能レジスタの組合せ表から内部ハード以上のブロック数を選択してしまった場合の組合せを削除 | 190-194 | 190-194 | | |
| | GPIOD の説明を追記 | 197-202 | 197-202 | | |
| | GPIOD の割込みについての注意書きを修正 | 199 | 199 | | |
| | 表 CKCON[3:0]と FTMCLK[n]の関係の説明を修正 | 250 | 251 | | |
| | タイマ・クロック入力端子の説明を修正 | 258 | 259 | | |
| | タイマ出力端子の説明を修正 | 261 | 262 | | |
| | ADCYC の説明追加 | 366 | 367 | | |
| | IO 設定レジスタ 10(sdo_cpu)の初期値の修正 | 490,537 | 491,541 | | |
| | レギュレータ制御レジスタ追加 | 490 | 491,533 | | |
| | WDT 設定レジスタの説明修正 | 492 | 493 | | |
| | Timer 設定レジスタの説明修正 | 493 | 494 | | |
| | PLL 設定レジスタ 0 の説明修正 | 495 | 496 | | |
| | PLL 設定レジスタ 0 の設定例に 8MHz を追加 | 493 | 496 | | |
| | CLKGEN 設定レジスタ 4 の説明修正 | 506 | 507 | | |

| 版数 | 変更内容 | 変更前 | 変更後 | 日付 | 備考 |
|---|---|---|---|---|---|
| 4.0 | CLKGEN 設定レジスタ 6 の説明修正 | 509 | 510 | 2017/4/24 | |
| | ディープスリープ制御レジスタの注意事項(使用制限事項)を追加 | 514-515 | 515-516 | | |
| | ドメインとレジスタの一覧表を追加 | - | 517 | | |
| | MON_CLK_SEL のビット説明を修正 | 533 | 537 | | |
| | クロック系統図の説明修正 | 539-541 | 543-545 | | |
| | 7.29.5 IO 制御 項追加 | - | 550 | | |
| | 応用回路例の説明を追加 | 551 | 556 | | |
| 5.0 | I2C パルス幅の式を修正 | 271 | 271 | 2017/7/3 | |

# ご注意

1) 本資料の記載内容は改良などのため予告なく変更することがあります。
2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがいまして、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがいまして、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
5) 本製品は、一般的な電子機器（AV機器、OA機器、通信機器、家電製品、アミューズメント機器など）および本資料に明示した用途への使用を意図しています。
6) 本資料に掲載されております製品は、耐放射線設計はなされておりません。
7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
   ・輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
   ・航空宇宙機器、原子力制御機器、海底中継機器
9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
10) 本資料に記載されております情報は、正確を期すため慎重に作成したものですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2013-2017 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8
http://www.lapis-semi.com