

# ML7661

13.56MHz ワイヤレス給電用送電 LSI

## 1. 概要

ML7661 は 13.56MHz ワイヤレス給電送電用デバイスです。ML7661 は受電側デバイス ML7660 と組み合わせることでワイヤレス給電システムを実現し、最大 1W の給電出力が可能です。

ML7661 は受電用デバイス ML7660 と通信するための通信コマンド生成機能や 1W を給電するための外付けトランジスタの制御機能、送電電力を最適化するために送電量を可変に制御する機能や、受電用デバイス ML7660 の着脱や給電中の異物検知機能などのワイヤレス給電用送電機能を 6mm 角の 40ピン WQFN パッケージに搭載しており、小型機器のワイヤレス給電に最適な LSI となっています。また、動作電圧を 5V としており、モバイルバッテリーなど USB 電源からの駆動が可能です。更にホストインタフェース (SPI/I<sup>2</sup>C スレーブ) 機能やシリアルインタフェース (SPI/I<sup>2</sup>C マスタ、UART) 機能を搭載しており、外部マイコンからのコンフィグレーションデータ更新や各種センサ制御が可能です。

## 2. 特長

- 給電制御
  - 13.56MHz 電力伝送制御回路内蔵
  - 1W 送電用トランジスタ制御出力
  - ソフトウェア制御とハードウェア制御による異常検知機能
- 通信制御
  - ML7660 との通信用コマンド生成機能搭載
  - 通信速度 : 212kbps, 424kbps
  - ユーザデータ格納用 2Kbyte Data Flash
- ホストインタフェース
  - 1ch のスレーブ機能をもったシリアルインタフェース (SPI と I<sup>2</sup>C の選択可)
  - ホストマイコンからアクセス可能なレジスタ機能
  - 512 バイトの FIFO 内蔵
- シリアルインタフェース
  - 1ch のマスタ機能をもった SPI インタフェース
  - 1ch のマスタ機能をもった I<sup>2</sup>C インタフェース
  - 1ch の UART インタフェース (2 線式、全二重通信)
- 汎用ポート (PORT)
  - 入出力ポート × 13ch
- 逐次比較型 A/D コンバータ (SA-ADC)
  - 分解能 10 ビット
- リセット
  - RESET\_N 端子リセット
  - パワーオン検出リセット
  - WDT オーバーフローによるリセット



- クロック
  - 低速側クロック  
内蔵 RC 発振 (32.768kHz)
  - 高速側クロック  
水晶発振 (27.12MHz)
- パッケージ
  - WQFN40 ピン (P-WQFN40-0606-0.50-63)
- CPU
  - RISC 方式 16 ビット CPU (CPU 名称: nX-U16/100)
  - オンチップデバッグ機能を内蔵
  - 最小命令実行時間  
✧ 147.5ns (@6.78MHz システムクロック)

- 内部メモリ
  - メモリサイズ

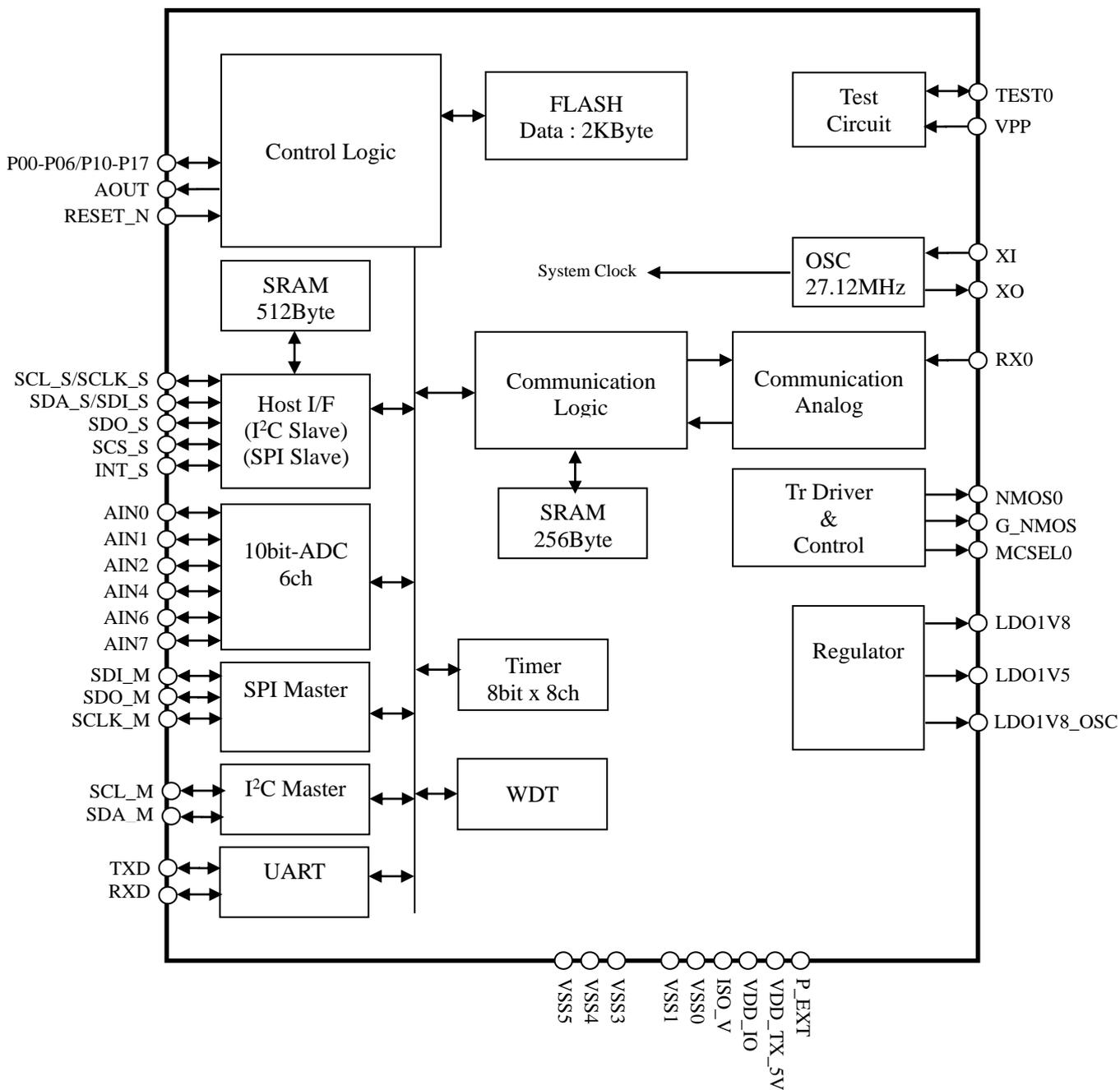
フラッシュメモリ*	SRAM	その他 RAM
プログラム: 32K バイト データ: 2K バイト	6K バイト (ワーク RAM) 1K バイト (デバッグトレース機能用)	256 バイト (NFC 側) 512 バイト (ホストインタフェース)

\*: This product uses SuperFlash® technology licensed from Silicon Storage Technology, Inc.  
SuperFlash® is a registered trademark of Silicon Storage Technology, Inc.

- 割込みコントローラ (INTC)
  - ノンマスカブル割込み 1 要因 (内部要因: WDT)
  - マスカブル割込み最大 26 要因 (内部要因: 18、外部要因: 8)
  - ソフトウェア割込み (SWI) 最大 64 要因
  - 外部割込み、コンパレータはエッジの選択、サンプリング有無が選択可能
  - 各割込みに対して、優先レベル (4 レベル) の設定可能
- タイマ
  - 8 ビット × 8ch (2ch 使用で 16 ビット構成可能)
  - 連続タイマモード/ワンショットタイマモード機能
  - ソフトウェアによるタイマスタート・ストップ機能
- ウォッチドッグタイマ (WDT)
  - ノンマスカブル割込み、およびリセット  
(1 回目のオーバーフローで割込みを発生、2 回目のオーバーフローでリセット、またはホスト通知を発生)
  - フリーラン
  - オーバフロー周期は、125ms、500ms、2s、8s から選択可能 (LSCLK=32.768kHz 時)
  - 停止機能

- I<sup>2</sup>C バスインタフェース(I<sup>2</sup>C マスタ)
  - 標準モード(100kbit/s)、ファーストモード(400kbit/s)対応
  
- SPI インタフェース(SPI マスタ)
  - MSB/LSB ファースト選択可能
  - 8ビット長/16ビット長選択可能
  - クロックの位相及び極性を選択可能
  
- UART
  - 全二重通信対応
  - 通信速度 4800~115200bps を設定可能
  - プログラマブルインタフェース(データ長, パリティ, ストップビットの選択可能)
  
- パワーマネジメント制御
  - クロック分周機能
    - システムクロックは 6.78MHz、3.39MHz、1.7MHz、848kHz、424kHz、212kHz、106kHz に対応する
  - クロック停止機能
    - CPU のみを停止する HALT モード、
    - CPU および高速クロックを止める HALT-H モード

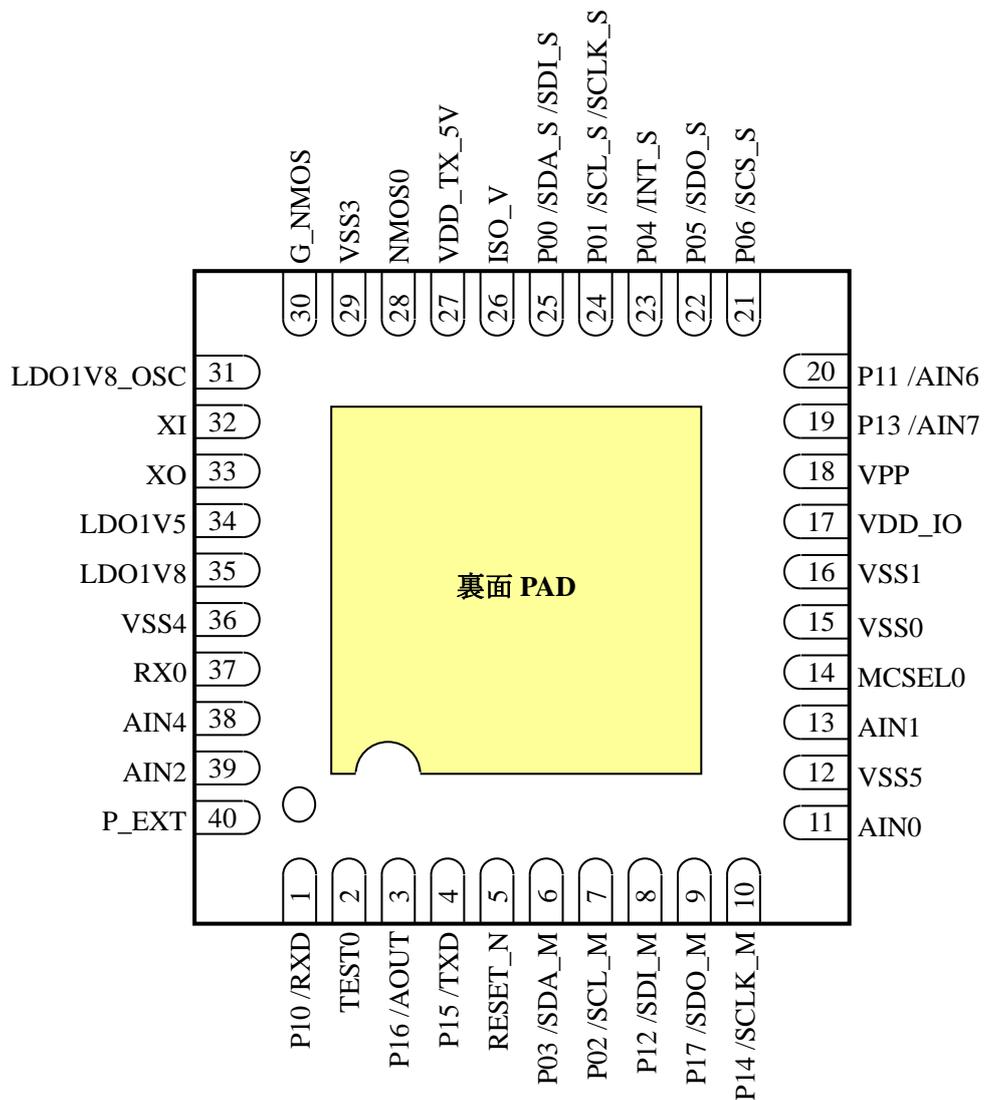
### 3. ブロック図



## 4. 端子配置/端子一覧

40ピン WQFN

TOP VIEW



ご注意：中央の四角はパッケージ裏側の PAD です(裏面 PAD)。  
裏面 PAD は基板の GND に接続してください。

## 5. 端子説明

### 5.1 電源・グラウンド・リファレンス電圧端子

PIN No.	端子名称	リセット時(※1)	I/O(※2)	Active Level	端子機能	未使用時の処理
15	VSS0	-	-	-	グラウンド (VSS0~VSS5 は LSI 内部で接続されています)	-
16	VSS1					
29	VSS3					
36	VSS4					
12	VSS5					
17	VDD_IO	-	-	-	ロジック IO 電源	-
34	LDO1V5	H(A)	OA	-	コア用 1.5V 電源出力	-
35	LDO1V8	H(A)	OA	-	ADC 用 1.8V 電源出力	-
31	LDO1V8_OSC	H(A)	OA	-	27.12MHz 発振回路用 1.8V 電源出力	-
40	P_EXT	-	-	-	外部電源(5V)	-
26	ISO_V	-	-	-	ロジック IO 電源(ホスト通信用)	-
27	VDD_TX_5V	-	-	-	ドライバ用電源(5V)	-

※ ISO\_V は基板上で VDD\_IO と接続してください。

### 5.2 アナログ信号端子

PIN No.	端子名称	リセット時(※1)	I/O(※2)	供給電源	Active Level	端子機能	未使用時の処理
37	RX0	-	IA	-	-	RF データ受信	-
30	G_NMOS	PD	OA	VDD_TX_5V	-	給電用 N トランジスタバイアス出力	-
28	NMOS0	Z	OA	VDD_TX_5V	-	給電用 N トランジスタドライバ	-

### 5.3 クロック端子

PIN No.	端子名称	リセット時(※1)	I/O(※2)	供給電源	Active Level	端子機能	未使用時の処理
32	XI	I	I	LDO1V8_OSC	-	27.12MHz 発振端子	-
33	XO	O	O	LDO1V8_OSC	-	27.12MHz 発振端子	-

### 5.4 その他の端子

PIN No.	端子名称	リセット時(※1)	I/O(※2)	供給電源	Active Level	端子機能	未使用時の処理
5	RESET_N	PU	I	VDD_IO	L	リセット端子 デバッグ用端子	オープン
25	P00 / SDA_S / SDI_S	Z	I/O	ISO_V	-	入出力ポート HostIF(I <sup>2</sup> C スレーブ) データ入出力 HostIF(SPI スレーブ) データ入力	オープン
24	P01 / SCL_S / SCLK_S	Z	I/O	ISO_V	-	入出力ポート HostIF(I <sup>2</sup> C スレーブ) クロック入力 HostIF(SPI スレーブ) クロック入力	オープン
7	P02 / SCL_M	Z	I/O	ISO_V	-	入出力ポート I <sup>2</sup> C マスタクロック出力	オープン
6	P03 / SDA_M	Z	I/O	ISO_V	-	入出力ポート I <sup>2</sup> C マスタデータ入出力	オープン
23	P04 / INT_S	Z	I/O	ISO_V	-	入出力ポート HostIF INT 出力	オープン

PIN No.	端子名称	リセット時(※1)	I/O(※2)	供給電源	Active Level	端子機能	未使用時の処理
22	P05 / SDO_S	Z	I/O	ISO_V	—	入出力ポート HostIF(SPI スレーブ) データ出力	オープン
21	P06 / SCS_S	Z	I/O	ISO_V	—	入出力ポート HostIF(SPI スレーブ) 信号選択	オープン
11	AIN0	Z	IA	VDD_IO	—	汎用 AD 入力 0	オープン
13	AIN1	Z	IA	VDD_IO	—	電流測定用 AD 入力 1	オープン
39	AIN2	Z	IA	P_EXT	—	電流測定用 AD 入力 2	オープン
38	AIN4	Z	IA	P_EXT	—	電流測定用 AD 入力 4	オープン
1	P10 / RXD	PU	I/O	VDD_IO	—	入出力ポート UART データ入力	オープン
20	P11 / AIN6	Z	IDA/O	ISO_V	—	入出力ポート/AD 入力 6	オープン
8	P12 / SDI_M	Z	I/O	ISO_V	—	入出力ポート SPI マスタデータ入力	オープン
19	P13 / AIN7	Z	IDA/O	VDD_IO	—	入出力ポート/AD 入力 7	オープン
10	P14 / SCLK_M	Z	I/O	ISO_V	—	入出力ポート SPI マスタクロック出力	オープン
4	P15 / TXD	Z	I/O	VDD_IO	—	入出力ポート UART データ出力	オープン
3	P16 / AOUT	Z	I/O <sub>DA</sub>	VDD_IO	—	入出力ポート アナログモニタ出力	オープン
9	P17 / SDO_M	Z	I/O	ISO_V	—	入出力ポート SPI マスタデータ出力	オープン
14	MCSEL0	PU	O	VDD_IO	—	マッチングキャパシタ選択信号	オープン

## 5.5 テスト端子

PIN No.	端子名称	リセット時(※1)	I/O(※2)	供給電源	Active Level	端子機能	未使用時の処理
2	TEST0	Z	I/O	VDD_IO	L	デバッグ用端子	Pull-Up
18	VPP	—	IA	—	—	Flash テスト用電源端子	オープン

(※1) リセット時：リセット状態で記載する状態を表しています。

リセット時 端子状態定義	L(O) : 出力状態かつ”L”レベル出力
	H(O) : 出力状態かつ”H”レベル出力
	L(A) : アナログ L レベル出力
	H(A) : アナログ H レベル出力
	PU : Pull-Up
	PD : Pull-Down
	Z : フローティング状態

(※2) I/O : I/O 定義に関しましては、下記の略称を使用しております。

I/O 定義	IA : アナログ入力端子
	OA : アナログ出力端子
	I : デジタル入力端子
	I/O : 双方向端子
	IDA/O : 双方向端子、入力はデジタルとアナログ共用
	I/O <sub>DA</sub> : 双方向端子、出力はデジタルとアナログ共用
	O : デジタル出力端子

## 6. 電気的特性

### 6.1 絶対最大定格

項目	記号	条件	定格値	単位
電源電圧(デジタル IO)	VDD_IO	Ta=25°C	-0.3~+6.5	V
	ISO_V	Ta=25°C	-0.3~+6.5	V
レギュレータ入力電圧	P_EXT	Ta=25°C	-0.3~+6.5	V
送電用電源電圧	VDD_TX_5V	Ta=25°C	-0.3~+6.5	V
コア電源電圧 / 水晶発振電圧	LDO1V5	Ta=25°C	-0.3~+2.0	V
アナログ電源電圧	LDO1V8	Ta=25°C	-0.3~+6.5	V
27.12MHz 発振回路用電源電圧	LSO1V8_OSC	Ta=25°C	-0.3~+6.5	V
入力電圧	VDIN	Ta=25°C、デジタルポート	-0.3~VDD_IO+0.3	V
		Ta=25°C、RX0	-0.3~+6.5	V
入力電流	li	Ta=25°C、デジタルポート	-10~+10	mA
出力電圧	VDO	Ta=25°C、デジタルポート	-0.3~VDD_IO+0.3	V
デジタル出力電流	Ido	Ta=25°C	-12~+20	mA
許容損失	PD	Ta=25°C	1	W
保存温度	Tstg	—	-55~+150	°C

### 6.2 推奨動作条件

項目	記号	条件	最小	標準	最大	単位
動作電圧	VDD_IO	—	1.8	—	5.5	V
	ISO_V	基板上で VDD_IO と接続	1.8	—	5.5	V
	P_EXT	—	4.5	5.0	5.5	V
	VDD_TX_5V	—	4.5	5.0	5.5	V
動作温度	Ta1	通常時	-40	+25	+85	°C
	Ta2	送電時	T.B.D.	+25	T.B.D.	°C
水晶発振周波数	fXTL		Typ -0.05%	27.12	Typ +0.05%	MHz
水晶外付け容量	C <sub>DL</sub> C <sub>GL</sub>	日本電波工業(株) NX2016SA(CL=6pF)	Typ -1%	8	Typ +1%	pF
	C <sub>DL</sub> C <sub>GL</sub>	日本電波工業(株) NX2016SA(CL=8pF)	Typ -1%	12	Typ +1%	pF
	C <sub>DL</sub> C <sub>GL</sub>	京セラ(株) CX1210SB(CL=6pF)	Typ -1%	8	Typ +1%	pF
	C <sub>DL</sub> C <sub>GL</sub>	京セラ(株) CX2016DB(CL=8pF)	Typ -1%	12	Typ +1%	pF
	C <sub>DL</sub> C <sub>GL</sub>	TXC SMD SEAM SEALING XTAL 2.0 x 1.6(CL=8pF)	Typ -1%	12	Typ +1%	pF
LDO1V5 外付けキャパシタ	CLDO1V5	—	Typ -10%	2.2	Typ +10%	μF
P_EXT 外付けキャパシタ	CPEXT	—	Typ -10%	2.2	Typ +10%	μF
LDO1V8 外付けキャパシタ	CLDO1V8	—	Typ -10%	0.47	Typ +10%	μF
LDO1V8_OSC 外付けキャパシタ	CLDO1V8OSC	—	Typ -10%	0.47	Typ +10%	μF
VDD_IO 外付けキャパシタ	CVDDIO	—	Typ -10%	0.1	Typ +10%	μF
VDD_TX_5V 外付けキャパシタ	CTX5V	—	Typ -10%	2.2	Typ +10%	μF
AIN 端子入力電圧	V <sub>AIN</sub>	AIN0,AIN6,AIN7	0	—	1.8	V

### 6.3 フラッシュメモリ動作条件

項目	記号	条件	範囲	単位
動作温度(周囲)	T <sub>OP</sub>	書き込み/消去時	-20 to +60	°C
動作電圧	P_EXT	書き込み/消去時	4.5 to 5.5	V
書き換え回数	C <sub>EPD</sub>	プログラム領域	100	回
		データ領域	10,000	回
消去単位	-	セクタ消去(プログラム領域)	1	KB
		セクタ消去(データ領域)	128	B
消去時間(最大)	-	セクタ消去	50	ms
書き込み単位	-	プログラム領域	4 byte	-
		データ領域	1 byte	-

### 6.4 送電特性

(VDD\_IO=1.8 to 5.5V, VDD\_TX\_5V=4.5 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
nmos0 出力周波数	F <sub>TX</sub>	-	-	13.56	-	MHz

### 6.5 発振特性

(VDD\_IO=1.8 to 5.5V, P\_EXT=4.5 to 5.5V, VSS=0V)

項目	記号	条件	最小	標準	最大	単位
低速内蔵 RC 発振周波数 <sup>*1</sup>	f <sub>LCR</sub>	-	-10%	32.768	+10%	kHz

\*1: 1024 サイクルの平均値です。

### 6.6 SA-ADC 特性

(VDD\_IO=1.8 to 5.5V, P\_EXT=4.5 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
分解能	n	-	-	10	-	bit
積分非直線性誤差	INL	LDO1V8=1.8V	-6	-	+6	LSB
微分非直線性誤差	DNL	LDO1V8=1.8V	-6	-	+6	LSB
ゼロスケール誤差	ZSE	-	-6	-	+6	LSB
フルスケール誤差	FSE	-	-6	-	+6	LSB
入力インピーダンス	RI	-	-	6k	-	Ω
SA-ADC 基準電位	V <sub>REF</sub>	LDO1V8=V <sub>REF</sub>	-	1.8	-	V

## 6.7 リセット特性

(VDD\_IO=1.8 to 5.5V, P\_EXT=4.5 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
RESET_N パルス幅	P <sub>RST</sub>	—	2	—	—	ms
RESET_N ノイズ除去パルス幅	P <sub>NRST</sub>	—	—	—	0.3	μs

## 6.8 DAC 特性

(VDD\_IO=1.8 to 5.5V, P\_EXT=4.5 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
出力電圧範囲	V <sub>DAC</sub>	dac_level=0 to 511	—	4	—	V
出力電圧ステップ幅	V <sub>STEP</sub>	—	—	—	10	mV
出力電圧温度特性	V <sub>temp</sub>	最大値-最小値	—	—	1	dB

## 6.9 交流特性 (I<sup>2</sup>C Bus Interface)

### ● Standard Mode 100 kHz

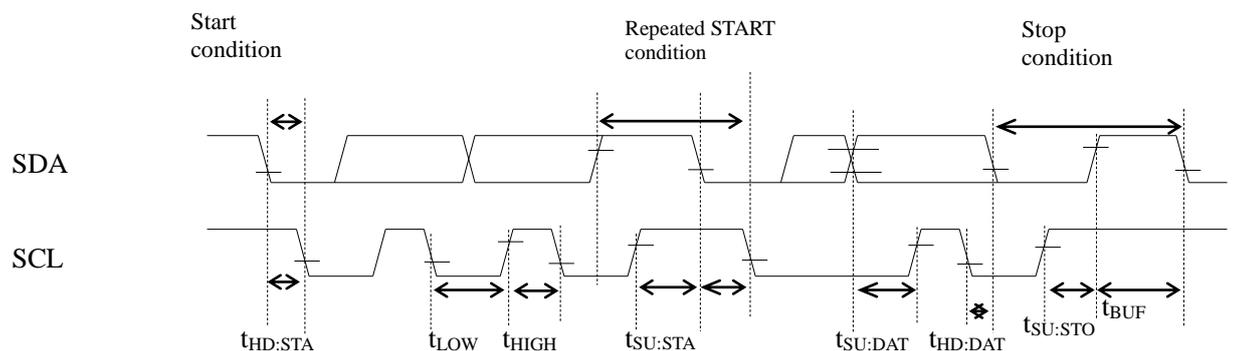
(VDD\_IO=1.8 to 5.5V, P\_EXT=4.5 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
SCL clock frequency	f <sub>SCL</sub>	—	—	—	100	kHz
SCL hold time (start/repeated start condition)	t <sub>HD:STA</sub>	—	4.0	—	—	μs
SCL "L" level time	t <sub>LOW</sub>	—	4.7	—	—	μs
SCL "H" level time	t <sub>HIGH</sub>	—	4.0	—	—	μs
SCL setup time (repeated start condition)	t <sub>SU:STA</sub>	—	4.7	—	—	μs
SDA hold time	t <sub>HD:DAT</sub>	—	0	—	—	μs
SDA setup time	t <sub>SU:DAT</sub>	—	0.25	—	—	μs
SDA setup time (P: Stop condition)	t <sub>SU:STO</sub>	—	4.0	—	—	μs
Bus free time	t <sub>BUF</sub>	—	4.7	—	—	μs

### ● Fast Mode 400 kHz

(VDD\_IO=1.8 to 5.5V, P\_EXT=4.5 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
SCL clock frequency	f <sub>SCL</sub>	—	—	—	400	kHz
SCL hold time (start/repeated start condition)	t <sub>HD:STA</sub>	—	0.6	—	—	μs
SCL "L" level time	t <sub>LOW</sub>	—	1.3	—	—	μs
SCL "H" level time	t <sub>HIGH</sub>	—	0.6	—	—	μs
SCL setup time (repeated start condition)	t <sub>SU:STA</sub>	—	0.6	—	—	μs
SDA hold time	t <sub>HD:DAT</sub>	—	0	—	—	μs
SDA setup time	t <sub>SU:DAT</sub>	—	0.1	—	—	μs
SDA setup time (P: Stop condition)	t <sub>SU:STO</sub>	—	0.6	—	—	μs
Bus free time	t <sub>BUF</sub>	—	1.3	—	—	μs

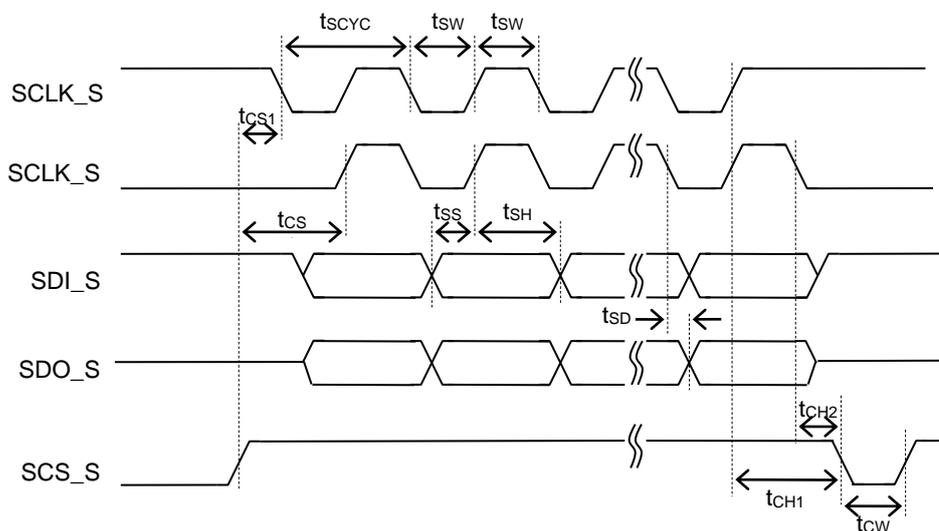


I<sup>2</sup>C スレーブは他のデバイスと共通の I<sup>2</sup>C バスに接続する場合、他のデバイスの通信を阻害する恐れがございますので、本 LSI の電源を落とさないようにしてください。

## 6.10 交流特性 (ホストインタフェース:SPIスレーブ)

(VDD\_IO/ISO\_V=1.8 to 5.5V, P\_EXT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
SCLK 入力サイクル	tscyc	—	500	—	—	ns
SCLK 入力パルス幅	tsw	—	200	—	—	ns
SCS セットアップ時間	tcs1	—	80	—	—	ns
	tcs2	—	80	—	—	ns
SCS ホールド時間	tch1	—	80	—	—	ns
	tch2	—	80	—	—	ns
SCS 入力パルス幅	tcw	—	80	—	—	ns
SDO 出力遅延時間	tSD	—	—	—	240	ns
SDI 入力セットアップ時間	tss	—	80	—	—	ns
SDI 入力ホールド時間	tsh	—	80	—	—	ns

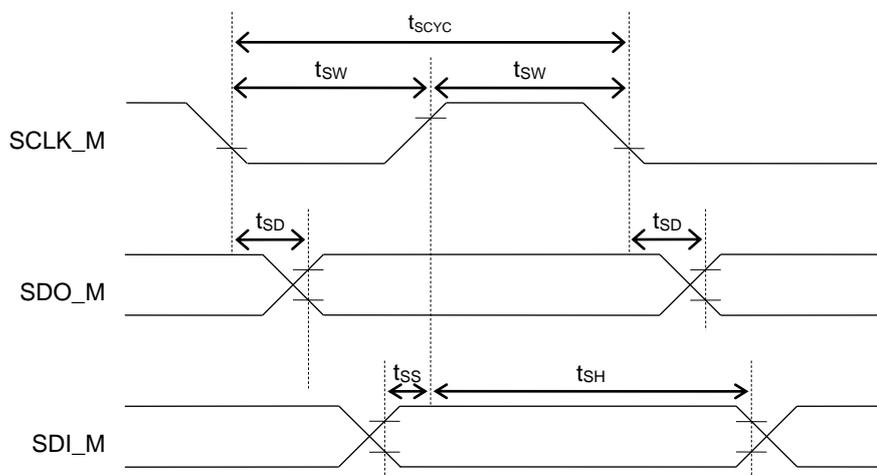


## 6.11 交流特性 (SPI マスタ)

(VDD\_IO/ISO\_V=1.8 to 5.5V, P\_EXT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
SCLK_M 出力サイクル	t <sub>scyc</sub>	—	—	SCLK <sup>*1</sup>	—	s
SCLK_M 出力パルス幅	t <sub>sw</sub>	—	t <sub>scyc</sub> ×0.4	t <sub>scyc</sub> ×0.5	t <sub>scyc</sub> ×0.6	s
SDO_M 出力遅延時間	t <sub>sd</sub>	—	—	—	100	ns
SDI_M 入力セットアップ時間	t <sub>ss</sub>	—	100	—	—	ns
SDI_M 入力ホールド時間	t <sub>sh</sub>	—	60	—	—	ns

\*1: インターフェースレジスタにより選択された内部クロックの周期



## 6.12 IO 特性

(特に指定のない場合は、VDD\_IO=1.8 to 5.5V, P\_EXT=4.5 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
出力電圧 1 (P00-P07, P10-P17)	VOH1	IOH=-1.0mA	VDD_IO -0.5	-	-	V
	VOL1	IOL=+0.5mA	-	-	0.4	V
出力電圧 2 (P00-P07, P10-P17) (LED モード選択時)	VOL2	2.7V ≤ VDD_IO ≤ 5.5V IOL=+5.0mA	-	-	0.6	V
		IOL=+2.0mA	-	-	0.4	V
出力電圧 3 (P00-P03) (I <sup>2</sup> C モード選択時)	VOL3	IOL3= +3mA (I <sup>2</sup> Cspec) (VDD_IO ≥ 2V)	-	-	0.4	V
出力電圧 4 (P00-P03) (I <sup>2</sup> C モード選択時)	VOL4	IOL4= +2mA (I <sup>2</sup> Cspec) (VDD_IO < 2V)	-	-	VDD_IO ×0.2	V
出力リーク 1 (P00-P07, P10-P17)	IOOH1	VOH=VDD_IO (at high impedance)	-	-	1	μA
	IOOL1	VOL=VSS (at high impedance)	-1	-	-	μA
入力電流 1 (RESET_N)	I IH1	VIH1=VDD_IO	-	-	1	μA
	I IL1	VIL1=VSS	-900	-300	-20	μA
入力電流 2 (TEST0)	I IH2	VIH2=VDD_IO	-	-	1	μA
	I IL2	VIL2=VSS	-200	-15	-1	μA
入力電流 3 (P00-P07, P10-P17)	I IH3	VIH3=VDD_IO (プルダウン時)	1	15	200	μA
	I IL3	VIL3=VSS (プルアップ時)	-200	-15	-1	μA
	I IH3Z	VIH3=VDD_IO (at high impedance)	-	-	1	μA
	I IL3Z	VIL3=VSS (at high impedance)	-1	-	-	μA
入力電圧 1 (RESET_N, TEST0, P00-P07, P10-P17)	VIH1	-	0.75× VDD_IO	-	VDD_IO	V
	VIL1	-	0	-	0.3× VDD_IO	V
入力端子容量 (RESET_N, TEST0, P00-P07, P10-P17)	CIN	f=10kHz Vrms=50mV Ta=25°C	-	10	-	pF

標準値は Ta=25°C, VDD\_IO=3.0V のとき

## 6.13 消費電流

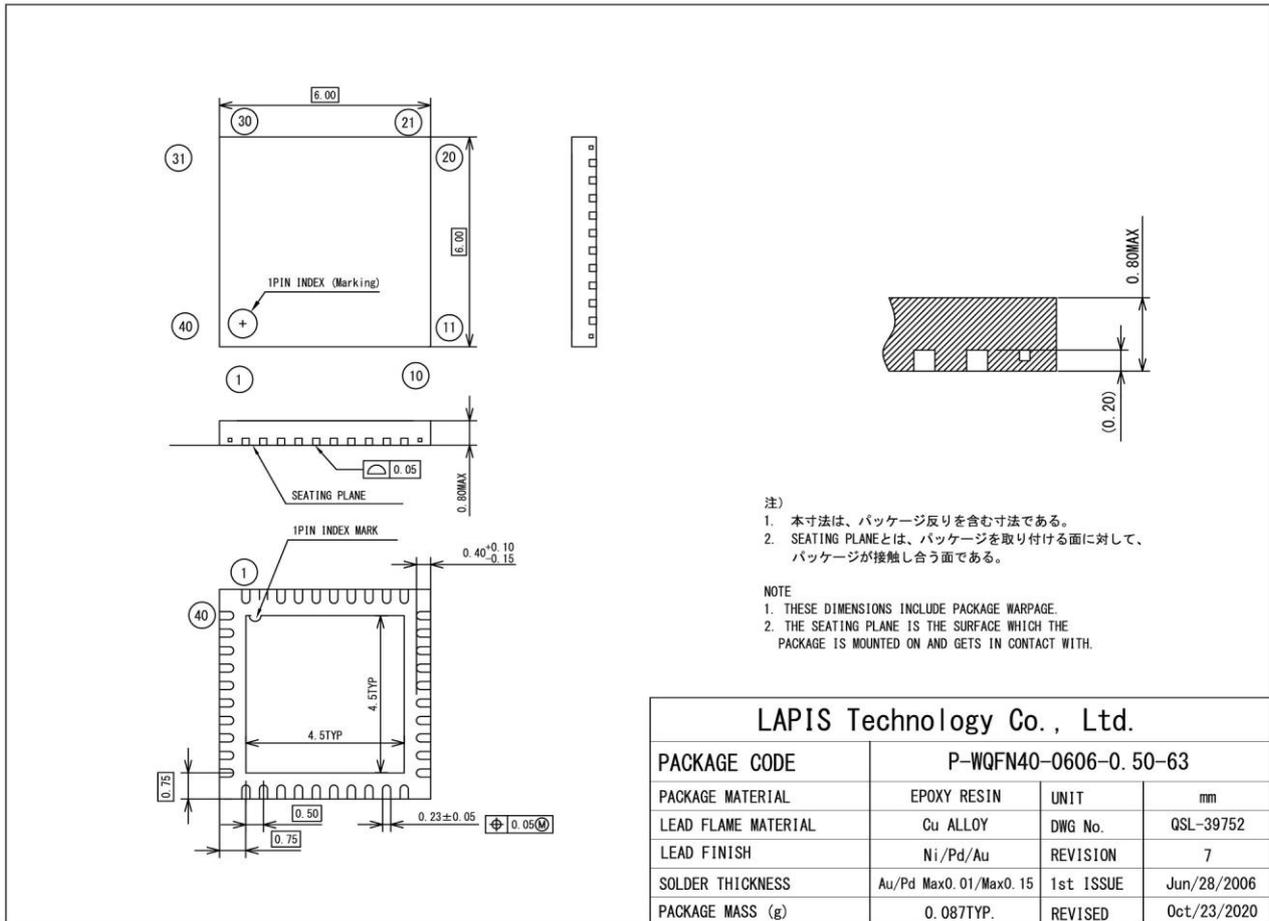
(VDD\_IO=1.8 to 5.5V, P\_EXT=4.5 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
消費電流	IDD1	HALT-H 高速クロック停止	-	7	23.6	uA
	IDD2	HALT	-	1.3	2.0	mA
	IDD3	CPU 6.78MHz 動作 ペリフェラル停止	-	2.2	3.0	mA
	IDD4	CPU 6.78MHz 動作 通信時*	-	15	-	mA
	IDD5	CPU 6.78MHz 動作 給電時*	-	20	-	mA

\* 消費電流はアンテナ設計に依存します。負荷抵抗が小さくなれば、消費電流は大きくなります。  
外付け Tr.の電流は含まれません。

## 7. パッケージ

### WQFN40 ピン



#### 表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをローム営業窓口まで必ずお問い合わせください。



## 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL7661-01	2021.10.04	—	—	正式初版発行

## ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途へのご使用を意図しています。  
本製品を、特に高い信頼性が要求される機器(車載・船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム等)に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。  
当社の意図していない用途に製品を使用したことにより損害が生じても、当社は一切その責任を負いません。  
また、本製品は直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)には、使用できません。
- 6) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 7) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、当社はその責任を負うものではありません。
- 8) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 9) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 10) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。
- 11) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2021 LAPIS Technology Co., Ltd.

**ラピステクノロジー株式会社**

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>