

# MCU 基板設計時の注意事項

---

発行日 2020 年 10 月 27 日

## ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途へのご使用を意図しています。  
本製品を、特に高い信頼性が要求される機器(車載・船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム等)に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。  
当社の意図していない用途に製品を使用したことにより損害が生じても、当社は一切その責任を負いません。  
また、本製品は直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)には、使用できません。
- 6) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 7) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、当社はその責任を負うものではありません。
- 8) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 9) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 10) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。
- 11) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2019-2020 LAPIS Technology Co., Ltd.

## ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com/>

## 目次

1. はじめに.....	1
2. 基板設計時の注意事項の優先順位について.....	1
3. MCU 基板設計時の注意事項.....	2
3.1 電源接続.....	2
3.2 発振回路.....	3
3.3 伝送線路.....	3
3.4 信号端子の処置.....	4
3.4.1 各端子にダンピング抵抗の配置.....	4
3.4.2 各端子にダンピング抵抗とコンデンサの配置.....	5
3.5 アナログ回路.....	6
3.5.1 逐次比較型 A/D コンバータ.....	6
3.5.2 RC-ADC.....	8
4. 基板設計時の一般的な EMC 対策 (MCU 周辺推奨回路・パターンの参考例).....	9
4.1 MCU 周辺推奨回路.....	9
4.1.1 電源 IC の選択.....	9
4.1.2 積層セラミックコンデンサの選択.....	10
4.1.3 割込端子(リセット, モード設定端子含む)のプルアップ・プルダウン抵抗配置と抵抗値.....	11
4.1.4 コンデンサの選択と配置1: $V_{DDL}$ の場合.....	12
4.1.5 コンデンサの選択と配置2: $V_{DD}$ , $AV_{DD}$ の場合.....	13
4.2 MCU 周辺推奨パターン.....	14
4.2.1 コンデンサの配置1.....	14
4.2.2 コンデンサの配置2.....	15
4.2.3 電源端子・コンデンサ・グラウンド端子の配線ループ面積最小化.....	16
4.2.4 信号配線のダンピング抵抗挿入位置.....	17
4.2.5 信号配線の層変更でのビア配置.....	18
4.2.6 MCU 裏面の $V_{SS}$ ベタパターン1.....	19
4.2.7 MCU 裏面の $V_{SS}$ ベタパターン 2.....	20
4.2.8 電源・ $V_{SS}$ 配線は太く、短く配線.....	21
5. より一層のノイズ対策のための回路構成.....	22
5.1 電源処理.....	22
5.1.1 $V_{DDL}$ ・コンデンサ間にフェライトビーズの挿入.....	22
5.1.2 $V_{DD}$ ・ $V_{SS}$ 間パスコンの構成について.....	23
5.1.3 ツェナーダイオード・バリスタの配置.....	24
5.1.4 L 型フィルタの構成1.....	25
5.1.5 L 型フィルタの構成2.....	26
5.1.6 T 型フィルタの構成.....	27
5.1.7 $AV_{DD}$ ・ $V_{DD}$ 間、 $AV_{SS}$ ・ $V_{SS}$ 間にフェライトビーズの選択・挿入.....	28

5.2 端子処理 .....	29
5.2.1 ツェナーダイオードの配置.....	29
5.2.2 バリスタの配置 .....	30
6. 改版履歴 .....	31

## 1. はじめに

本アプリケーションノートでは、ラピステクノロジー製 MCU を搭載する基板を設計する際に注意すべき事項を示します。本アプリケーションノートに掲載されている情報は参考であり、明示的・暗黙的問わず、弊社が何らかの保証をするものではありません。これらの数値や回路例を元に設計した際は、十分な評価を行ってください。

## 2. 基板設計時の注意事項の優先順位について

本アプリケーションノートでは、「基板設計時の注意事項」と「基板設計時の一般的な EMC 対策 (MCU 周辺推奨回路・パターンの参考例)」および「より一層のノイズ対策のための回路構成」を掲載しております。「基板設計時の注意事項」と「基板設計時の一般的な EMC 対策 (MCU 周辺推奨回路・パターンの参考例)」をご検討していただいたうえで、さらにノイズ対策が必要な場合に「より一層のノイズ対策のための回路構成」をご検討ください。

### 3. MCU 基板設計時の注意事項

#### 3.1 電源接続

- MCU 電源 ( $V_{DD}$ ) と MCU グラウンド ( $V_{SS}(=GND)$ ) の間、および、アナログ電源 ( $AV_{DD}$ ) とアナロググラウンド ( $AV_{SS}$ ) の間にはコンデンサを接続してください。
- コンデンサは MCU 直近に、電源グラウンド端子にできるだけ近づけ、幅広のパターンで各電源端子と接続してください。
- MCU の  $V_{DD}$  と  $AV_{DD}$  は電源ソースからスター結線とし、また、 $V_{SS}$  と  $AV_{SS}$  はグラウンドソースからスター結線とし、幅広のパターンで配線してください。
- $V_{SS}$  端子をベタパターンにすることを推奨します。
- レギュレータ出力 ( $V_{DDL}$ ) 端子に接続する推奨のコンデンサ  $C_L$  はできるだけ MCU 直近 ( $V_{DDL}$  端子の近く) に配置してください。その際、配線はビアを経由せず、できるだけ短くしてください。極力ループ面積は小さく配置してください。
- コンデンサ直近配置の優先順位: ①  $V_{DDL}$  > ②  $V_{DD}=AV_{DD}$  > ③  $V_{REF}$  となり、 $V_{DDL}$  は最優先です。

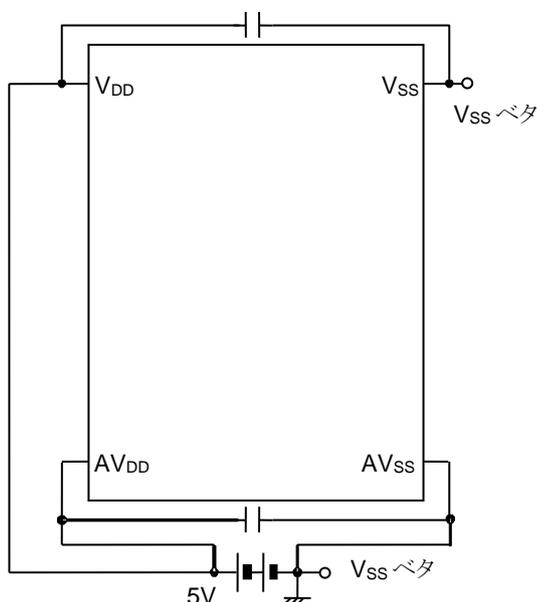


図1: 電源の接続例

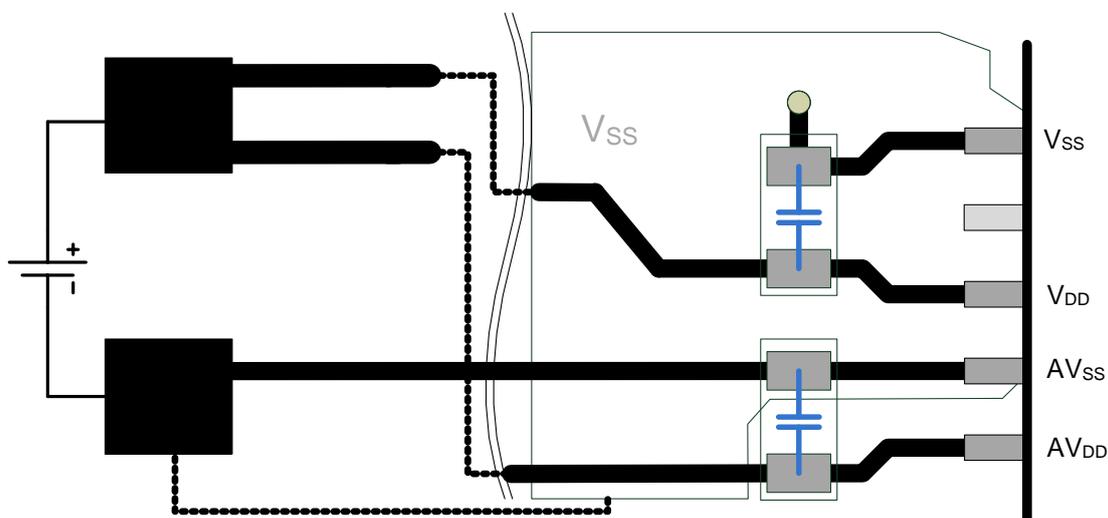


図2: 電源の配線例

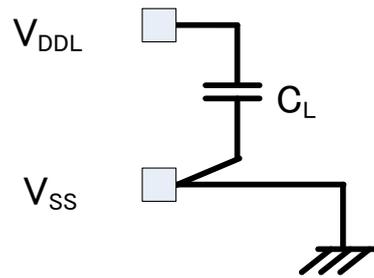


図3: VDDL 電源接続例

### 3.2 発振回路

- 回路基板の材質や配線パターン、および水晶振動子や端子などの配線容量や寄生容量によって期待する発振特性が得られない可能性があります。
- 発振回路(外付け抵抗、水晶発振外付けコンデンサ、水晶振動子)の配線は極力短くしてください。
- 発振回路はできる限り MCU に近づけて配置し、最短で配線してください。
- 発振回路の周辺および下層は信号パターンを配線しないでください。
- 発振回路の配線と大電流が流れる配線は交差および隣接させないでください。
- 発振回路の配線と他信号の配線は交差させないでください。
- 水晶発振外付けコンデンサの接地点への接続については、MCU の V<sub>SS</sub> を使用し、極力電流変動や電圧変動の小さい安定した V<sub>SS</sub> に接続してください。また、V<sub>SS</sub> も LSI 直近から配置し、かつ、V<sub>SS</sub>-コンデンサ-水晶発振端子(XT0,XT1)へのループがなるべく小さくなるようにしてください。
- 使用環境によっては基板の吸湿や基板表面での結露などで期待する発振特性が得られない可能性があります。回路基板を樹脂密閉するなどの対策を推奨します。
- ご使用の水晶振動子の最新の情報、注意事項などは水晶メーカーにお問い合わせください。

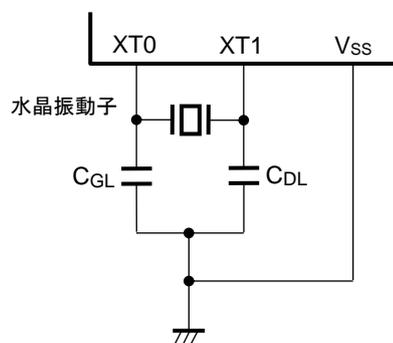


図4: 発振回路

### 3.3 伝送線路

- アナログ信号線とデジタル信号線を交差または並走させないでください。
- クロック信号線およびクロックと同等速度で変化する信号線は V<sub>SS</sub> パターンでガードリングしてください。
- 同期シリアルインターフェース、UART の信号線には必要に応じてダンピング抵抗を送信側に挿入してください。

### 3.4 信号端子の処置

#### 3.4.1 各端子にダンピング抵抗の配置

各端子から入力されるノイズを低減するため、信号ラインにダンピング抵抗を挿入することをご検討ください。ダンピング抵抗は LSI に近い位置に配置してください。その際、ダンピング抵抗の両端の配線がなるべく近接しないようにご配慮ください。ダンピング抵抗の抵抗値は  $100\Omega \sim 10k\Omega$  程度が目安ですが、評価にて決定してください。

このダンピング抵抗配置により、LSI の特性が出せなくなる場合もあります。ダンピング抵抗を用いることができない直流の大電流を流す必要がある端子には、フェライトビーズやインダクタを使用することで期待通りの LSI の特性が得られます。

また、ダンピング抵抗を介した回路の  $V_{DD}$  や  $V_{SS}$  は、LSI の  $V_{DD}$  や  $V_{SS}$  と直近接続せずスター配線やフェライトビーズを用いて電源分離してください。

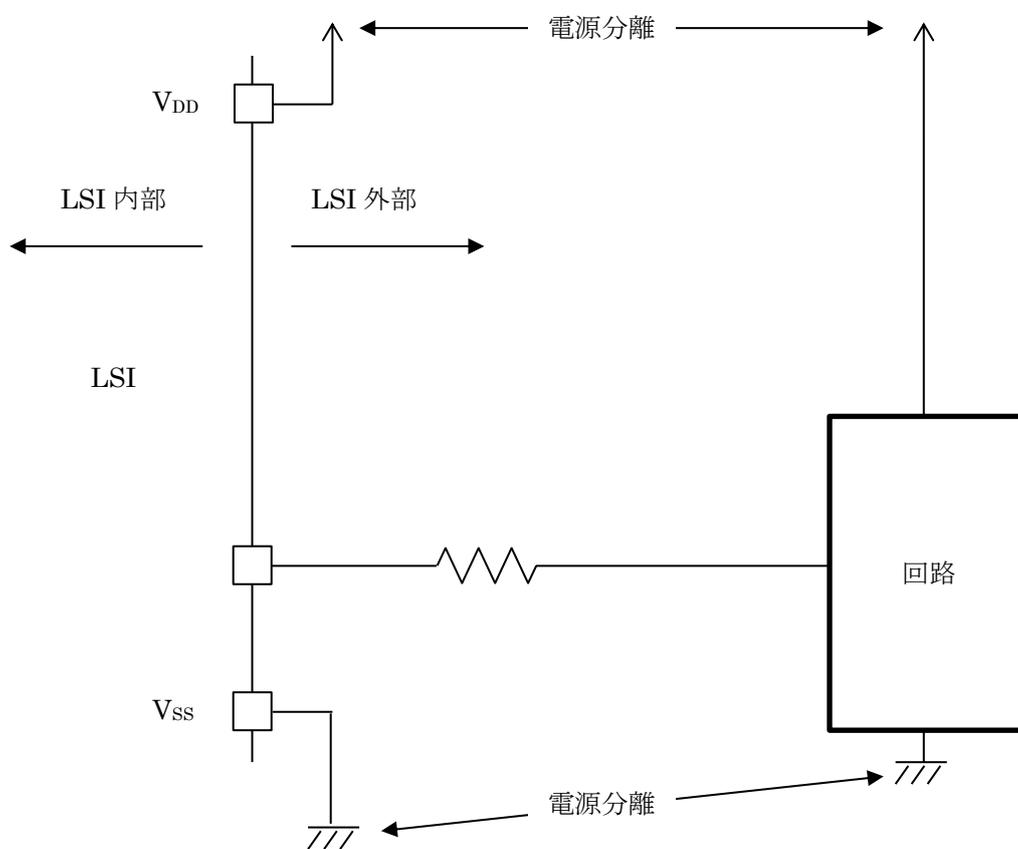


図5:各端子に抵抗の配置

### 3.4.2 各端子にダンピング抵抗とコンデンサの配置

各端子から入力されるノイズを低減するため、信号ラインにダンピング抵抗を挿入することとコンデンサを配置することをご検討ください。ダンピング抵抗とコンデンサは LSI に近い位置に配置してください。その際、ダンピング抵抗の両端の配線がなるべく近接しないようにご配慮ください。ダンピング抵抗の抵抗値は  $100\ \Omega \sim 10\text{k}\ \Omega$  程度、コンデンサの容量値は  $1\text{nF} \sim 0.1\ \mu\text{F}$  程度が目安ですが、評価にて決定してください。

このダンピング抵抗とコンデンサ配置により、LSI の特性が出せなくなる場合もあります。ダンピング抵抗を用いることができない直流の大電流を流す必要がある端子には、フェライトビーズやインダクタを使用することで期待通りの LSI の特性が得られます。

また、コンデンサは直近に配置し、コンデンサの  $V_{SS}$  は LSI の  $V_{SS}$  と接続してください。ダンピング抵抗を介した回路の  $V_{DD}$  や  $V_{SS}$  は、LSI の  $V_{DD}$  や  $V_{SS}$  と直近接続せずスター配線やフェライトビーズを用いて電源分離してください。

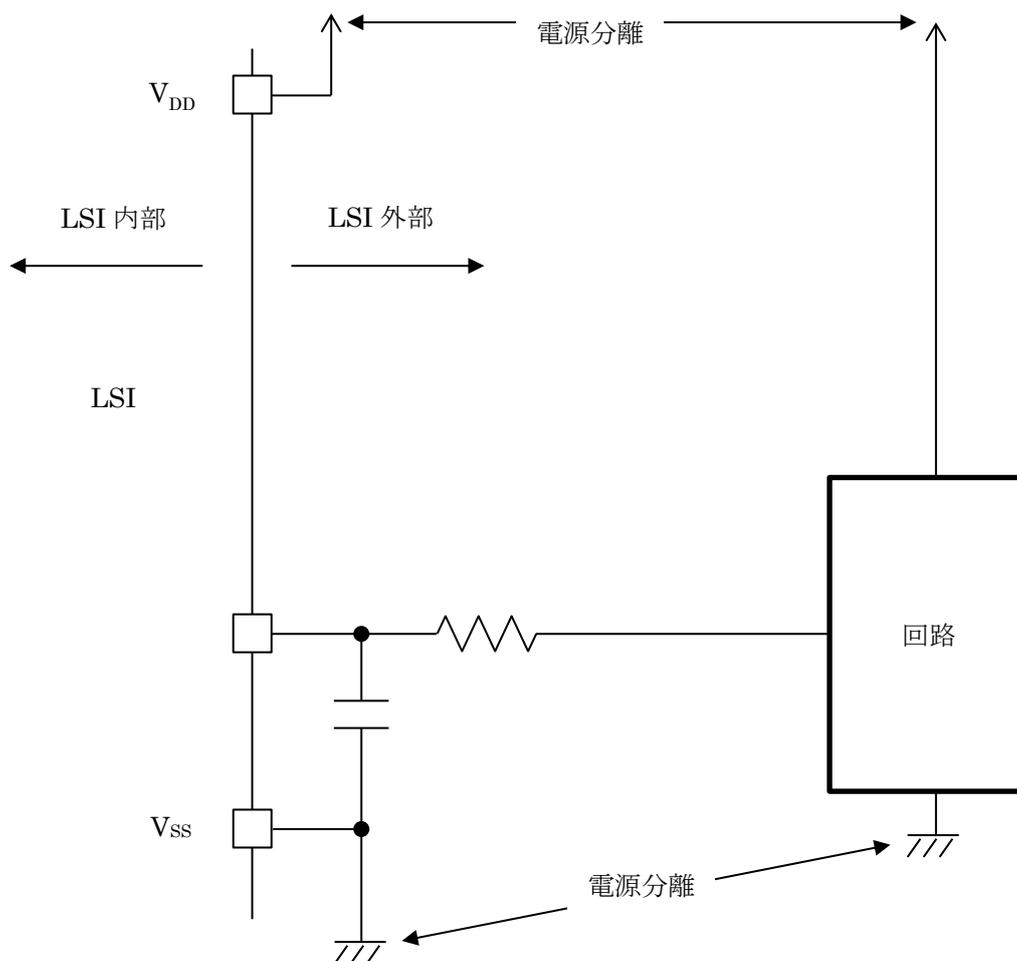


図6: 各端子に抵抗とコンデンサの配置

### 3.5 アナログ回路

#### 3.5.1 逐次比較型 A/D コンバータ

- 逐次比較型 A/D リファレンス電圧 ( $V_{REF}$ ) 端子に接続されるコンデンサ ( $C_{AV}$ ) は MCU 直近に配置してください。
- ノイズ対策によりアナログ入力端子 ( $AINn$ ) と  $AV_{SS}$  間にコンデンサ ( $C_{AIN}$ ) を挿入する場合にはできるだけ端子の近くに配置してください。
- アナログ入力端子に接続されるパターンは、デジタル信号パターンと並走しないよう配線してください。

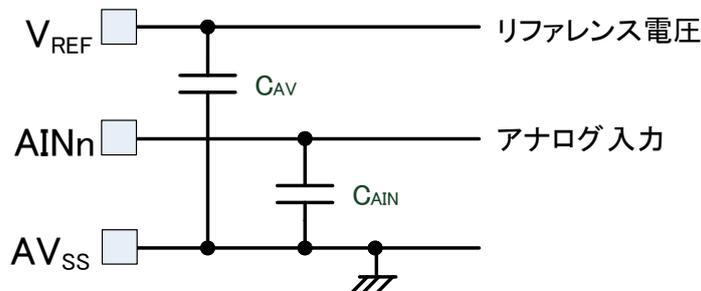


図7: 逐次比較型 A/D コンバータ周辺回路

- アナログソースの出力インピーダンスについて  
MCU に侵入するノイズ低減のため、アナログ入力端子に 100Ω から 10kΩ 程度の直列抵抗を挿入する必要がある場合があります。一方で、正しく A/D 変換するためにはアナログ入力端子の入力インピーダンスを考慮する必要があります。このアナログ入力抵抗はアナログソースの出力インピーダンスと前述のアナログ入力端子に挿入する直列抵抗により決まります。図 6 に C<sub>AIN</sub> コンデンサをつけていない場合のアナログ入力の等価回路を示します。C<sub>AIN</sub> コンデンサをつけていない場合、アナログソースの出力インピーダンス R<sub>s</sub> とアナログ入力端子に挿入する直列抵抗 R<sub>r</sub> の和が大きいとサンプル時間内に A/D コンバータ内部コンデンサ C<sub>i</sub> への充電が完了しないため、AD 変換が正確に行われません。A/D 変換を精度よく行うためにはアナログソースの出力インピーダンス R<sub>s</sub>+R<sub>r</sub> が以下の式で求められる値より小さい値である必要があります。

$$R_s + R_r < T_{\text{sample}} / \{k * (C_i + C_p)\} - R_i$$

T <sub>sample</sub> :	サンプル時間
C <sub>i</sub> :	内部コンデンサ
C <sub>p</sub> :	寄生容量
R <sub>i</sub> :	内部抵抗値
k:	精度係数
R <sub>s</sub> +R <sub>r</sub> :	アナログ入力抵抗
R <sub>s</sub> :	アナログソースの出力インピーダンス
R <sub>r</sub> :	アナログ入力端子に挿入する直列抵抗

表1: 精度係数表

精度	ビット数	
	12bit	10bit
1/2 LSB	9.0	7.6
1/4 LSB	9.7	8.3
1/8 LSB	10.4	9.0
1/16 LSB	11.1	9.7

計算例: (ML62Q1000)

ML62Q1000 には 10bit の逐次比較型 A/D コンバータが搭載されています。

ML62Q1500 グループを使用した場合、この商品に搭載された A/D コンバータのサンプル時間、内部コンデンサおよび内部抵抗値は以下ようになります。

$T_{\text{sample}}=1\mu\text{s}$  @ 変換クロック: 4MHz, サンプルクロック数: 4clk

$C_i = 5\text{pF}$  ,  $R_i = 7\text{k}\Omega @ V_{\text{DD}}=5\text{V}$  ,  $C_p = 5\text{pF}$

1/2 LSB の精度での  $R_s$  の最大値は以下ようになります。

$R_s+R_r \leq 1\text{E-}6 / \{(5\text{E-}12+5\text{E-}12) * 7.6\} - 7\text{E}+3 \approx 6\text{k}\Omega$

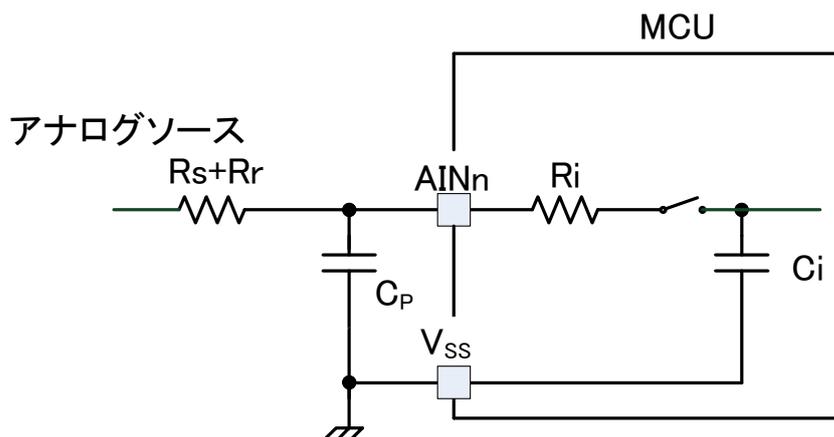


図8: アナログ入力の等価回路 ( $C_{\text{AIN}}$  がない場合)

$R_s+R_r$  抵抗が上記計算値より大きい場合でも、 $C_{\text{AIN}}$  コンデンサをつけることで、 $C_{\text{AIN}}$  コンデンサからの  $C_i$  コンデンサへの電荷再分配で正しく充電されます。 $C_{\text{AIN}}$  コンデンサをつけた場合のアナログ入力の等価回路を図 7 に示します。その際  $C_{\text{AIN}}$  の容量値は十分に考慮する必要があります。たとえば、1/2LSB まで精度を向上するためには、下記式を満たす必要があります。

$$C_{\text{AIN}} = C_i * 2^{n+1}$$

n: AD の分解能

ただし、 $C_{\text{AIN}}$  を大きくしすぎると A/D コンバータのアナログ入力が、アナログソースの周波数応答に追従できなくなります。最適な値は評価してご確認ください。

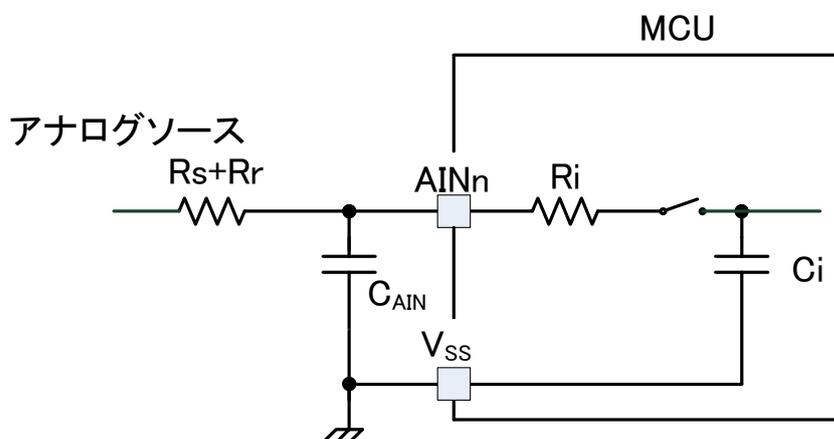


図9: アナログ入力の等価回路 ( $C_{\text{AIN}}$  がある場合)

## 3.5.2 RC-ADC

- 共通ノード(RS,CS,CVR およびそれらへの配線パターン)は、MCU に近づけて配置し、MCU 端子と最短で配線してください。
- IN 端子の接続パターンは、他の端子(RTn,RSn,CSn (n:0,1))の接続パターンと並走しないよう配慮してください。接続パターン間のカップリングコンデンサで A/D 変換が正しく行われな可能性がります。
- TH(サーミスタなど)の線路が部品配置の制限により長くなる場合は、信号を V<sub>SS</sub> パターンでガードしてください。(点線部分)
- デジタル信号およびアナログ信号の共通ノード周辺への配線や接続パターンとの並走および上下層での交差はしないよう配慮してください。
- 測定に必要な素子のみ配線してください。予備素子などが接続されていると A/D 変換動作に影響する可能性があります。

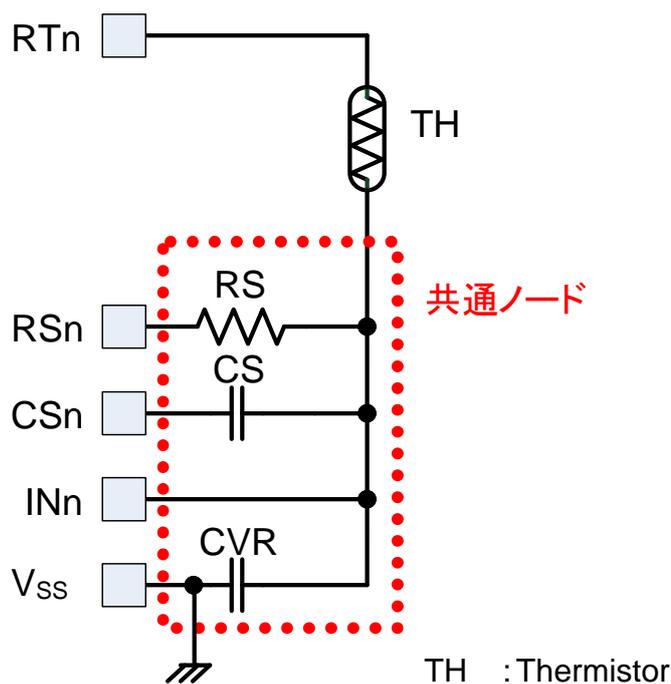


図10:RC 発振方式 AD コンバータ周辺回路

## 4. 基板設計時の一般的な EMC 対策（MCU 周辺推奨回路・パターンの参考例）

### 4.1 MCU 周辺推奨回路

#### 4.1.1 電源 IC の選択

MCU と一緒に使う電源 IC は、製品用途の EMI 規格を Pass する製品を使用してください。EMI 規格を Pass する電源 IC を使うことで、電源 IC のノイズによる MCU への影響も低減できます。EMI 試験適用済みのローム製電源 IC の使用を推奨します。

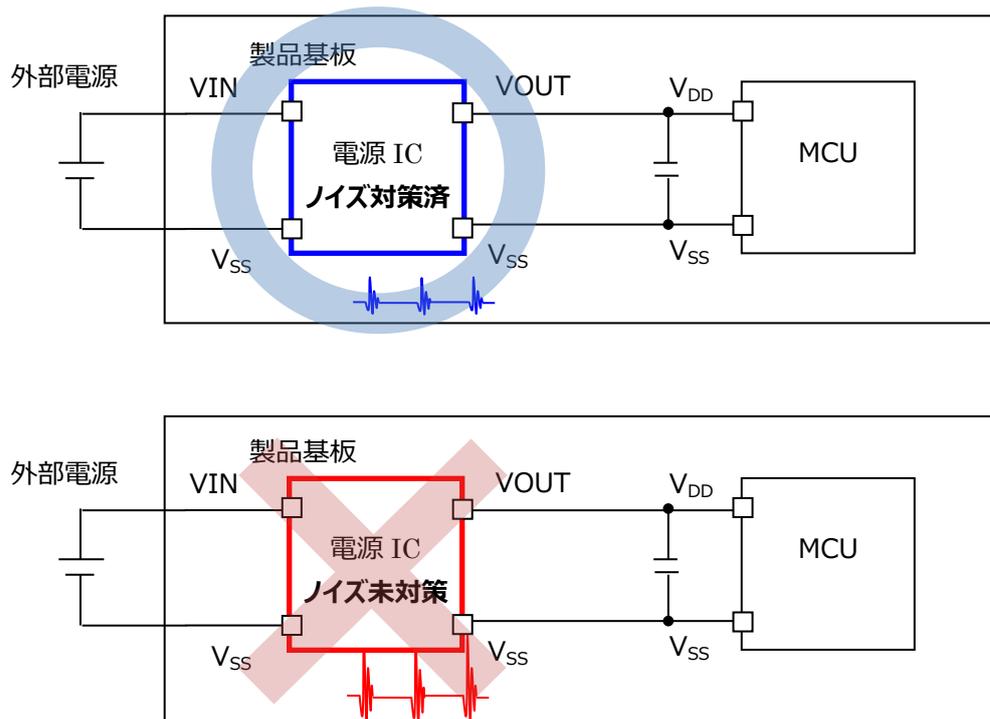


図11: 電源 IC の選択

## 4.1.2 積層セラミックコンデンサの選択

MCU 電源-グラウンド端子間に接続する  $1\mu\text{F}$  以上の積層セラミックコンデンサは、“DC バイアス特性”が小さいものの適用を推奨します。選択時に、使用電圧で所望の容量値となっているかどうか、必ず“DC バイアス特性”を確認してください。

小サイズ、高容量値の積層セラミックコンデンサは、高誘電帯品が一般的で、印加電圧が高くなると容量値が減少する特性を持ちます。MCU 内蔵レギュレータ出力に接続される位相補償コンデンサの容量値がずれると、動作不安定を招き、ノイズ印加時の誤動作を招きます。予め選定することで、ノイズ印加時に誤動作を抑制できます。

各コンデンサメーカー提供の Web Site、及び、専用ツールを用いて“DC バイアス特性”を確認し、選択できます。

下記図では  $V_{DDL}=2\text{V}$  としていますが、これは一例です。

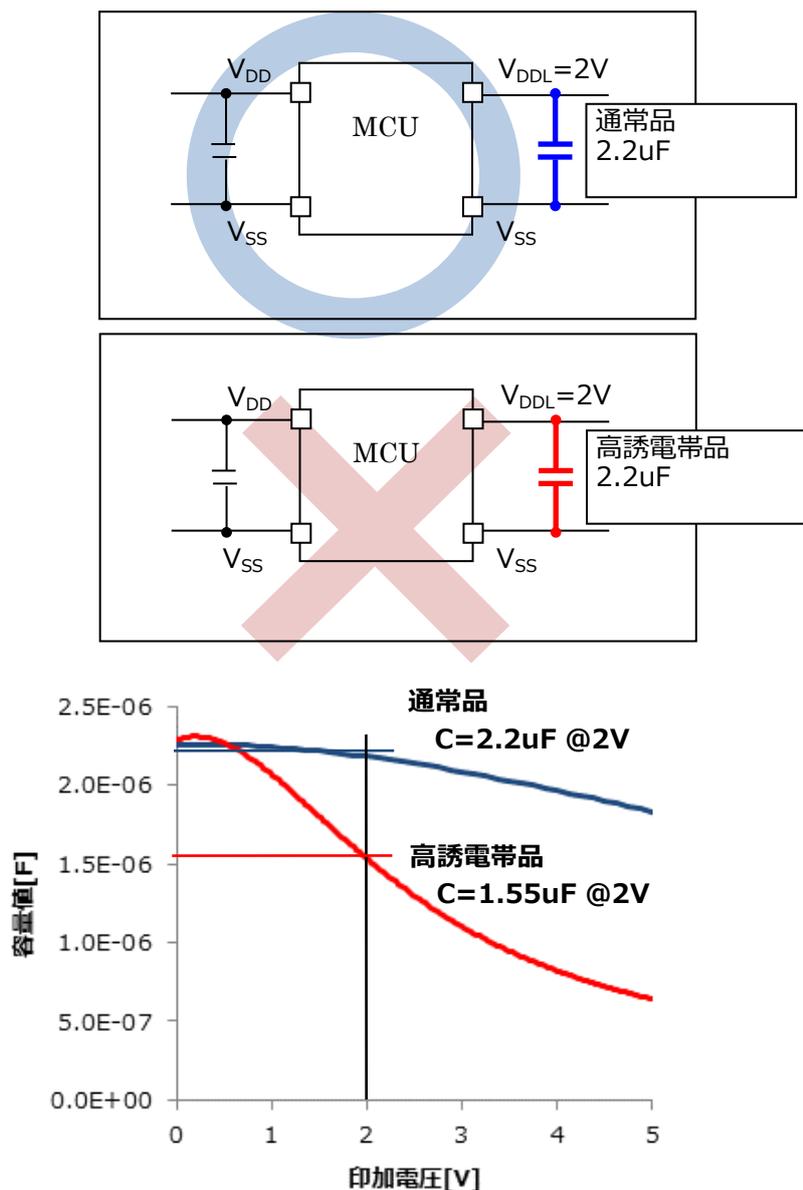


図12: 積層セラミックコンデンサの選択

#### 4.1.3 割込端子(リセット, モード設定端子含む)のプルアップ・プルダウン抵抗配置と抵抗値

割込端子 INT やリセット端子, モード設定端子接続のプルアップ抵抗, もしくはプルダウン抵抗までの配線は短く, かつ抵抗値を,  $1k\Omega$  程度としてください。

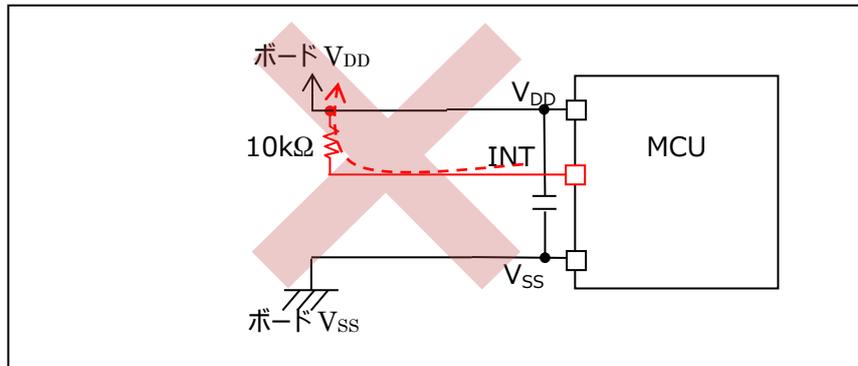
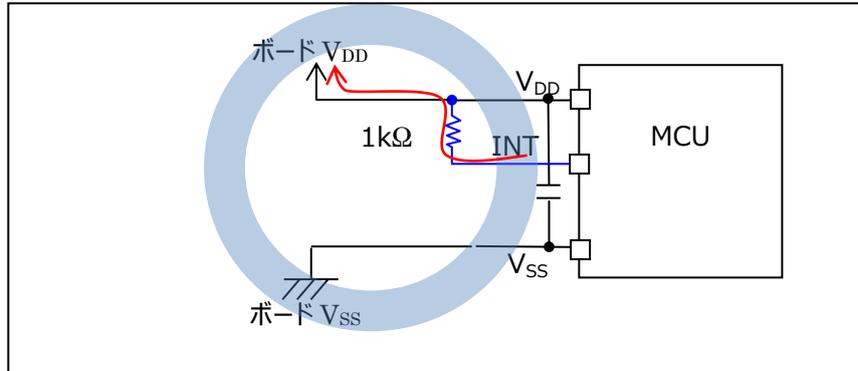
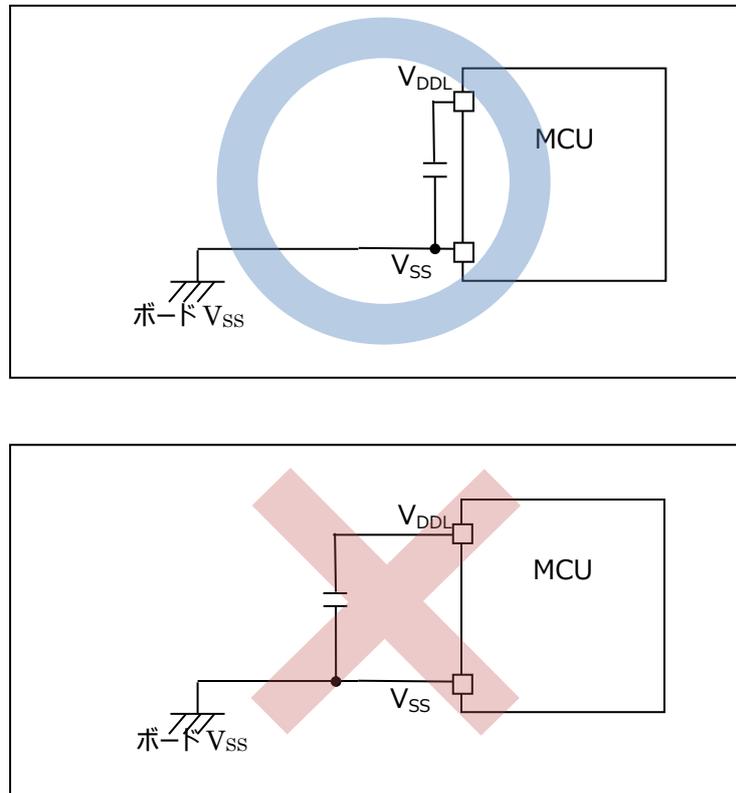


図13: 割込端子(リセット, モード設定端子含む)のプルアップ・プルダウン抵抗配置と抵抗値

4.1.4 コンデンサの選択と配置1:  $V_{DDL}$  の場合

MCU の内部ロジック用電源の EMS 対策として、 $V_{DDL}$  のコンデンサは MCU 直近に配置してください。その際、配線はビアを経由せず、できるだけ短くしてください。極力ループ面積は小さく配置してください。コンデンサ配置において、直近配置の優先順位は  $V_{DDL} > V_{DD} = AV_{DD} > V_{REF}$  となり、 $V_{DDL}$  は最優先です。また、 $V_{DDL}$  については、複数のコンデンサを使用せず、ループを最小限にするためひとつのコンデンサを使用してください。

図14:  $V_{DDL}$  コンデンサの選択と配置

#### 4.1.5 コンデンサの選択と配置2: $V_{DD}$ , $AV_{DD}$ の場合

複数のコンデンサの挿入により広い周波数範囲における電源インピーダンスを下げられるため、MCU の電源  $V_{DD}$  端子- $V_{SS}$  端子間、 $AV_{DD}$  端子- $AV_{SS}$  端子間に EMS 対策として接続するコンデンサは、推奨容量値のほかに  $0.1\mu\text{F}$  のコンデンサを接続することをご検討ください。複数のコンデンサを接続する場合は、容量値が小さい順に MCU の直近に接続してください。ただし、コンデンサの寄生インダクタ成分がつきすぎている場合や、推奨容量値と  $0.1\mu\text{F}$  の容量値が離れすぎている場合、共振点の関係上逆効果になる懸念がございます。評価にてご確認ください。

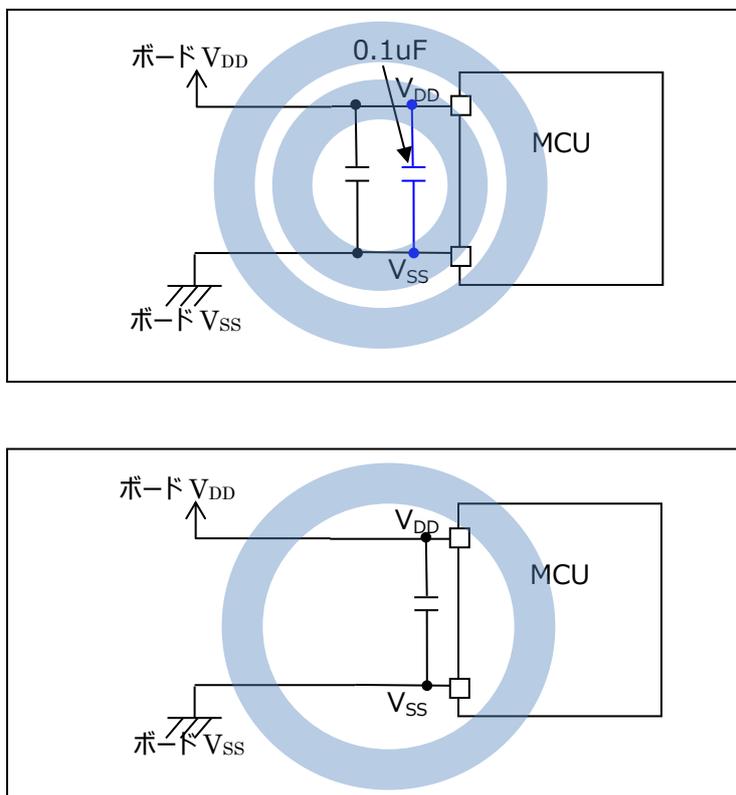


図15:  $V_{DD}$ ,  $AV_{DD}$  コンデンサの選択と配置

## 4.2 MCU 周辺推奨パターン

### 4.2.1 コンデンサの配置1

MCU の電源端子-グラウンド端子直近にコンデンサを配置してください。  
電源端子, グラウンド端子とコンデンサの位置が近いほど, その間の配線にノイズが乗りにくくなり, 誤動作を抑制できます。コンデンサの直近配置の優先順位は  $V_{DDL} > AV_{DD} = V_{DD} > V_{REF}$  となります。

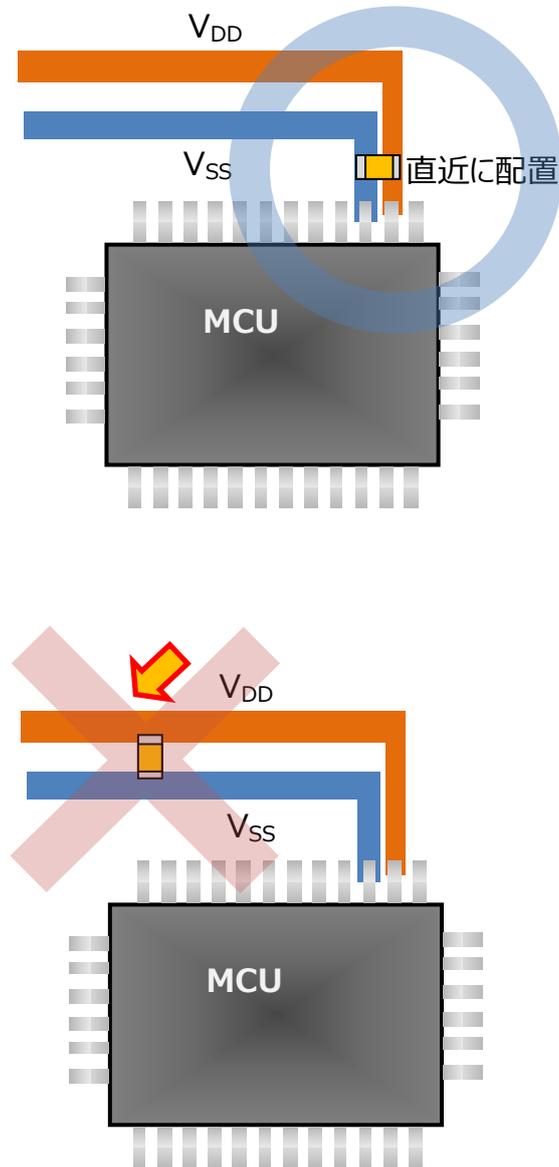


図16:コンデンサの配置1

## 4.2.2 コンデンサの配置2

MCU の電源端子-グラウンド端子間に配置するコンデンサは、電源配線、グラウンド配線それぞれの分岐前に配置してください。

コンデンサを電源配線グラウンド配線の分岐後に配置すると、ノイズはコンデンサより先に MCU の電源・グラウンド端子に侵入し、誤動作の要因となるためです。

MCU 直下に  $V_{SS}$  ベタパターンを配置する場合も、コンデンサを介した配線でパターンを配置してください。

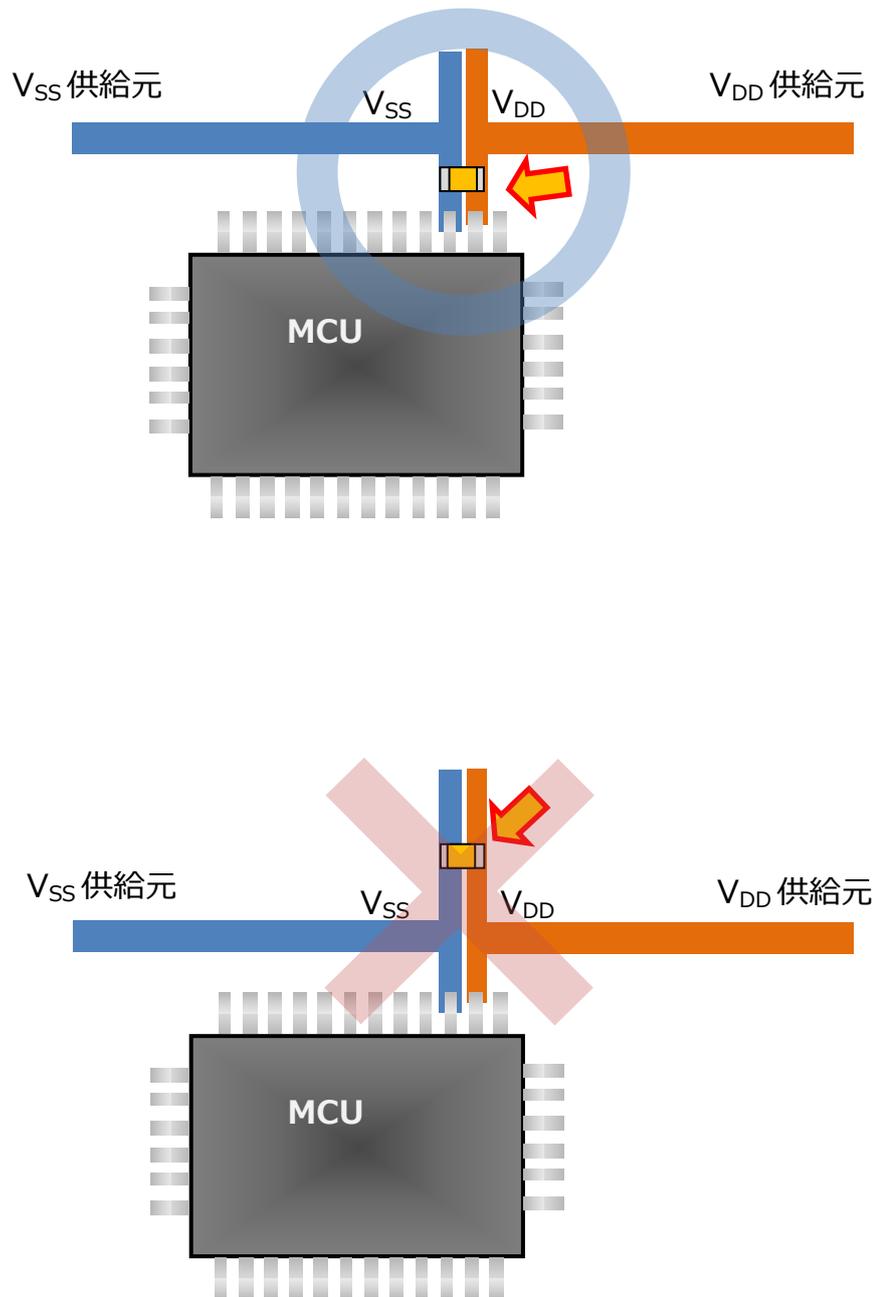


図17:コンデンサの配置2

#### 4.2.3 電源端子-コンデンサ-グラウンド端子の配線ループ面積最小化

MCU の電源端子-コンデンサ-グラウンド端子の接続配線によるループ面積を小さくしてください。

基板上的電源端子-コンデンサ-グラウンド端子の配線ループにノイズが飛び込むと、誘起電流が発生して端子に侵入し、誤動作を引き起こします。誘起電流は、そのループ面積に比例するため、なるべくループ面積を小さくすることで誤動作を抑制できます。

不要な配線ループを作らないようにしてください。特に1層基板では注意が必要です。

また、 $V_{DDL}$  端子に接続するコンデンサは特にループ面積を小さくしてください。

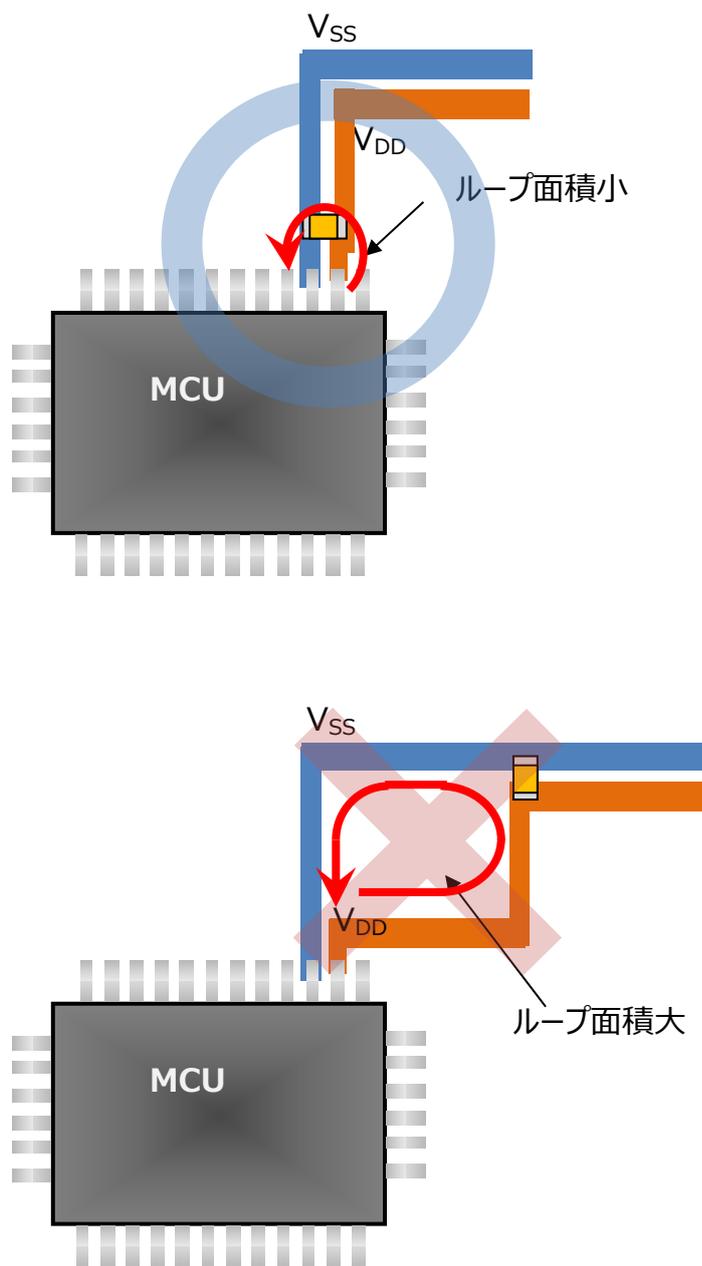


図18: 電源端子-コンデンサ-グラウンド端子の配線ループ面積最小化

## 4.2.4 信号配線のダンピング抵抗挿入位置

信号配線へダンピング抵抗を挿入する場合は、信号送信端子の近くに配置してください。

EMI 増大の原因となる信号遷移時のオーバーシュート、アンダーシュートは、ダンピング抵抗を挿入することで低減が可能です。MCU の信号出力端子近くに配置すると、信号反射が抑えられます。また、オーバーシュート、アンダーシュートに起因する LSI の故障を防ぐことにもつながります。

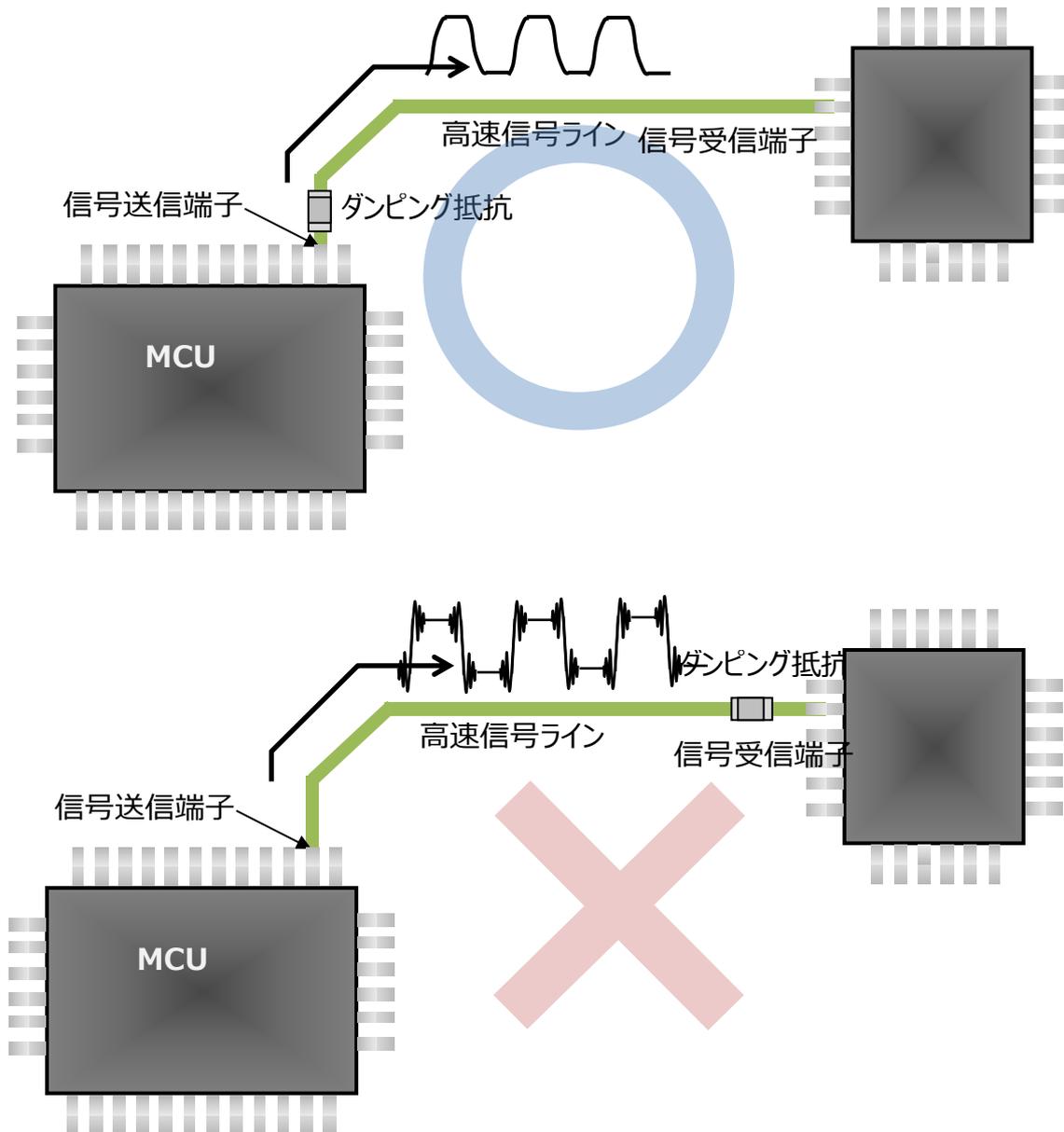


図19: 信号配線のダンピング抵抗挿入位置

## 4.2.5 信号配線の層変更でのビア配置

信号配線の層変更時には、各々のビアを千鳥状に配置してください。

信号配線の層変更時、一列にビア配置すると、内層  $V_{SS}$  に大きなスリットが生じます。この大きなスリットは、 $V_{SS}$  リターン電流の迂回を招き、EMI 増大させるため、千鳥にして電流迂回経路を無くします。

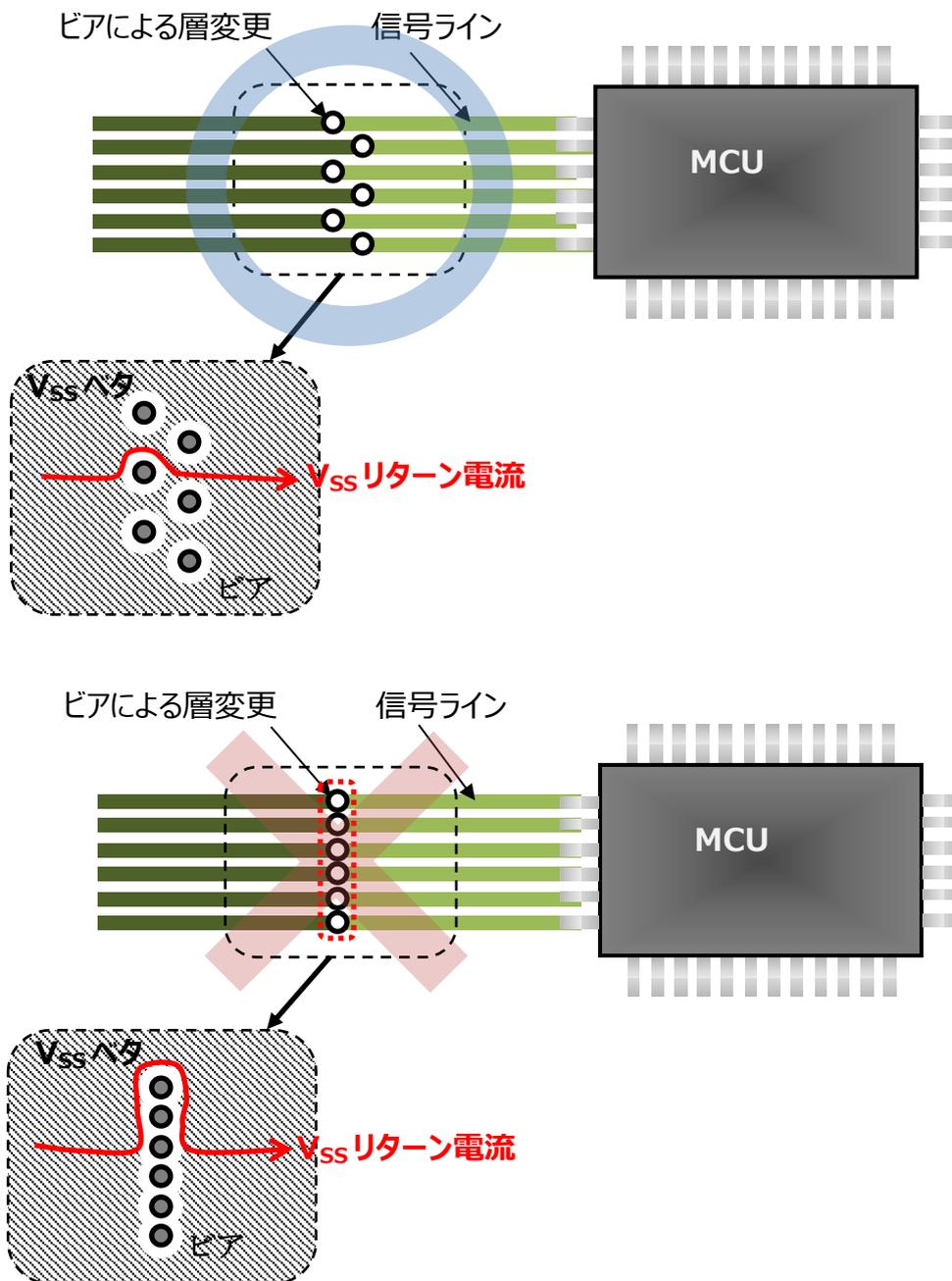


図20: 信号配線の層変更でのビア配置

4.2.6 MCU 裏面の  $V_{SS}$  ベタパターン1

MCU 裏面を  $V_{SS}$  ベタパターンにすることをご検討ください。

2層以上の基板では、MCU、および配線の裏面に、外部からのノイズシールドとなる  $V_{SS}$  ベタパターンを配置することで誤動作を抑制できます。

1層基板では、MCU、および配線の裏面に  $V_{SS}$  金属シールドを設置することで誤動作を抑制できます。または、MCU 直下に  $V_{SS}$  ベタパターンを配置する方法もあります。ただし、本資料の「3.2.2 コンデンサの配置 2」にご注意ください。

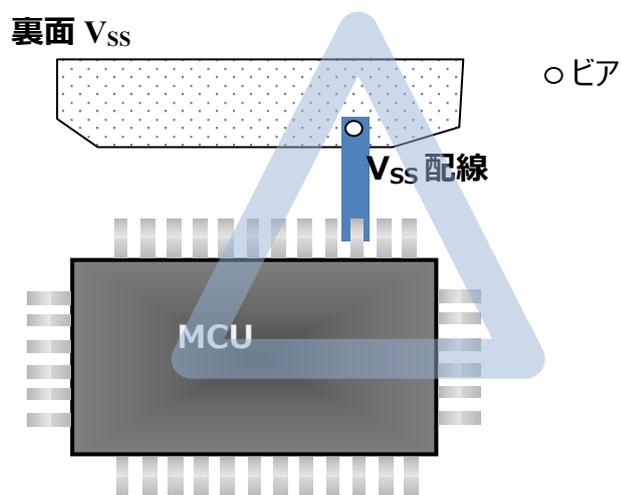
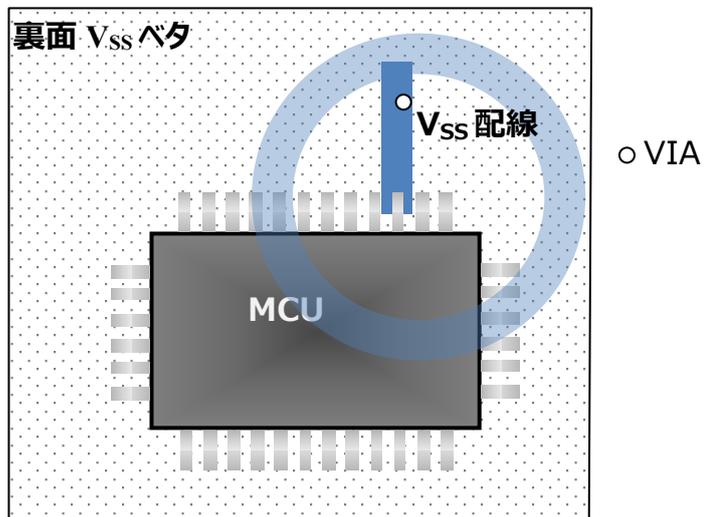
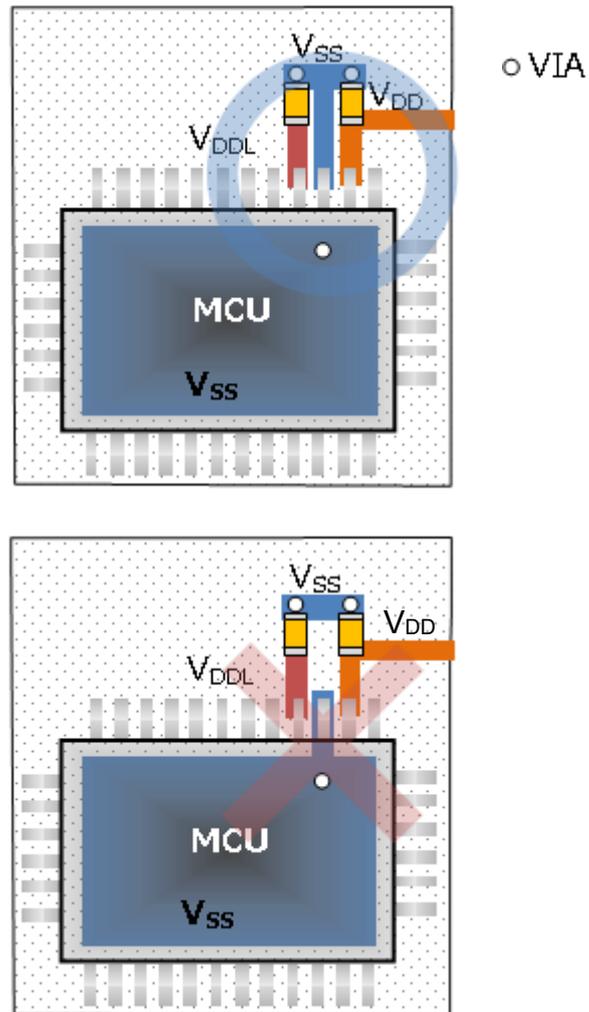


図21:MCU 裏面の  $V_{SS}$  ベタパターン1

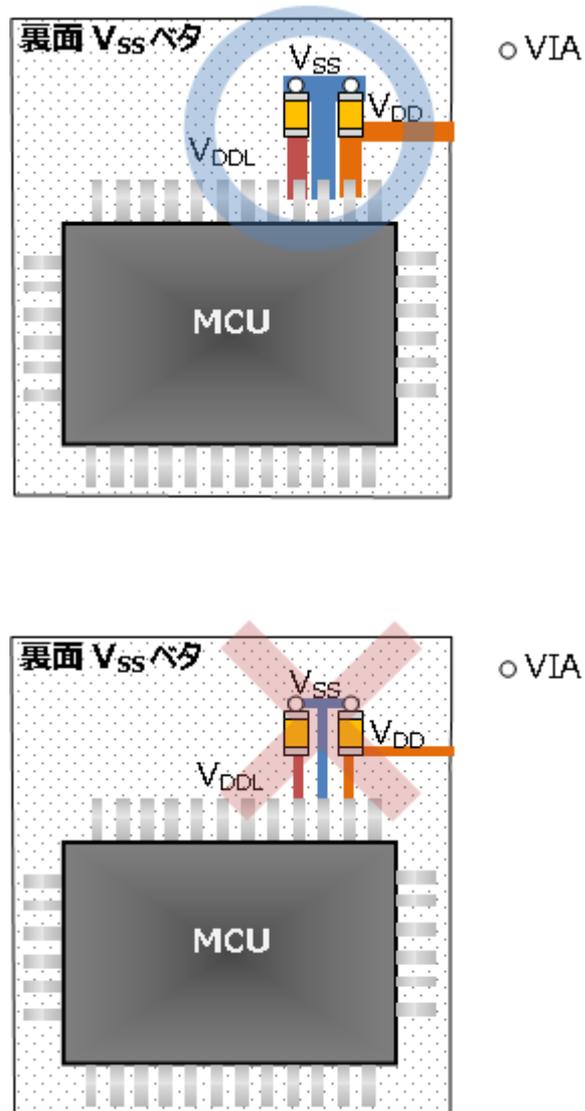
4.2.7 MCU 裏面の  $V_{SS}$  ベタパターン 2

$V_{SS}$  ベタから MCU  $V_{SS}$  端子へノイズの回り込みを防ぐため、MCU 直下の  $V_{SS}$  ベタと  $V_{SS}$  端子は直接接続せず、 $V_{SS}$  端子からバイパスコンデンサを介して  $V_{SS}$  供給元へ接続してください。 $V_{SS}$  ベタと  $V_{SS}$  端子を直接接続するとノイズが侵入しやすくなります。

図22:MCU 裏面の  $V_{SS}$  ベタパターン2

4.2.8 電源・V<sub>SS</sub> 配線は太く、短く配線

電流が流れた際の電圧降下による電源変動を抑えるため、MCU の電源、V<sub>DDL</sub> 端子、V<sub>SS</sub> 端子からの配線はなるべく太く、短くしてください。

図23: 電源・V<sub>SS</sub> 配線は太く、短く配線

## 5. より一層のノイズ対策のための回路構成

ここでは、より一層のノイズ対策のための回路構成をご紹介します。厳しいノイズ環境や強いノイズ試験がある場合の適用となり最低限必要な対策ではありません。また、コストアップにつながるため、十分にご検討のうえ、設計してください。

### 5.1 電源処理

#### 5.1.1 $V_{DDL}$ -コンデンサ間にフェライトビーズの挿入

$V_{DDL}$ -コンデンサ間にフェライトビーズを挿入し、 $V_{DDL}$ -コンデンサのループをカットします。これによりノイズ耐性の向上が期待できます。フェライトビーズの定数は、10MHz～数十 MHz 帯で低インピーダンスで、100MHz 帯で高インピーダンスのものをご使用ください。目安としては、10MHz帯で  $10\ \Omega$ ～ $100\ \Omega$  以下程度、100MHz 帯で  $100\ \Omega$  以上程度のものをご使用ください。100MHz 帯で  $1\text{k}\ \Omega$  程度のものを使用することでノイズに非常に強くなるという利点も得られますが、 $V_{DDL}$  が正しく機能しなくなる懸念がございます。また、フェライトビーズの挿入によって逆効果になる懸念もがございますので、十分に評価してご検討ください。基本的には  $V_{DDL}$  コンデンサをなるべく LSI 直近に配置し、ループを小さくするように設計し、厳しいノイズ環境や強いノイズ試験がある場合に当  $V_{DDL}$ -コンデンサ間にフェライトビーズ挿入の対策の検討をすることをお勧めいたします。

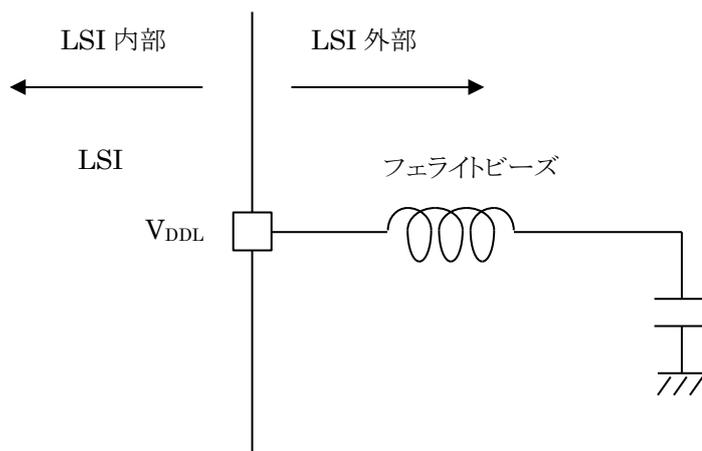
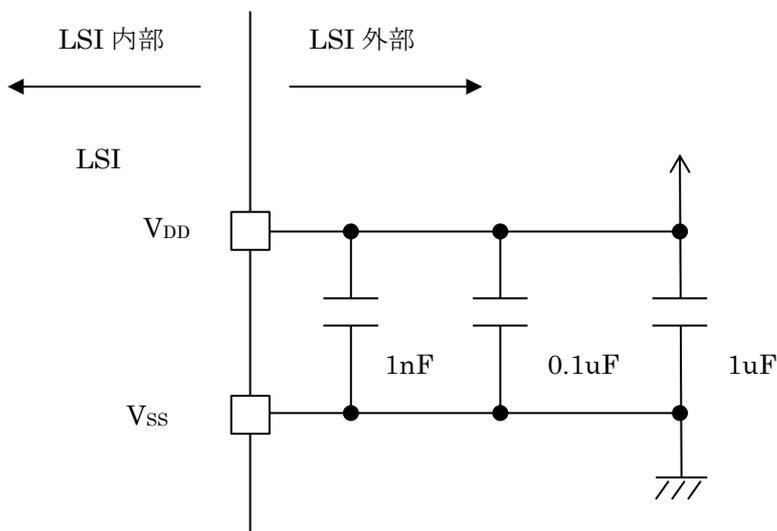


図24:  $V_{DDL}$ -コンデンサ間にフェライトビーズの挿入

5.1.2  $V_{DD}$ - $V_{SS}$  間パスコンの構成について

$V_{DD}$ - $V_{SS}$  間のパスコンは、本来の接続容量値を  $1\mu\text{F}$  としますと、 $1\mu\text{F}$  を接続し、さらに、 $0.1\mu\text{F}$ 、 $1\text{nF}$  のコンデンサ接続により、ノイズ耐性を向上させることができる見込みがあります。ただしこのときの注意点として、コンデンサは、容量値が小さい順に LSI 直近に配置してください。接続する順番や配置位置が悪い場合、本来の接続容量値が  $0.1\mu\text{F}$  の容量値と離れすぎている場合、コンデンサのインダクタ成分が大きい場合は共振点の関係上逆効果になる懸念がございます。よく評価してご検討ください。

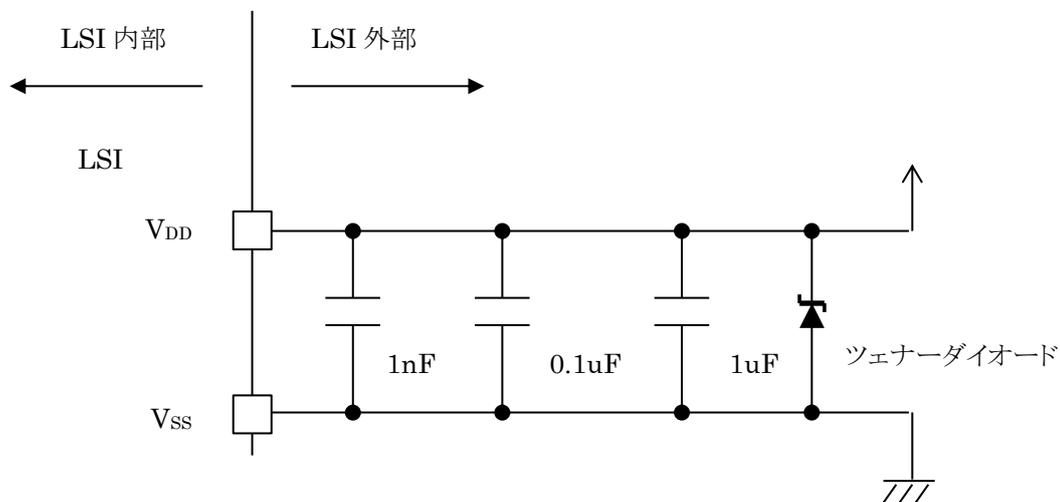


容量値が小さい順に LSI 直近に配置

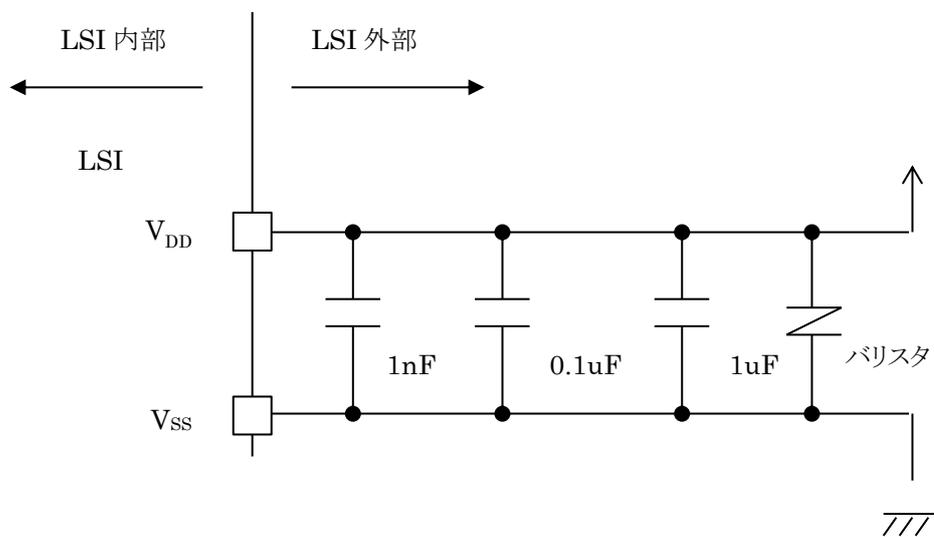
図25:  $V_{DD}$ - $V_{SS}$  間パスコンの構成について

## 5.1.3 ツェナーダイオード・バリスタの配置

電源にツェナーダイオードを配置することにより、電源に入ったサージをツェナーダイオードで逃がすことが可能です。配置位置は、コンデンサの外側にしてください。また、ツェナーダイオードの代わりにバリスタの配置も有効です。



容量値が小さい順に LSI 直近に配置



容量値が小さい順に LSI 直近に配置

図26:ツェナーダイオード・バリスタの配置

## 5.1.4 L 型フィルタの構成1

フェライトビーズとパスコンの組み合わせで L 型フィルタを構成することにより、ノイズ耐性を向上させることができる見込みがあります。フェライトビーズの定数は評価にて決定してください。共振点の関係上、逆効果になる懸念もございます。十分に評価してご検討ください。

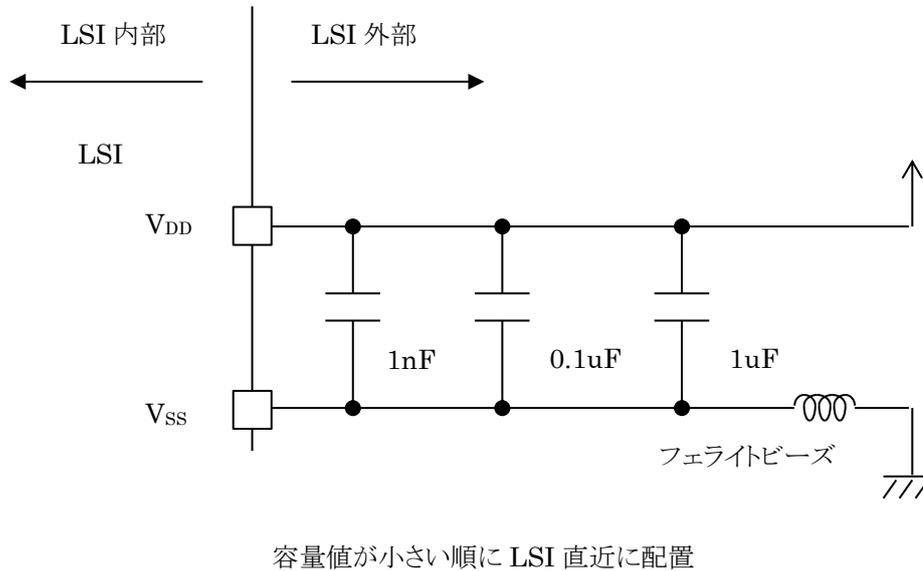
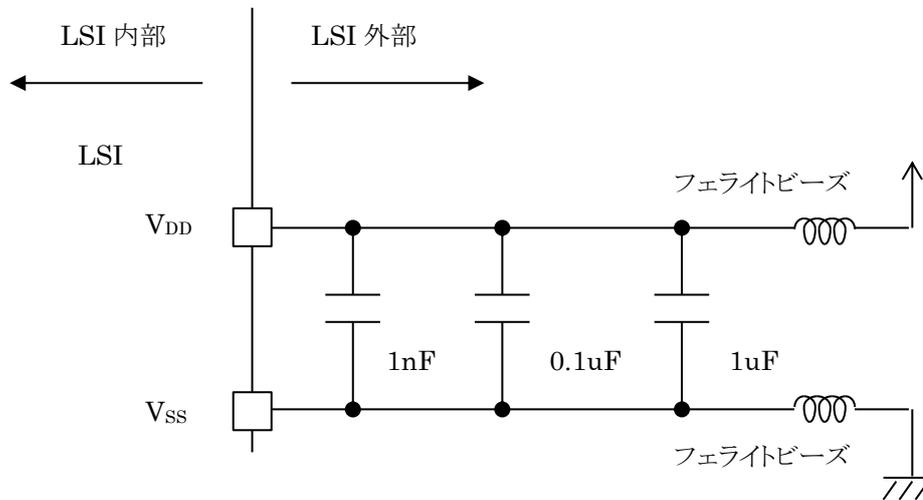


図27:L 型フィルタの構成1

## 5.1.5 L 型フィルタの構成2

フェライトビーズとパスコンの組み合わせでL型フィルタを構成することにより、ノイズ耐性を向上させることができる見込みがあります。フェライトビーズの定数は評価にて決定してください。共振点の関係上、逆効果になる懸念もございます。十分に評価してご検討ください。

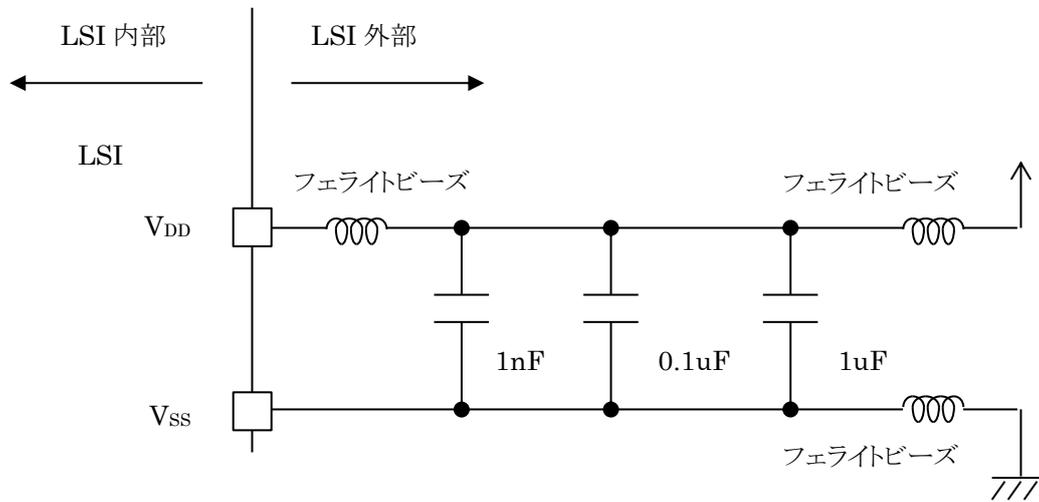


容量値が小さい順に LSI 直近に配置

図28:L 型フィルタの構成2

## 5.1.6 T 型フィルタの構成

フェライトビーズとパスコンの組み合わせで T 型フィルタを構成することにより、ノイズ耐性を向上させることができる見込みがあります。フェライトビーズの定数は評価にて決定してください。共振点の関係上、逆効果になる懸念もございます。十分に評価してご検討ください。



容量値が小さい順に LSI 直近に配置

図29:T 型フィルタの構成2

5.1.7 AV<sub>DD</sub>-V<sub>DD</sub> 間、AV<sub>SS</sub>-V<sub>SS</sub> 間にフェライトビーズの選択・挿入

AV<sub>DD</sub>がV<sub>DD</sub>から供給される場合、および、AV<sub>SS</sub>がV<sub>SS</sub>から供給される場合、アナログ回路の本来の特性を得るため、AV<sub>DD</sub>とV<sub>DD</sub>間、AV<sub>SS</sub>とV<sub>SS</sub>間にフェライトビーズの挿入をご検討ください。

デジタル・アナログ混載MCUにおいて、ボード側のAV<sub>DD</sub>とV<sub>DD</sub>間、AV<sub>SS</sub>とV<sub>SS</sub>間をフェライトビーズで分離して、デジタルブロックノイズのアナログブロックへの侵入を抑制できます。

ただし、定数によっては共振点の関係上逆効果になることも懸念されますので、で十分にご検討ください。

なお、フェライトビーズの位置はMCU直近に配置してください。

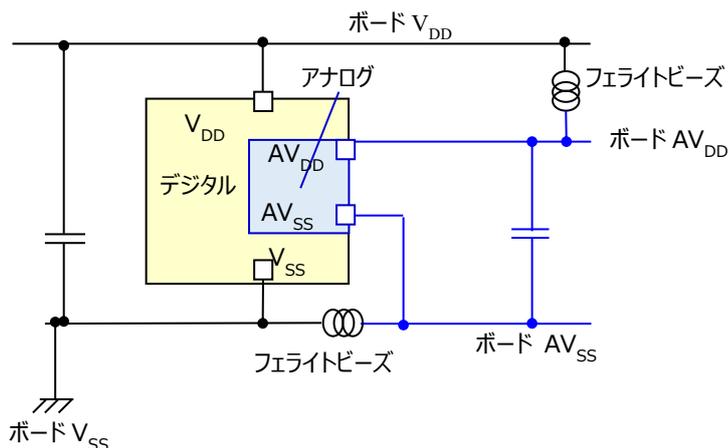


図30: AV<sub>DD</sub>-V<sub>DD</sub> 間、AV<sub>SS</sub>-V<sub>SS</sub> 間にフェライトビーズの選択・挿入

## 5.2 端子処理

### 5.2.1 ツェナーダイオードの配置

各端子から入力されるノイズを低減するため、信号ラインにツェナーダイオードを配置することをご検討ください。さらにダンピング抵抗とコンデンサを配置するとより効果的です。ダンピング抵抗とコンデンサは LSI に近い位置に配置してください。その際、ダンピング抵抗の両端の配線がなるべく近接しないようにご配慮ください。ダンピング抵抗の抵抗値は  $100\ \Omega \sim 100\text{k}\ \Omega$  程度、コンデンサの容量値は  $1\text{nF} \sim 0.1\ \mu\text{F}$  程度が目安ですが、評価にて決定してください。

このダンピング抵抗とコンデンサ配置により、LSI の特性が出せなくなる場合もあります。ダンピング抵抗を用いることができない直流の大電流を流す必要がある端子には、フェライトビーズやインダクタを使用することで期待通りの LSI の特性が得られます。

また、コンデンサは直近に配置し、コンデンサの  $V_{SS}$  は LSI の  $V_{SS}$  と接続してください。ダンピング抵抗を介した回路の  $V_{DD}$  や  $V_{SS}$  は、LSI の  $V_{DD}$  や  $V_{SS}$  と直近接続せずスター配線やフェライトビーズを用いて電源分離してください。

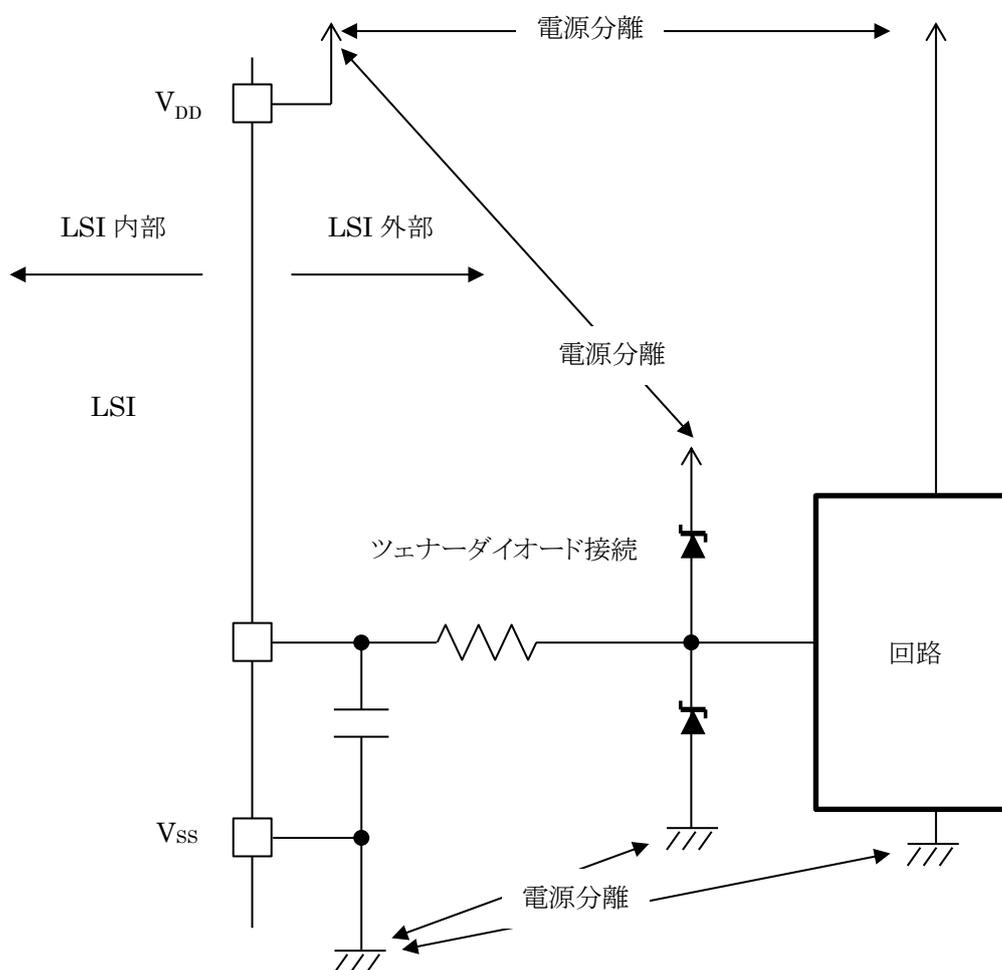


図31: 抵抗とコンデンサの配置

## 5.2.2 バリスタの配置

各端子から入力されるノイズを低減するため、信号ラインにバリスタを配置することをご検討ください。さらにダンピング抵抗とコンデンサを配置するとより効果的です。ダンピング抵抗とコンデンサは LSI に近い位置に配置してください。その際、ダンピング抵抗の両端の配線がなるべく近接しないようにご配慮ください。ダンピング抵抗の抵抗値は  $100\Omega \sim 10k\Omega$  程度、コンデンサの容量値は  $1nF \sim 0.1\mu F$  程度が目安ですが、評価にて決定してください。

このダンピング抵抗とコンデンサ配置により、LSI の特性が出せなくなる場合もあります。ダンピング抵抗を用いることができない直流の大電流を流す必要がある端子には、フェライトビーズやインダクタを使用することで期待通りの LSI の特性が得られます。

また、コンデンサは直近に配置し、コンデンサの  $V_{SS}$  は LSI の  $V_{SS}$  と接続してください。ダンピング抵抗を介した回路の  $V_{DD}$  や  $V_{SS}$  は、LSI の  $V_{DD}$  や  $V_{SS}$  と直近接続せずスター配線やフェライトビーズを用いて電源分離してください。

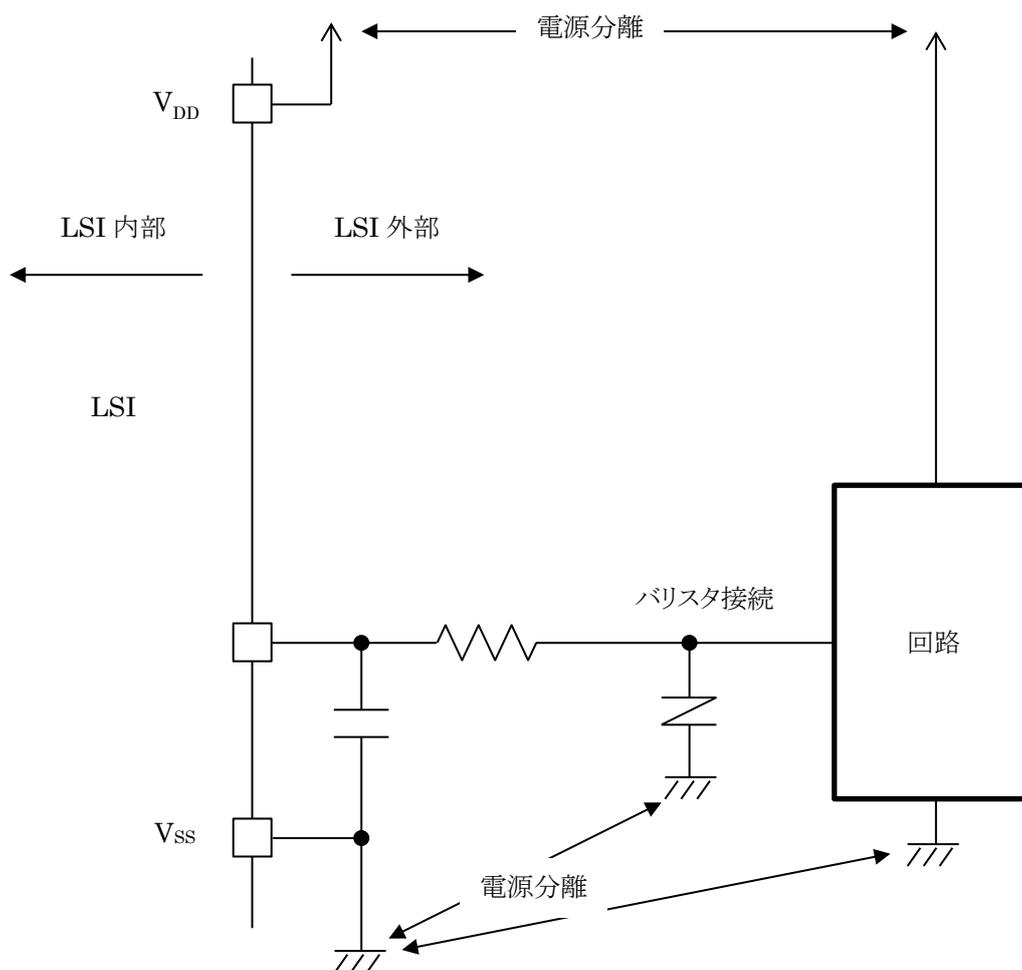


図32: 抵抗とコンデンサの配置

## 6. 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJXL_MCU_PCB_DESIGN-01	2019.12.3	—	—	初版発行
FJXL_MCU_PCB_DESIGN-02	2020.10.27	-	1	基板設計時の注意事項の優先順位を追記
		3	3	水晶のコンデンサに接続するグラウンド端子の注意事項を追加
		-	4,5	各端子処置を追記
		-	20	MCU 裏面の VSS ベタパターン 2 を追記
			21	電源・VSS 配線は太く、短く配線を追記
		-	22~30	より一層のノイズ対策のための回路構成を追記