

# 音声合成 LSI 基板設計時の注意事項

---

発行日 2020 年 12 月 10 日

## ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途へのご使用を意図しています。  
本製品を、特に高い信頼性が要求される機器(車載・船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム等)に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。  
当社の意図していない用途に製品を使用したことにより損害が生じても、当社は一切その責任を負いません。  
また、本製品は直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)には、使用できません。
- 6) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 7) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、当社はその責任を負うものではありません。
- 8) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 9) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 10) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。
- 11) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2020 LAPIS Technology Co., Ltd.

## ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com/>

## 目次

1.	はじめに.....	1
2.	基板設計時の注意事項の優先順位について.....	1
3.	LSI 基板設計時の注意事項.....	2
3.1	電源接続.....	2
3.2	発振回路.....	3
3.3	伝送線路.....	3
3.4	配線とコンデンサについて.....	4
3.5	D 級スピーカアンプの放射ノイズ対策.....	4
4.	基板設計時の一般的な EMC 対策(LSI 周辺推奨回路・パターンの参考例).....	5
4.1	LSI 周辺推奨回路.....	5
4.1.1	電源 IC の選択.....	5
4.1.2	積層セラミックコンデンサの選択.....	6
4.1.3	リセット, モード設定端子のプルアップ・プルダウン抵抗配置と抵抗値.....	7
4.1.4	コンデンサの選択と配置1: $V_{DDL}$ および $V_{DDR}$ の場合.....	8
4.1.5	コンデンサの選択と配置2: $DV_{DD}$ , $SPV_{DD}$ の場合.....	9
4.2	LSI 周辺推奨パターン.....	10
4.2.1	コンデンサの配置1.....	10
4.2.2	コンデンサの配置2.....	11
4.2.3	電源端子-コンデンサ-グラウンド端子の配線ループ面積最小化.....	12
4.2.4	信号配線のダンピング抵抗挿入位置.....	13
4.2.5	信号配線の層変更での VIA 配置.....	14
4.2.6	LSI 裏面の DGND ベタパターン 1.....	15
4.2.7	LSI 裏面の DGND ベタパターン 2.....	16
4.2.8	電源・DGND 配線は太く、短く配線.....	17
5.	より一層のノイズ対策のための回路構成.....	18
5.1	電源処理.....	18
5.1.1	$DV_{DD}$ -DGND 間パスコンの構成について.....	18
5.1.2	ツェナーダイオード・バリスタの配置.....	19
6.	改版履歴.....	20

## 1. はじめに

本アプリケーションノートでは、ラピステクノロジー製 LSI を搭載する基板を設計する際に注意すべき事項を示します。本アプリケーションノートに掲載されている情報は参考であり、明示的・暗黙的問わず、弊社が何らかの保証をするものではありません。これらの数値や回路例を元に設計した際は、十分な評価を行ってください。

## 2. 基板設計時の注意事項の優先順位について

本アプリケーションノートでは、「LSI 基板設計時の注意事項」と「基板設計時の一般的な EMC 対策 (LSI 周辺推奨回路・パターンの参考例)」、「より一層のノイズ対策のための回路構成」を掲載しております。「LSI 基板設計時の注意事項」と「基板設計時の一般的な EMC 対策 (LSI 周辺推奨回路・パターンの参考例)」をご検討していただいたうえで、さらにノイズ対策が必要な場合に「より一層のノイズ対策のための回路構成」をご検討ください。

### 3. LSI 基板設計時の注意事項

#### 3.1 電源接続

- LSI 電源 ( $DV_{DD}$ ) と LSI グラウンド ( $DGND (=GND)$ ) の間、および、スピーカAMP電源 ( $SPV_{DD}$ ) とスピーカAMPグラウンド ( $SPGND$ ) の間にはコンデンサを接続してください。
- コンデンサは LSI 直近に、電源グラウンド端子にできるだけ近づけ、幅広のパターンで各電源端子と接続してください。
- LSI の  $DV_{DD}$  と  $SPV_{DD}$  は電源ソースからスター結線とし、また、 $DGND$  と  $SPGND$  はグラウンドソースからスター結線とし、幅広のパターンで配線してください。
- $DGND$  端子をベタパターンにすることを推奨します。
- レギュレータ出力 ( $V_{DDL}$  および  $V_{DDR}$ ) 端子に接続する推奨のコンデンサはできるだけ LSI 直近 ( $V_{DDL}$  端子および  $V_{DDR}$  端子の近く) に配置してください。その際、配線は VIA を経由せず、できるだけ短くしてください。極力ループ面積は小さく配置してください。

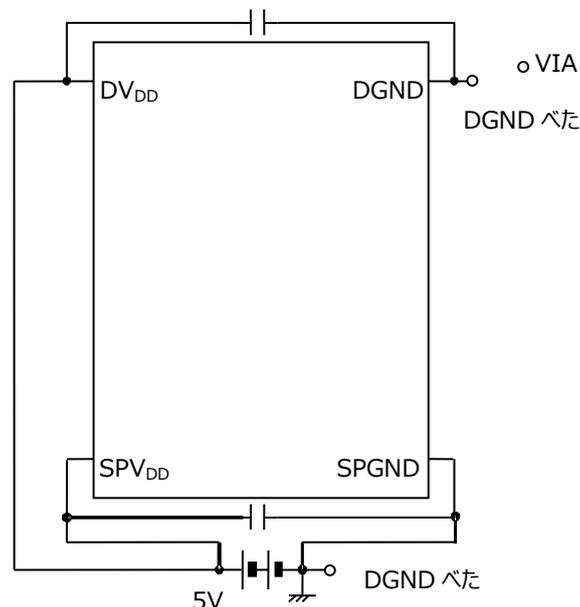


図1: 電源の接続例

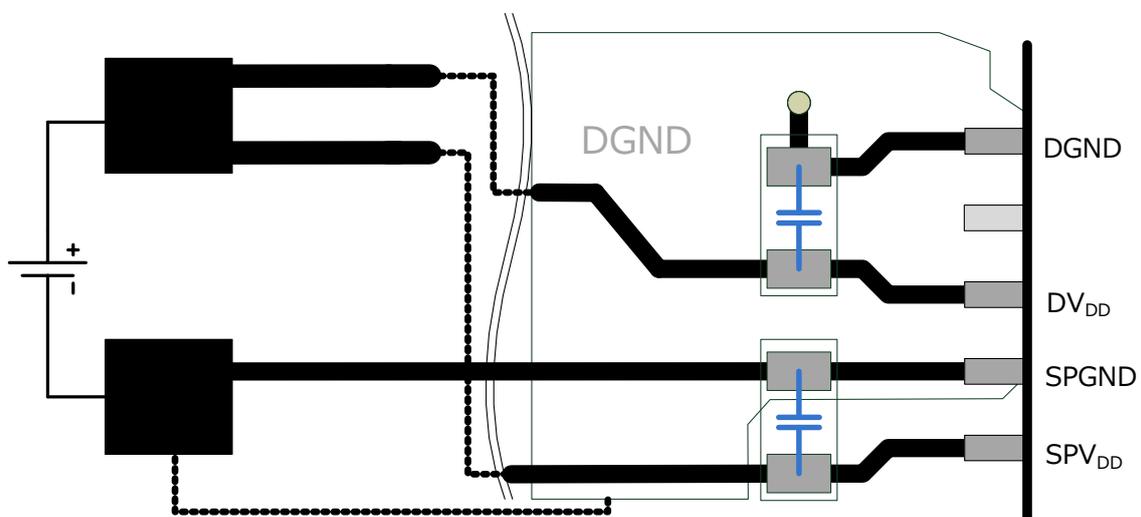
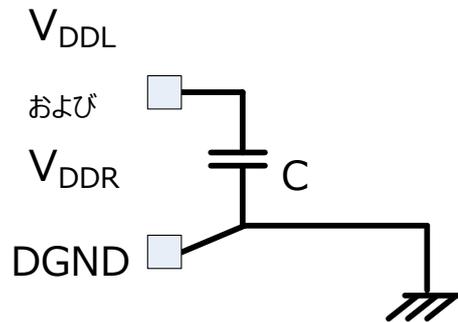


図2: 電源の配線例

図3:  $V_{DDL}$  および  $V_{DDR}$  電源接続例

### 3.2 発振回路

- 回路基板の材質や配線パターン、および水晶振動子や端子などの配線容量や寄生容量によって期待する発振特性が得られない可能性があります。
- 発振回路 (外付け抵抗、水晶発振外付けコンデンサ、水晶振動子) の配線は極力短くしてください。
- 発振回路はできる限り LSI に近づけて配置し、最短で配線してください。
- 発振回路の周辺および下層は信号パターンを配線しないでください。
- 発振回路の配線と大電流が流れる配線は交差および隣接させないでください。
- 発振回路の配線と他信号の配線は交差させないでください。
- 水晶発振外付けコンデンサの接地点への接続については、LSI の DGND を使用し、極力電流変動や電圧変動の小さい安定した DGND に接続してください。また、DGND も LSI 直近から配置し、かつ、DGND -コンデンサ-水晶発振端子 (XT0, XT1) へのループがなるべく小さくなるようにしてください。
- 使用環境によっては基板の吸湿や基板表面での結露などで期待する発振特性が得られない可能性があります。回路基板を樹脂密閉するなどの対策を推奨します。
- ご使用の水晶振動子の最新の情報、注意事項などは水晶メーカーにお問い合わせください。

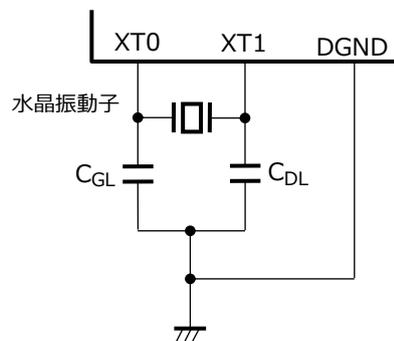


図4: 発振回路

### 3.3 伝送線路

- アナログ信号線とデジタル信号線を交差または並走させないでください。
- クロック信号線およびクロックと同等速度で変化する信号線は DGND パターンでガードリングしてください。
- 同期シリアルインターフェース、I<sup>2</sup>C の信号線には必要に応じてダンピング抵抗を送信側に挿入してください。

### 3.4 配線とコンデンサについて

- SPV<sub>DD</sub>、SPGND、SPP、SPM 配線は太くして、配線インピーダンスを小さくしてください。
- DV<sub>DD</sub>-DGND 間、SPV<sub>DD</sub>-SPGND 間に接続するバイパスコンデンサが複数ある場合は、コンデンサは値が小さい順に LSI 直近に配置してください。

### 3.5 D 級スピーカアンプの放射ノイズ対策

D 級スピーカアンプを搭載した音声 LSI を使用した場合、D 級スピーカアンプのキャリア周波数の整数倍の周波数のノイズが発生することがあります。そのため、以下の対策が必要となる場合があります。

- ① スピーカまでの距離を最短にします。
  - ② LC フィルタを入れて、これによりキャリア周波数をカットします。  
(熱が発生するので良い L (等価直列抵抗が小さいコイル) を使用する必要があります。)  
L と C の定数例: L=37 $\mu$ H、C=22nF (カットオフ周波数=170kHz)
- なお、スピーカを直接接続する場合は、RC フィルタは使用できません。

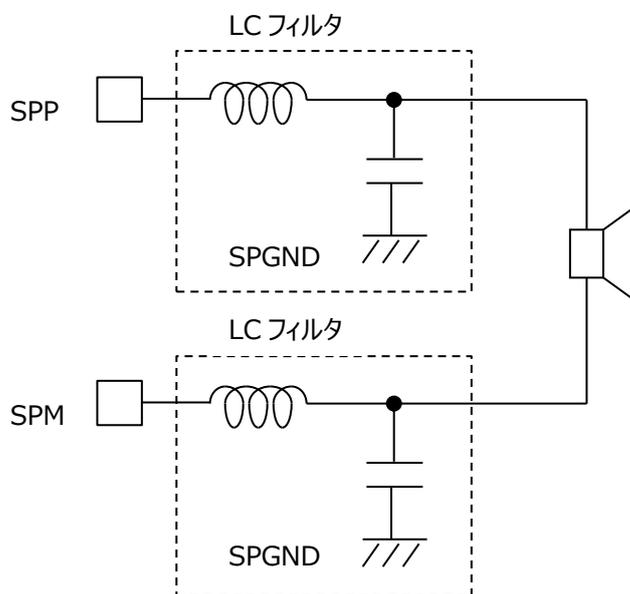


図5:D 級スピーカアンプの放射ノイズ対策

## 4. 基板設計時の一般的な EMC 対策(LSI 周辺推奨回路・パターンの参考例)

### 4.1 LSI 周辺推奨回路

#### 4.1.1 電源 IC の選択

LSI と一緒に使う電源 IC は、製品用途の EMI 規格を Pass する製品を使用してください。EMI 規格を Pass する電源 IC を使うことで、電源 IC のノイズによる LSI への影響も低減できます。EMI 試験適用済みのローム製電源 IC の使用を推奨します。

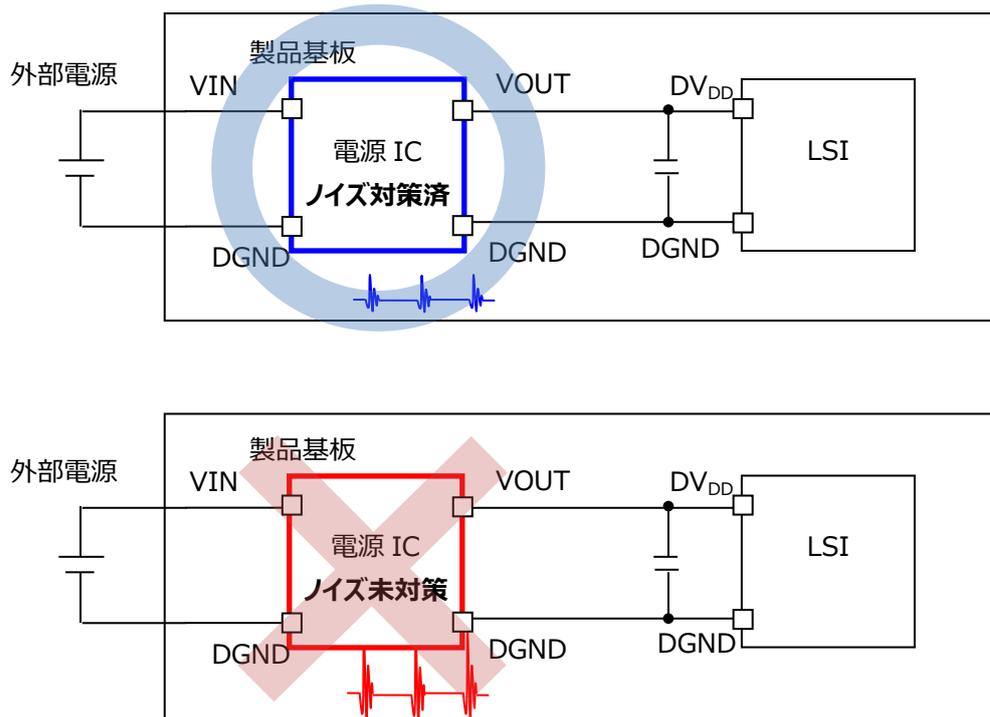


図6:電源 IC の選択

## 4.1.2 積層セラミックコンデンサの選択

LSI 電源-グラウンド端子間に接続する  $1\mu\text{F}$  以上の積層セラミックコンデンサは、“DC バイアス特性”が小さいものの適用を推奨します。選択時に、使用電圧で所望の容量値となっているかどうか、必ず“DC バイアス特性”を確認してください。

小サイズ、高容量値の積層セラミックコンデンサは、高誘電帯品が一般的で、印加電圧が高くなると容量値が減少する特性を持ちます。LSI 内蔵レギュレータ出力に接続される位相補償コンデンサの容量値がずれると、動作不安定を招き、ノイズ印加時の誤動作を招きます。予め選定することで、ノイズ印加時に誤動作を抑制できます。

各コンデンサメーカー提供の Web Site、及び、専用ツールを用いて“DC バイアス特性”を確認し、選択できます。

下記図では  $V_{DDL}=2\text{V}$  としていますが、これは一例です。

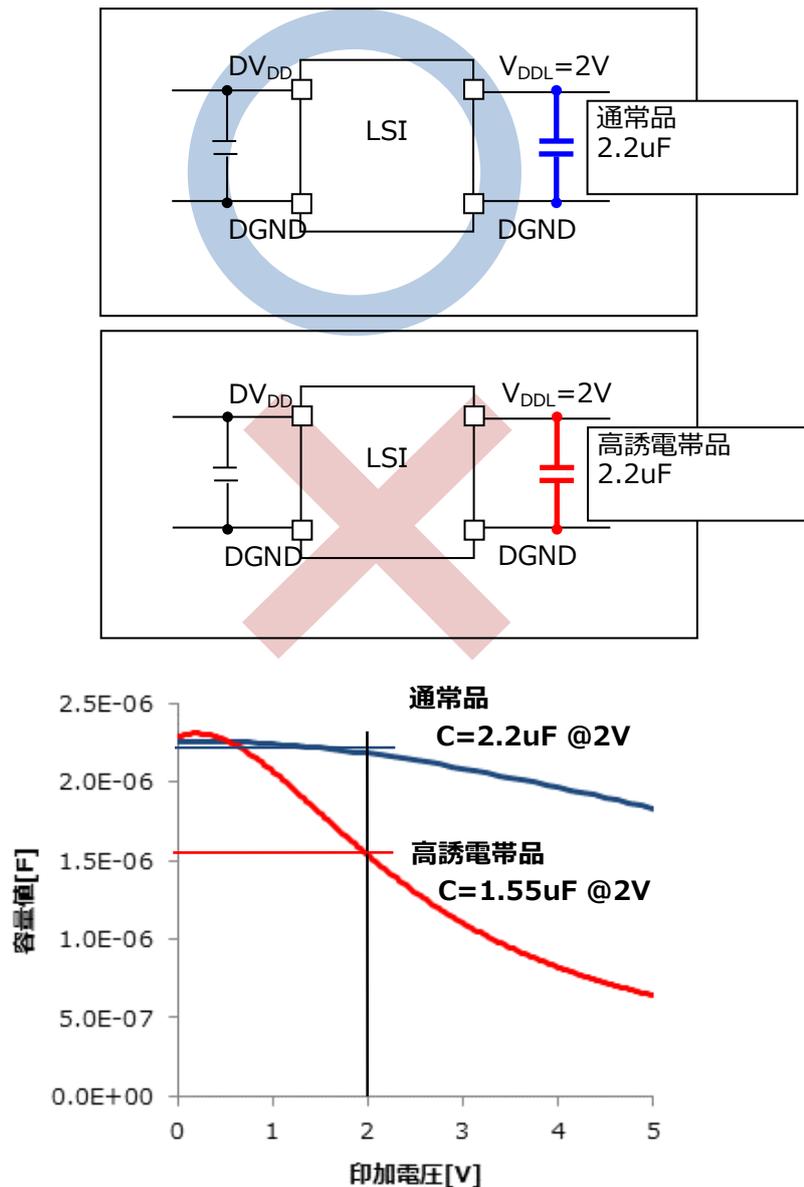


図7: 積層セラミックコンデンサの選択

## 4.1.3 リセット, モード設定端子のプルアップ・プルダウン抵抗配置と抵抗値

リセット端子, モード設定端子接続のプルアップ抵抗, もしくはプルダウン抵抗までの配線は短く, かつ抵抗値を,  $1k\Omega$  程度としてください。

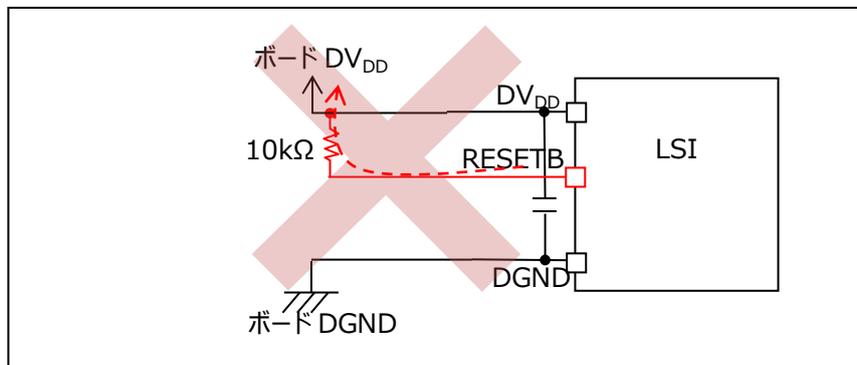
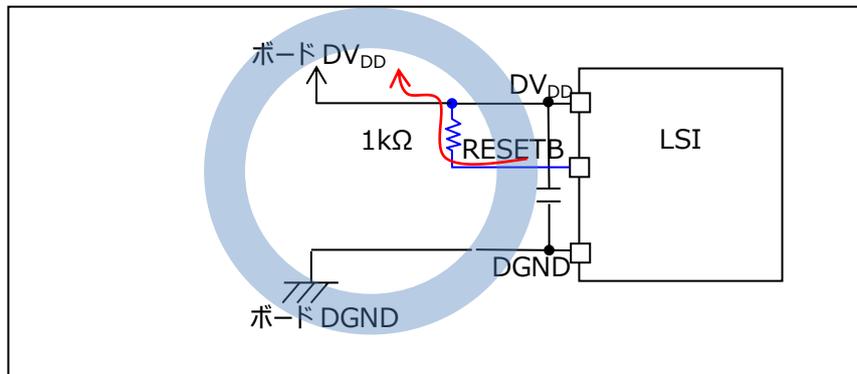
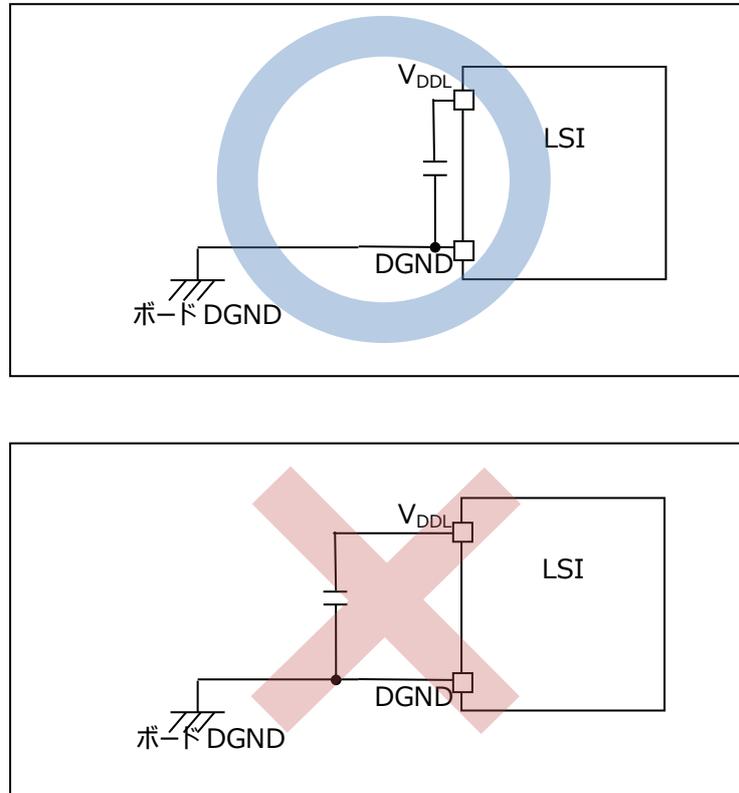


図8:リセット, モード設定端子のプルアップ・プルダウン抵抗配置と抵抗値

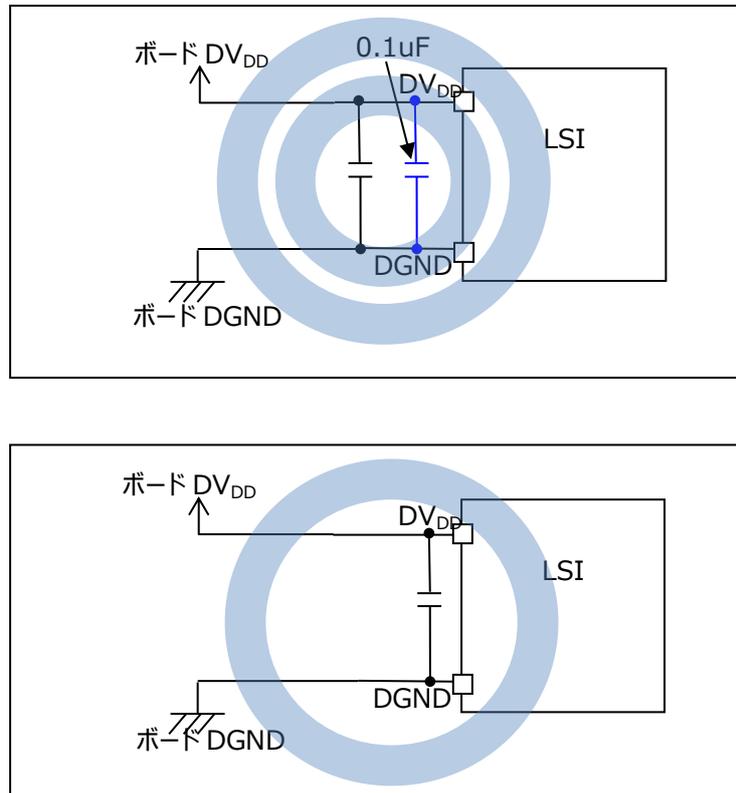
4.1.4 コンデンサの選択と配置1:  $V_{DDL}$  および  $V_{DDR}$  の場合

LSI の内部回路電源の EMS 対策として、 $V_{DDL}$  および  $V_{DDR}$  のコンデンサは LSI 直近に配置してください。その際、配線は VIA を経由せず、できるだけ短くしてください。極力ループ面積は小さく配置してください。また、 $V_{DDL}$  および  $V_{DDR}$  については、複数のコンデンサを使用せず、ループを最小限にするためひとつのコンデンサを使用してください。

図9:  $V_{DDL}$  コンデンサの選択と配置

4.1.5 コンデンサの選択と配置2:  $DV_{DD}$ ,  $SPV_{DD}$  の場合

複数のコンデンサの挿入により広い周波数範囲における電源インピーダンスを下げるため、LSI の電源  $DV_{DD}$  端子-DGND 端子間、 $SPV_{DD}$  端子-SPGND 端子間に EMS 対策として接続するコンデンサは、推奨容量値のほかに  $0.1\mu\text{F}$  のコンデンサを接続することをご検討ください。複数のコンデンサを接続する場合は、容量値が小さい順に LSI の直近に接続してください。ただし、コンデンサの寄生インダクタ成分がつきすぎている場合や、推奨容量値と  $0.1\mu\text{F}$  の容量値が離れすぎている場合、共振点の関係上逆効果になる懸念がございます。評価にてご確認ください。

図10:  $DV_{DD}$ ,  $SPV_{DD}$  コンデンサの選択と配置

## 4.2 LSI 周辺推奨パターン

### 4.2.1 コンデンサの配置1

LSI の電源端子-グラウンド端子直近にコンデンサを配置してください。  
電源端子, グラウンド端子とコンデンサの位置が近いほど, その間の配線にノイズが乗りにくくなり, 誤動作を抑制できます。

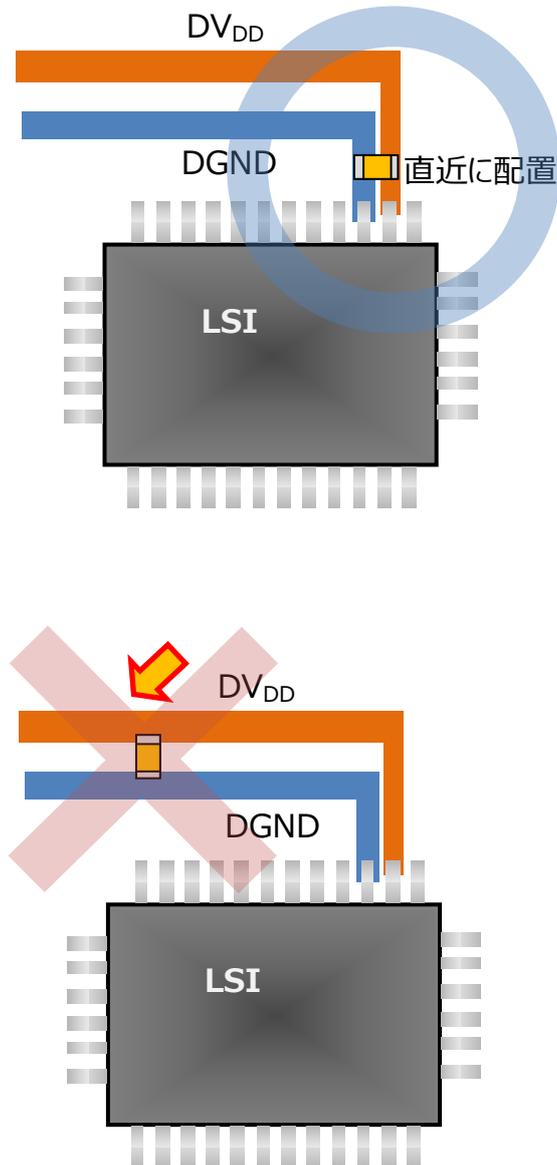


図11:コンデンサの配置1

## 4.2.2 コンデンサの配置2

LSI の電源端子-グラウンド端子間に配置するコンデンサは、電源配線、グラウンド配線それぞれの分岐前に配置してください。

コンデンサを電源配線グラウンド配線の分岐後に配置すると、ノイズはコンデンサより先に LSI の電源・グラウンド端子に侵入し、誤動作の要因となるためです。

LSI 直下に DGND ベタパターンを配置する場合も、コンデンサを介した配線でパターンを配置してください。

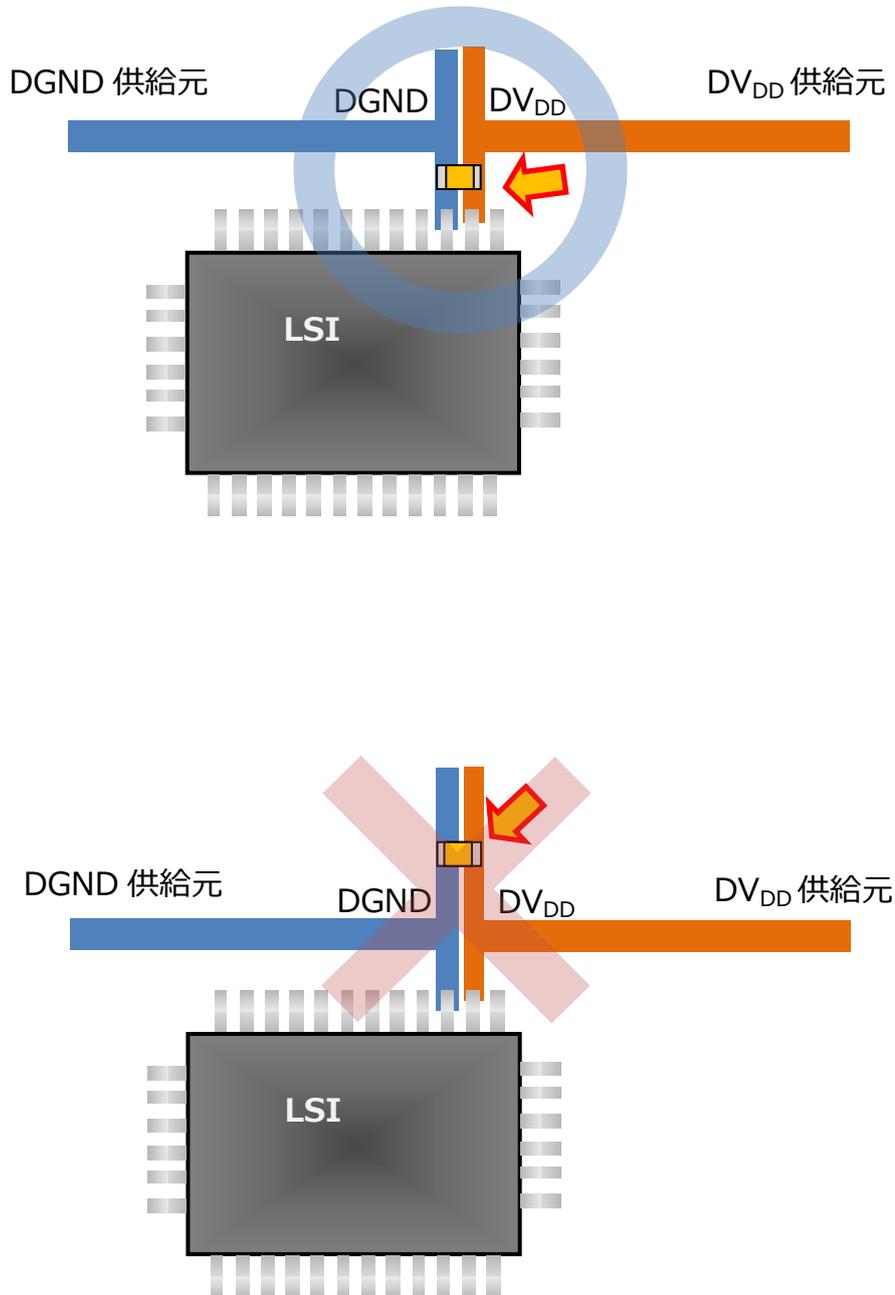


図12:コンデンサの配置2

#### 4.2.3 電源端子-コンデンサ-グラウンド端子の配線ループ面積最小化

LSI の電源端子-コンデンサ-グラウンド端子の接続配線によるループ面積を小さくしてください。

基板上の電源端子-コンデンサ-グラウンド端子の配線ループにノイズが飛び込むと、誘起電流が発生して端子に侵入し、誤動作を引き起こします。誘起電流は、そのループ面積に比例するため、なるべくループ面積を小さくすることで誤動作を抑制できます。

不要な配線ループを作らないようにしてください。特に 1 層基板では注意が必要です。

また、 $V_{DDL}$  端子に接続するコンデンサは特にループ面積を小さくしてください。

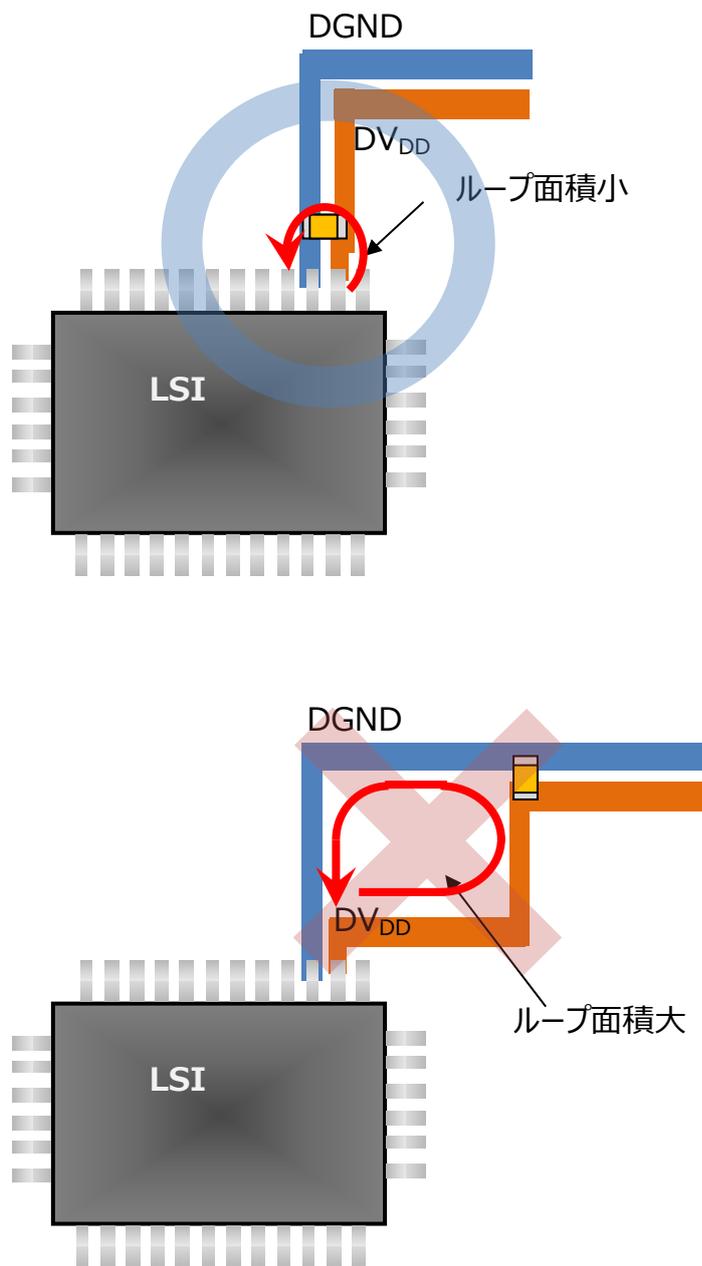


図13:電源端子-コンデンサ-グラウンド端子の配線ループ面積最小化

## 4.2.4 信号配線のダンピング抵抗挿入位置

信号配線へダンピング抵抗を挿入する場合は、信号送信端子の近くに配置してください。

EMI 増大の原因となる信号遷移時のオーバーシュート、アンダーシュートは、ダンピング抵抗を挿入することで低減が可能です。LSI の信号出力端子近くに配置すると、信号反射が抑えられます。また、オーバーシュート、アンダーシュートに起因する LSI の故障を防ぐことにもつながります。

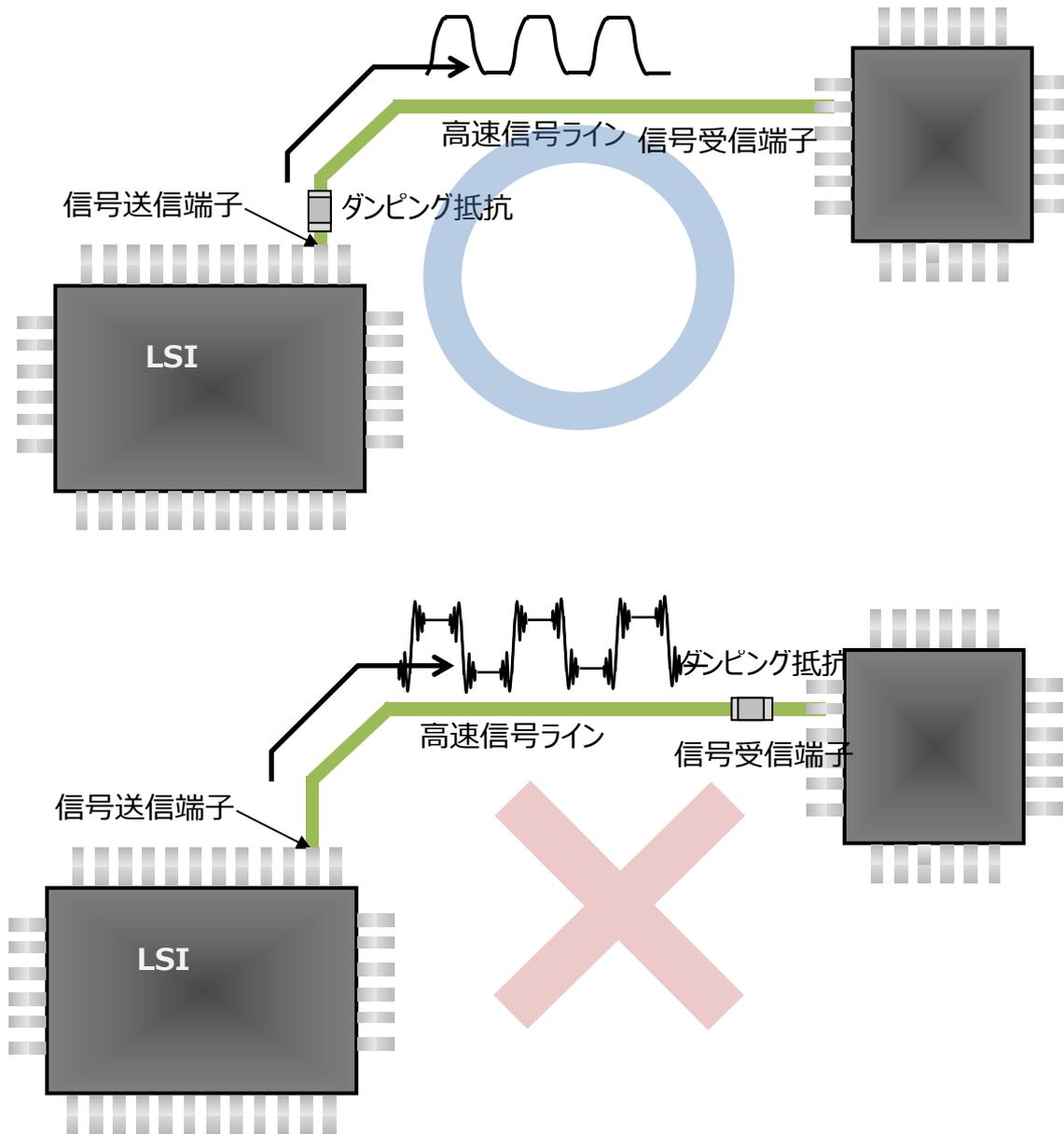


図14: 信号配線のダンピング抵抗挿入位置

## 4.2.5 信号配線の層変更での VIA 配置

信号配線の層変更時には、各々の VIA を千鳥状に配置してください。

信号配線の層変更時、一列に VIA 配置すると、内層 DGND に大きなスリットが生じます。この大きなスリットは、DGND リターン電流の迂回を招き、EMI 増大させるため、千鳥にして電流迂回経路を無くします。

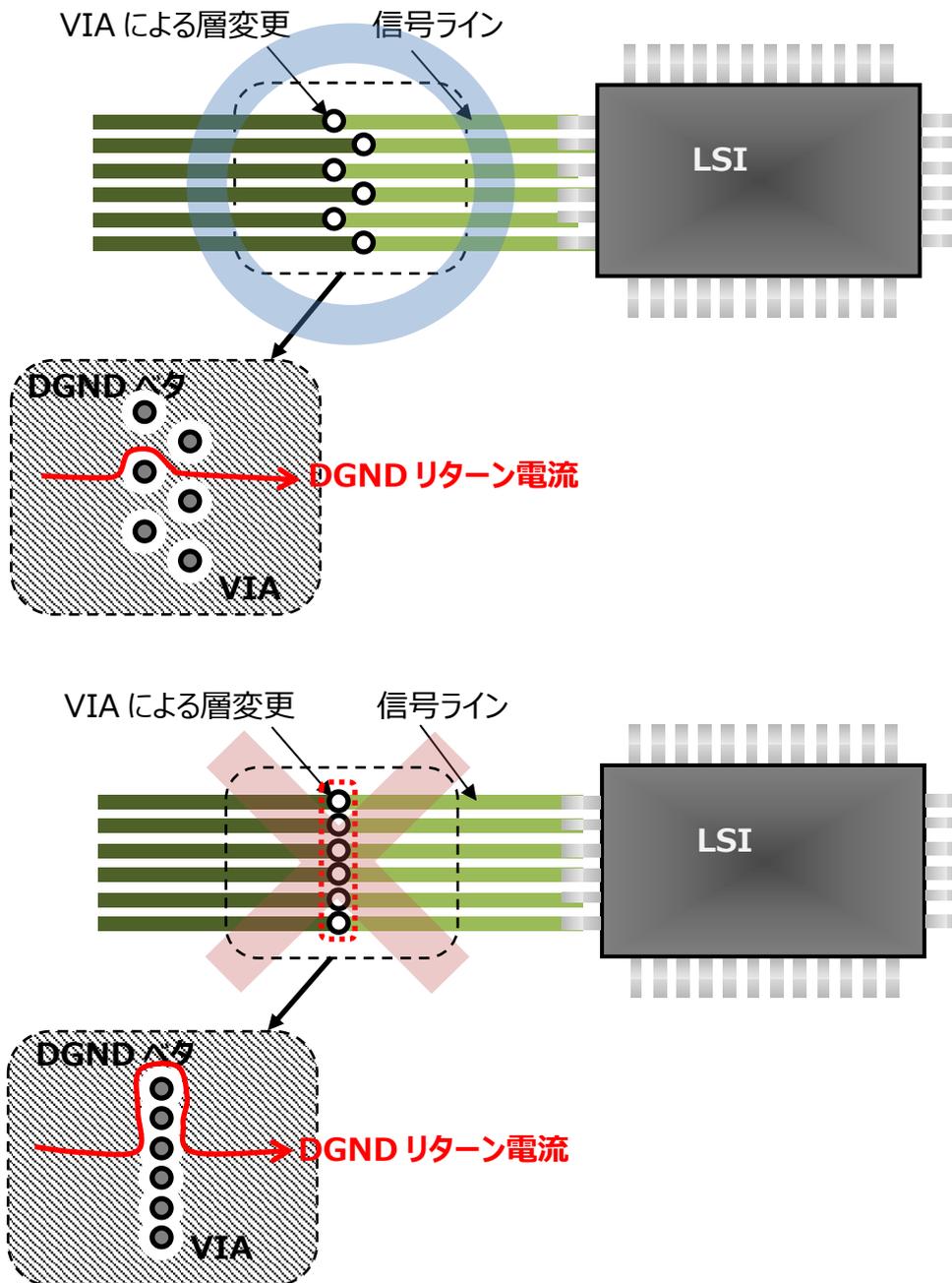


図15: 信号配線の層変更での VIA 配置

## 4.2.6 LSI 裏面の DGND ベタパターン 1

LSI 裏面を DGND ベタパターンにすることをご確認ください。

2 層以上の基板では、LSI、および配線の裏面に、外部からのノイズシールドとなる DGND ベタパターンを配置することで誤動作を抑制できます。

1 層基板では、LSI、および配線の裏面に DGND 金属シールドを設置することで誤動作を抑制できます。または、LSI 直下に DGND ベタパターンを配置する方法もあります。ただし、本資料の「3.2.2 コンデンサの配置 2」にご注意ください。

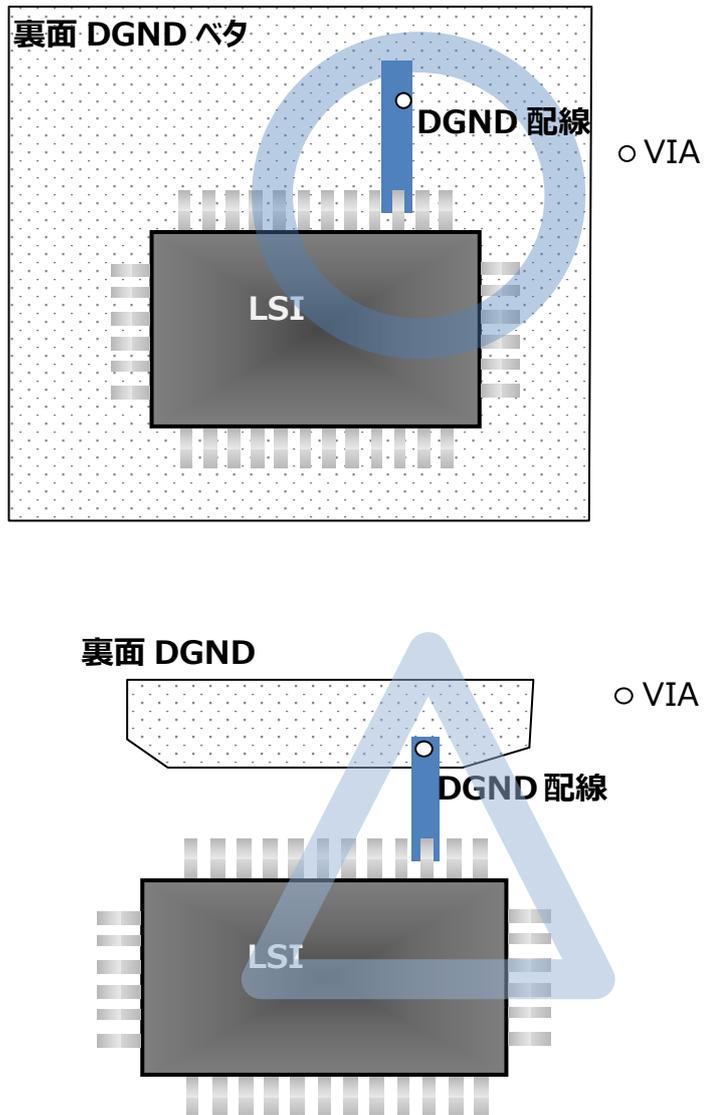


図16: LSI 裏面の DGND ベタパターン1

## 4.2.7 LSI 裏面の DGND ベタパターン 2

LSI 直下の DGND ベタと DGND 端子は直接接続せず、DGND 端子からバイパスコンデンサを介して DGND 供給元へ接続してください。DGND ベタと DGND 端子を直接接続するとノイズが侵入しやすくなります。

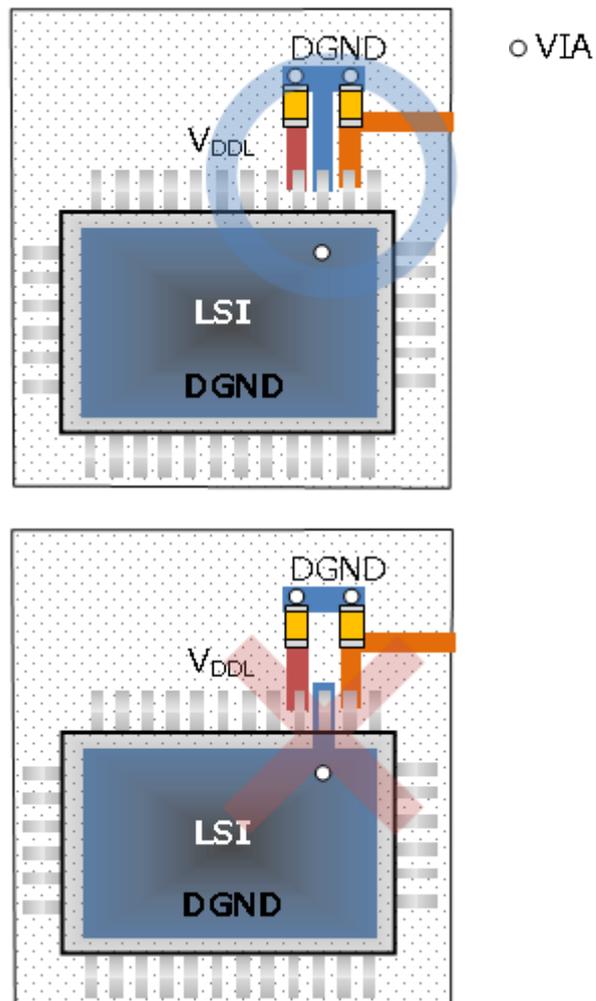


図17:LSI 裏面の DGND ベタパターン2

## 4.2.8 電源・DGND 配線は太く、短く配線

電流が流れた際の電圧降下による電源変動を抑えるため、LSI の電源、 $V_{DDL}$  端子、DGND 端子からの配線はなるべく太く、短くしてください。

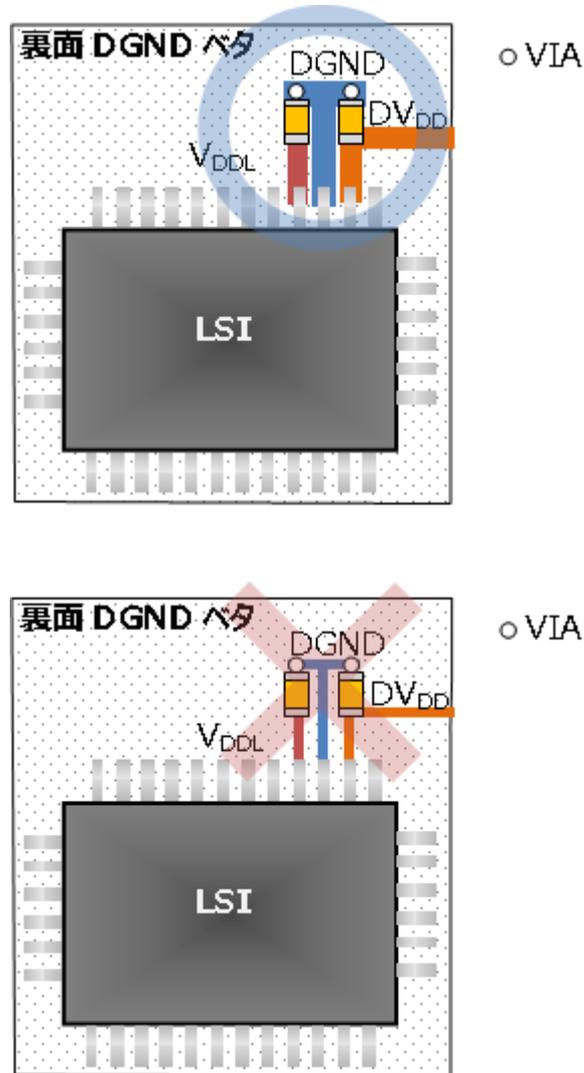


図18: 電源・DGND 配線は太く、短く配線

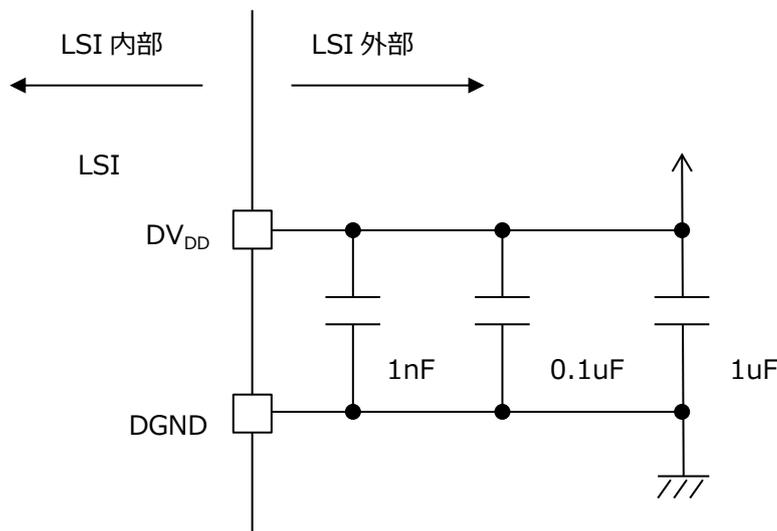
## 5. より一層のノイズ対策のための回路構成

ここでは、より一層のノイズ対策のための回路構成をご紹介します。厳しいノイズ環境や強いノイズ試験がある場合の適用となり最低限必要な対策ではありません。また、コストアップにつながるため、十分にご検討のうえ、設計してください。

### 5.1 電源処理

#### 5.1.1 DV<sub>DD</sub>-DGND 間パスコンの構成について

DV<sub>DD</sub>-DGND 間のパスコンは、本来の接続容量値を 1 $\mu$ F としますと、1 $\mu$ F を接続し、さらに、0.1 $\mu$ F、1nF のコンデンサ接続により、ノイズ耐性を向上させることができる見込みがあります。ただしこのときの注意点として、コンデンサは、容量値が小さい順に LSI 直近に配置してください。接続する順番や配置位置が悪い場合、本来の接続容量値が 0.1 $\mu$ F の容量値と離れすぎている場合、コンデンサのインダクタ成分が大きい場合は共振点の関係上逆効果になる懸念がございます。よく評価してご検討ください。

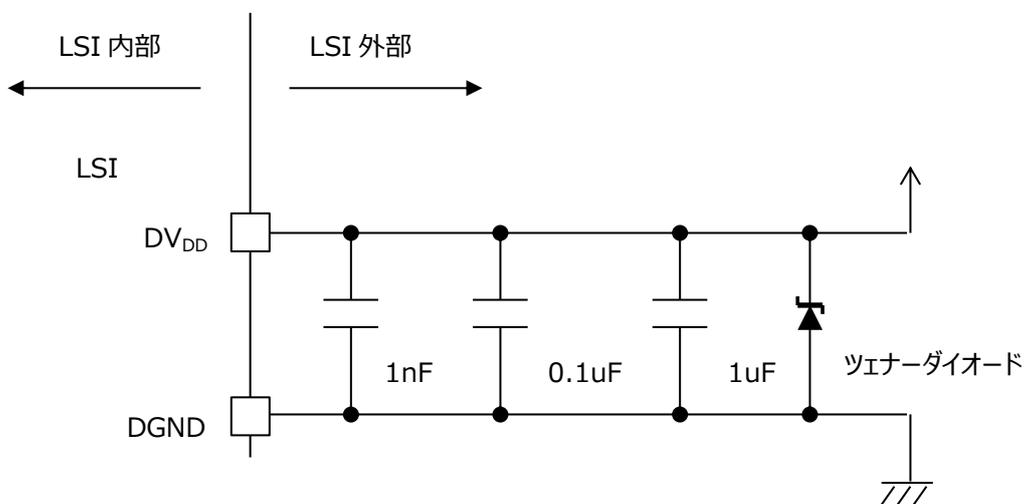


容量値が小さい順に LSI 直近に配置

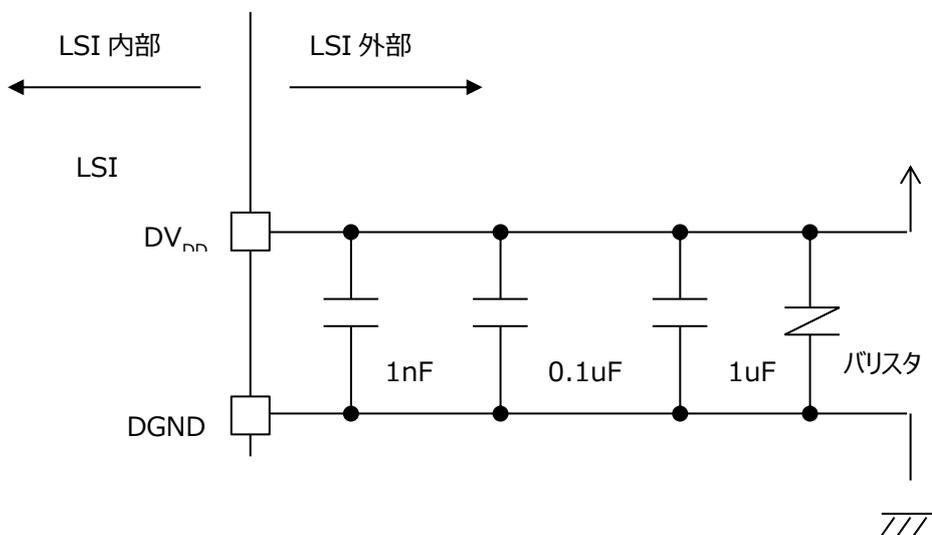
図19: DV<sub>DD</sub>-DGND 間パスコンの構成について

## 5.1.2 ツェナーダイオード・バリスタの配置

電源にツェナーダイオードを配置することにより、電源に入ったサージをツェナーダイオードで逃がすことが可能です。配置位置は、コンデンサの外側にしてください。また、ツェナーダイオードの代わりにバリスタの配置も有効です。



容量値が小さい順に LSI 直近に配置



容量値が小さい順に LSI 直近に配置

図20: ツェナーダイオード・バリスタの配置

## 6. 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJXL_SPEECHLSI_PCB_DES IGN -01	2020.12.10	—	—	初版発行