

ML7660

13.56MHz ワイヤレス給電用受電 LSI

1. 概要

ML7660 は 13.56MHz ワイヤレス給電受電用デバイスです。ML7660 は送電側デバイス ML7661 と組み合わせることでワイヤレス給電システムを実現し、最大 1W の給電出力が可能です。

ML7660 は給電状態を測定するための 10bit SA-ADC、ワイヤレス給電制御機能を 2.28mm x 2.61 mm (2.44mm 角相当) の WL-CSP チップあるいは 5mm 角の 32ピン WQFN パッケージに搭載しており、小型機器のワイヤレス給電に最適な LSI となっています。また NFC Forum Type 3 Tag 機能を搭載し、タッチによる Bluetooth® のペアリングなどの NFC 機能を実現することができます。更にホストインタフェース (SPI/I²C スレーブ) 機能やシリアルインタフェース (SPI/I²C マスタ、UART) 機能を搭載しており、外部マイコンからのコンフィグレーションデータ更新や各種センサ制御が可能です。

2. 特長

- 給電制御
 - 給電制御回路内蔵
 - シヤントレギュレータによる出力電圧設定を内蔵
 - 外付け充電 IC への電圧/電流供給 ON/OFF 機能
 - 1W 給電出力
 - ソフトウェア制御とハードウェア制御による異常検知機能
 - 送電側への異常通知機能
- NFC 通信制御
 - NFC Forum Type3 TAG 機能搭載
 - 通信速度 : 212kbps, 424kbps
 - TAG データ格納用 2Kbyte Data Flash
- ホストインタフェース
 - 1ch のスレーブ機能をもったシリアルインタフェース (SPI と I²C の選択可)
 - ホストマイコンからアクセス可能なレジスタ機能
 - 512 バイトの FIFO 内蔵
- シリアルインタフェース
 - 1ch のマスタ機能をもった SPI インタフェース
 - 1ch のマスタ機能をもった I²C インタフェース
 - 1ch の UART インタフェース (2 線式、全二重通信)
- 汎用ポート (PORT)
 - 入出力ポート × 13ch
- 逐次比較型 A/D コンバータ (SA-ADC)
 - 分解能 10 ビット
- リセット
 - RESET_N 端子リセット
 - パワーオン検出リセット
 - WDT オーバーフローによるリセット



- クロック
 - 低速側クロック
内蔵 RC 発振 (32.768kHz)
 - 高速側クロック
RX0/RX1 アンテナ入力 (13.56MHz)
- パッケージ
 - WL-CSP30 ピン (S-UFLGA30-2.28x2.61-0.40-W)
 - WQFN32 ピン (P-WQFN32-0505-0.50-A63)
- CPU
 - RISC 方式 16 ビット CPU (CPU 名称:nX-U16/100)
 - オンチップデバッグ機能を内蔵
 - 最小命令実行時間
◇ 18.86us (@212kHz システムクロック)

- 内部メモリ
 - メモリサイズ

フラッシュメモリ*	SRAM	その他 RAM
プログラム: 32K バイト データ: 2K バイト	6K バイト (ワーク RAM) 1K バイト (デバッグトレース機能用)	256 バイト (NFC 側) 512 バイト (ホストインタフェース)

*: This product uses SuperFlash® technology licensed from Silicon Storage Technology, Inc.
SuperFlash® is a registered trademark of Silicon Storage Technology, Inc.

- 割込みコントローラ (INTC)
 - ノンマスカブル割込み 1 要因 (内部要因: WDT)
 - マスカブル割込み最大 26 要因 (内部要因: 18、外部要因: 8)
 - ソフトウェア割込み (SWI) 最大 64 要因
 - 外部割込み、コンパレータはエッジの選択、サンプリング有無が選択可能
 - 各割込みに対して、優先レベル (4 レベル) の設定可能
- タイマ
 - 8 ビット × 8ch (2ch 使用で 16 ビット構成可能)
 - 連続タイマモード/ワンショットタイマモード機能
 - ソフトウェアによるタイマスタート・ストップ機能
- ウォッチドッグタイマ (WDT)
 - ノンマスカブル割込み、およびリセット
(1 回目のオーバフローで割込みを発生、2 回目のオーバフローでリセット、またはホスト通知を発生)
 - フリーラン
 - オーバフロー周期は、125ms、500ms、2s、8s から選択可能 (LSCLK=32.768kHz 時)
 - 停止機能

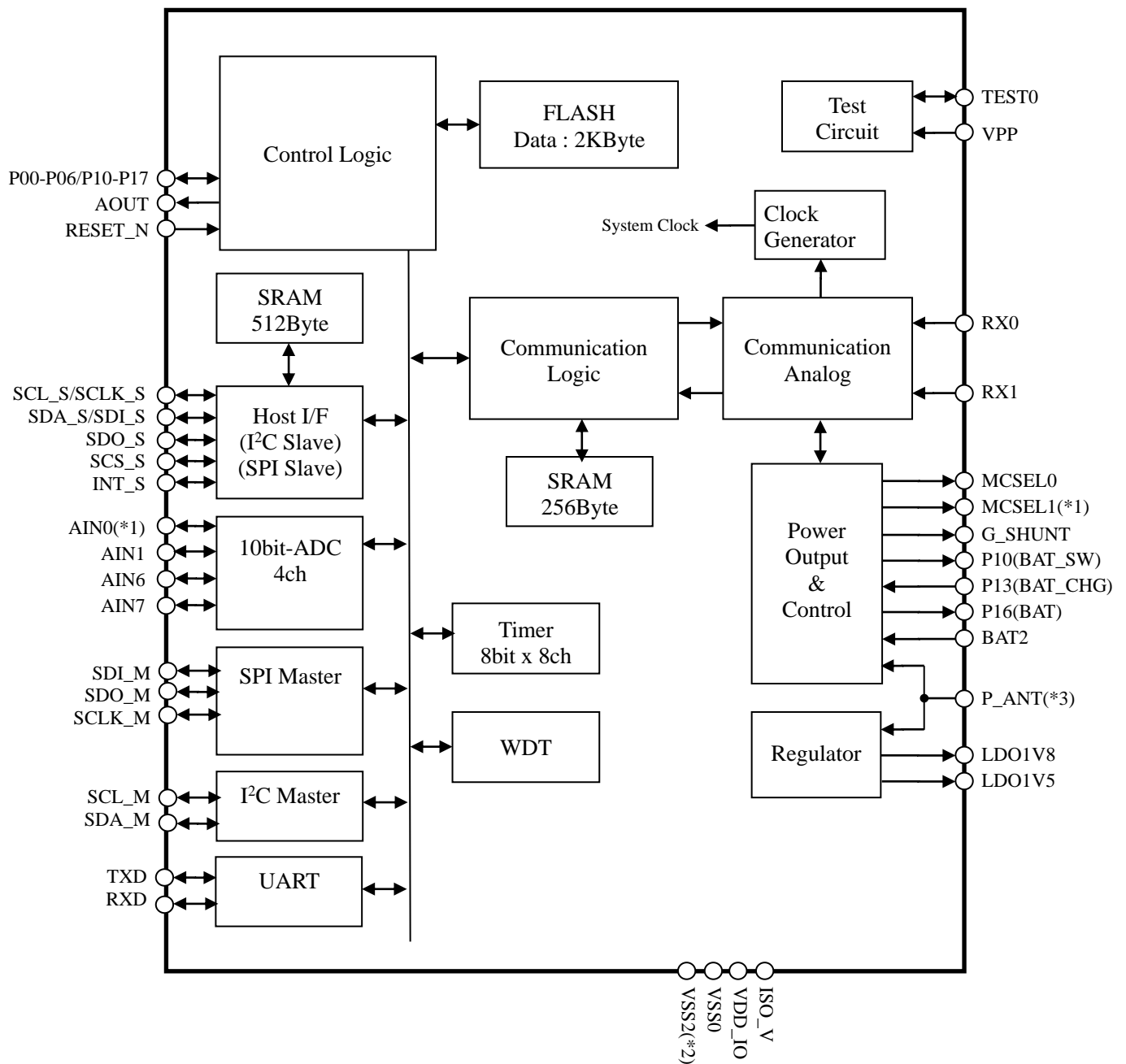
- I²C バスインタフェース(I²C マスタ)
 - 標準モード(100kbit/s)、ファーストモード(400kbit/s)対応

- SPI インタフェース(SPI マスタ)
 - MSB/LSB ファースト選択可能
 - 8ビット長/16ビット長選択可能
 - クロックの位相及び極性を選択可能

- UART
 - 全二重通信対応
 - 通信速度 4800~115200bps を設定可能
 - プログラマブルインタフェース(データ長, パリティ, ストップビットの選択可能)

- パワーマネジメント制御
 - クロック分周機能
システムクロックは 6.78MHz、3.39MHz、1.7MHz、848kHz、424kHz、212kHz、106kHz に対応する
 - クロック停止機能
CPU のみを停止する HALT モード

3. ブロック図



*1 WQFN32 ピンのみ

*2 WL-CSP30pin のみ

*3 WL-CSP30pin では LSI 内部で VDD_IO に接続

4. 端子配置/端子一覧

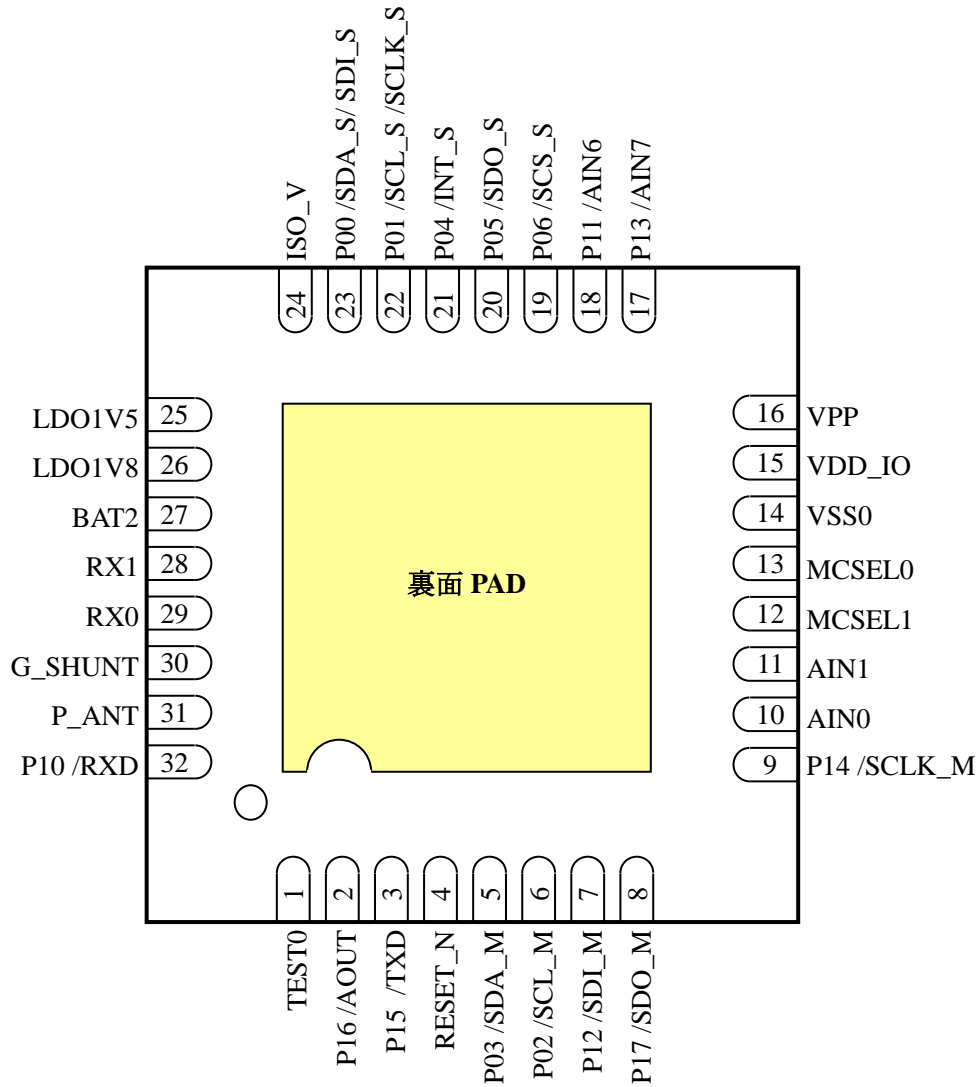
30ピン WL-CSP

BOTTOM VIEW

P13 / AIN7	VDD_IO	MCSEL0	AIN1	P14 / SCLK_M	6
P06 / SCS_S	P11 / AIN6	VPP	P17 / SDO_M	P12 / SDI_M	5
P04 / INT_S	P05 / SDO_S	VSS0	P02 / SCL_M	P03 / SDA_M	4
P00 / SDA_S / SDI_S	P01 / SCL_S / SCLK_S	VSS2	P15 / TXD	P16 / AOUT	3
ISO_V	RESET_N	TEST0	RX1	P10 / RXD	2
LDO1V5	LDO1V8	BAT2	RX0	G_SHUNT	1
E	D	C	B	A	

32ピン WQFN

TOP VIEW



ご注意：中央の四角はパッケージ裏側の PAD です(裏面 PAD)。
裏面 PAD は基板の GND に接続してください。

5. 端子説明

5.1 電源・グランド・リファレンス電圧端子

PIN No.	端子名称	リセット時(※1)	I/O(※2)	Active Level	端子機能	未使用時の処理
C4/14	VSS0	-	-	-	グランド (VSS0~VSS2 は LSI 内部で接続されています)	-
C3	VSS2					
D6/15	VDD_IO	-	-	-	ロジック IO 電源	-
E1/25	LDO1V5	H(A)	OA	-	コア用 1.5V 電源出力	-
D1/26	LDO1V8	H(A)	OA	-	ADC 用 1.8V 電源出力	-
31	P_ANT	-	-	-	整流入力 (CSP では WL-CSP 再配線で VDD_IO 電源に接続)	-
E2/24	ISO_V	-	-	-	ロジック IO 電源(ホスト通信用)	-
C1/27	BAT2	-	IA	-	電池電圧観測	-

5.2 アナログ信号端子

PIN No.	端子名称	リセット時(※1)	I/O(※2)	Active Level	端子機能	未使用時の処理
B1/29	RX0	-	IA	-	磁界(プラス側) / データ受信	-
B2/28	RX1	-	IA	-	磁界(マイナス側) / データ受信	-

5.3 その他の端子

PIN No.	端子名称	リセット時(※1)	I/O(※2)	供給電源	Active Level	端子機能	未使用時の処理
D2/4	RESET_N	PU	I	VDD_IO	L	リセット端子 デバッグ用端子	オープン
E3/23	P00 / SDA_S / SDI_S	Z	I/O	ISO_V	-	入出力ポート HostIF(I ² C スレーブ) データ入出力 HostIF(SPI スレーブ) データ入力	オープン
D3/22	P01 / SCL_S / SCLK_S	Z	I/O	ISO_V	-	入出力ポート HostIF(I ² C スレーブ) クロック入力 HostIF(SPI スレーブ) クロック入力	オープン
B4/6	P02 / SCL_M	Z	I/O	ISO_V	-	入出力ポート I ² C マスタクロック出力	オープン
A4/5	P03 / SDA_M	Z	I/O	ISO_V	-	入出力ポート I ² C マスタデータ入出力	オープン
E4/21	P04 / INT_S	Z	I/O	ISO_V	-	入出力ポート HostIF INT 出力	オープン
D4/20	P05 / SDO_S	Z	I/O	ISO_V	-	入出力ポート HostIF(SPI スレーブ) データ出力	オープン
E5/19	P06 / SCS_S	Z	I/O	ISO_V	-	入出力ポート HostIF(SPI スレーブ) 選択信号	オープン
10	AIN0	Z	IA	VDD_IO	-	汎用 AD 入力 0	オープン
B6/11	AIN1	Z	IA	VDD_IO	-	電流測定用 AD 入力 1	オープン
A2/32	P10(BAT_SW) / RXD	PU	I/O	VDD_IO	-	入出力ポート(給電オンオフ) UART データ入力	オープン
D5/18	P11 / AIN6	Z	I _{DA} /O	ISO_V	-	入出力ポート/汎用 AD 入力 6	オープン

PIN No.	端子名称	リセット時(※1)	I/O(※2)	供給電源	Active Level	端子機能	未使用時の処理
A5/7	P12 / SDI_M	Z	I/O	ISO_V	—	入出力ポート SPI マスタデータ入力	オープン
E6/17	P13 (BAT_CHG) / AIN7	Z	I _{DA} /O	VDD_IO	—	入出力ポート(充電 IC 割込み入力) 汎用 AD 入力 7	オープン
A6/9	P14 / SCLK_M	Z	I/O	ISO_V	—	入出力ポート SPI マスタクロック出力	オープン
B3/3	P15 / TXD	Z	I/O	VDD_IO	—	入出力ポート UART データ出力	オープン
A3/2	P16(BAT) / AOUT	Z	I/O _{DA}	VDD_IO	—	入出力ポート(充電 IC 入力電荷放電) アナログモニタ出力	オープン
B5/8	P17 / SDO_M	Z	I/O	ISO_V	—	入出力ポート SPI マスタデータ出力	オープン
C6/13	MCSEL0	PU	O	VDD_IO	—	マッチングキャパシタ選択信号	オープン
12	MCSEL1	PU	O	VDD_IO	—	マッチングキャパシタ選択信号	オープン
A1/30	G_SHUNT	L(A)	O	P_ANT	—	シャントトランジスタ制御信号	オープン

5.4 テスト端子

PIN No.	端子名称	リセット時(※1)	I/O(※2)	供給電源	Active Level	端子機能	未使用時の処理
C2/1	TEST0	Z	I/O	VDD_IO	L	テスト用/デバッグ用端子	Pull-Up
C5/16	VPP	—	I _A	—	—	Flash テスト用電源端子	オープン

(※1) リセット時 : リセット状態で記載する状態を表しています。

リセット時 端子状態定義	L(O)	: 出力状態かつ”L”レベル出力
	H(O)	: 出力状態かつ”H”レベル出力
	L(A)	: アナログ L レベル出力
	H(A)	: アナログ H レベル出力
	PU	: Pull-Up
	PD	: Pull-Down
	Z	: フローティング状態

(※2) I/O : I/O 定義に関しましては、下記の略称を使用しております。

I/O 定義	I _A	: アナログ入力端子
	O _A	: アナログ出力端子
	I	: デジタル入力端子
	I/O	: 双方向端子
	I _{DA} /O	: 双方向端子、入力はデジタルとアナログ共用
	I/O _{DA}	: 双方向端子、出力はデジタルとアナログ共用
	O	: デジタル出力端子

6. 電気的特性

6.1 絶対最大定格

項目	記号	条件	定格値	単位
電源電圧	VDD_IO	Ta=25°C	-0.3~+6.5	V
	ISO_V	Ta=25°C	-0.3~+6.5	V
	P_ANT	Ta=25°C	-0.3~+6.5	V
	BAT2	Ta=25°C	-0.3~+6.5	V
コア電源電圧	LDO1V5	Ta=25°C	-0.3~+2.0	V
アナログ電源電圧	LDO1V8	Ta=25°C	-0.3~+6.5	V
入力電圧	VDIN	Ta=25°C、デジタルポート	-0.3~V _{DD} +0.3	V
		Ta=25°C、RX0/RX1	12	V
入力電流	I _I	Ta=25°C、デジタルポート	-10~+10	mA
	I _{P_ANT}	Ta=25°C	100	mA
出力電圧	VDO	Ta=25°C、デジタルポート	-0.3~V _{DD} +0.3	V
デジタル出力電流	I _{DO}	Ta=25°C	-12~+20	mA
許容損失(QFN)	PD	Ta=25°C	1	W
許容損失(CSP)	PD	Ta=25°C	0.5	W
保存温度	T _{stg}	—	-55~+150	°C

V_{DD}: VDD_IO 系の端子は VDD_IO 電圧、ISO_V 系の端子は ISO_V 電圧

6.2 推奨動作条件

項目	記号	条件	最小	標準	最大	単位
動作電圧	VDD_IO	—	1.8	—	5.5	V
	ISO_V	—	1.8	—	5.5	V
	P_ANT	通信時	2.0	5.0	5.5	V
給電時		—	—	5.5	V	
動作温度	T _a	通信時	-40	+25	+85	°C
LDO1V5 外付けキャパシタ	C _{LDO1V5}	—	Typ -10%	2.2	Typ +10%	μF
P_ANT 外付けキャパシタ	C _{PANT}	—	Typ -10%	2.2	Typ +10%	μF
LDO1V8 外付けキャパシタ	C _{LDO1V8}	—	Typ -10%	0.47	Typ +10%	μF
VDD_IO 外付けキャパシタ	C _{VDDIO}	—	Typ -10%	0.1	Typ +10%	μF
ISO_V 外付けキャパシタ	C _{ISOV}	—	Typ -10%	0.1	Typ +10%	μF
アンテナ入力周波数	F _{ANT}	—	Typ -0.05%	13.56	Typ +0.05%	MHz
AIN 端子入力電圧	V _{AIN}	AIN0,AIN6,AIN7	0	—	1.8	V

6.3 フラッシュメモリ動作条件

項目	記号	条件	範囲	単位
動作温度(周囲)	T _{OP}	書き込み/消去時	-20 to +60	°C
動作電圧	P_ANT	書き込み/消去時	2.7 to 5.5	V
書き換え回数	C _{EPD}	プログラム領域	100	回
		データ領域	10,000	回
消去単位	-	セクタ消去(プログラム領域)	1	KB
		セクタ消去(データ領域)	128	B
消去時間(最大)	-	セクタ消去	50	ms
書き込み単位	-	プログラム領域	4 byte	-
		データ領域	1 byte	-

6.4 RF 特性

(VDD_IO=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
入力レベル	V _{RX1}	RX0/RX1	2.0	-	5.9	V
入力データ振幅	V _{RX2}	RX0/RX1	50	-	-	mV
通信速度	F _{RX}	RX0/RX1		212		kbps
				424		kbps

6.5 通知特性

(VDD_IO=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
P_ANT 入力リミッタ	V _{PANT1}	通常時	-	-	5.5	V
	V _{PANT2}	通知時	-	3.0	-	V

6.6 発振特性

(VDD_IO=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V)

項目	記号	条件	最小	標準	最大	単位
低速内蔵 RC 発振周波数 ^{*1}	f _{LCR}		-10%	32.768	+10%	kHz

*1 : 1024 サイクルの平均値です。

6.7 SA-ADC 特性

(VDD_IO=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
分解能	n	—	—	10	—	bit
積分非直線性誤差	INL	LDO1V8=1.8V	-6	—	+6	LSB
微分非直線性誤差	DNL	LDO1V8=1.8V	-6	—	+6	LSB
ゼロスケール誤差	ZSE	—	-6	—	+6	LSB
フルスケール誤差	FSE	—	-6	—	+6	LSB
入力インピーダンス	RI	—	—	6k	—	Ω
SA-ADC 基準電位	VREF	LDO1V8=VREF	—	1.8	—	V

6.8 リセット特性

(VDD_IO=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
RESET_N パルス幅	PRST	—	2	—	—	ms
RESET_N ノイズ除去パルス幅	PNRST	—	—	—	0.3	μs

6.9 交流特性 (I²C Bus Interface)

● Standard Mode 100 kHz

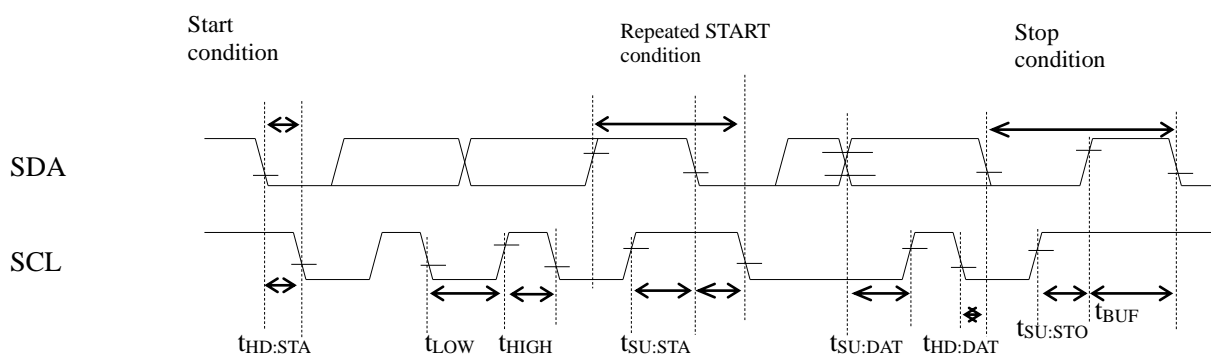
(VDD_IO/ISO_V=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
SCL clock frequency	f _{SCL}	—	—	—	100	kHz
SCL hold time (start/repeated start condition)	t _{HD:STA}	—	4.0	—	—	μs
SCL "L" level time	t _{LOW}	—	4.7	—	—	μs
SCL "H" level time	t _{HIGH}	—	4.0	—	—	μs
SCL setup time (repeated start condition)	t _{SU:STA}	—	4.7	—	—	μs
SDA hold time	t _{HD:DAT}	—	0	—	—	μs
SDA setup time	t _{SU:DAT}	—	0.25	—	—	μs
SDA setup time (P: Stop condition)	t _{SU:STO}	—	4.0	—	—	μs
Bus free time	t _{BUF}	—	4.7	—	—	μs

● Fast Mode 400 kHz

(VDD_IO/ISO_V=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
SCL clock frequency	f _{SCL}	—	—	—	400	kHz
SCL hold time (start/repeated start condition)	t _{HD:STA}	—	0.6	—	—	μs
SCL "L" level time	t _{LOW}	—	1.3	—	—	μs
SCL "H" level time	t _{HIGH}	—	0.6	—	—	μs
SCL setup time (repeated start condition)	t _{SU:STA}	—	0.6	—	—	μs
SDA hold time	t _{HD:DAT}	—	0	—	—	μs
SDA setup time	t _{SU:DAT}	—	0.1	—	—	μs
SDA setup time (P: Stop condition)	t _{SU:STO}	—	0.6	—	—	μs
Bus free time	t _{BUF}	—	1.3	—	—	μs

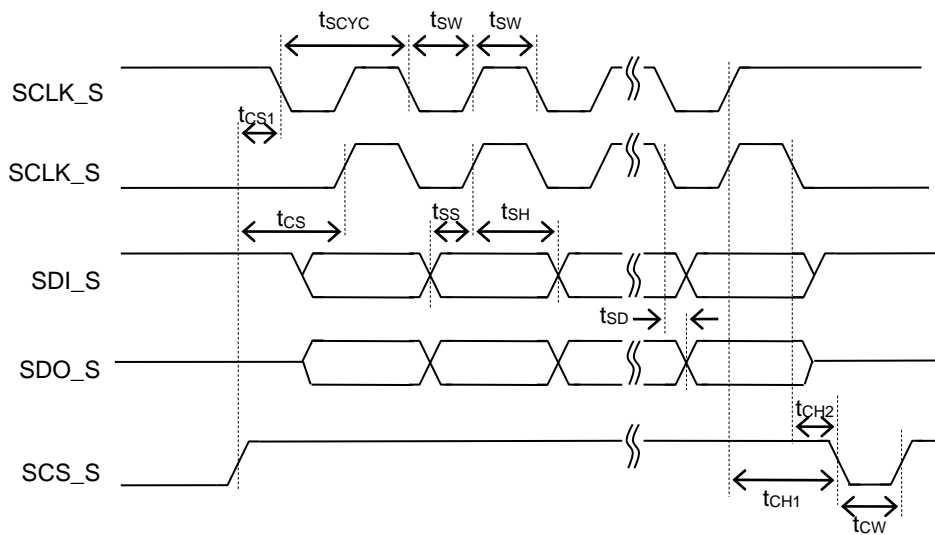


I²C スレーブは他のデバイスと共通の I²C バスに接続する場合、他のデバイスの通信を阻害する恐れがございますので、本 LSI の ISO_V 電源を落とさないようにしてください。磁界による P_ANT 電源がない場合でも ISO_V 電源を印加していれば、Hi-z 状態を維持します。

6.10 交流特性 (ホストインタフェース:SPIスレーブ)

(VDD_IO/ISO_V=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
SCLK 入力サイクル	tscyc	—	500	—	—	ns
SCLK 入力パルス幅	tsw	—	200	—	—	ns
SCS セットアップ時間	tcs1	—	80	—	—	ns
	tcs2	—	80	—	—	ns
SCS ホールド時間	tch1	—	80	—	—	ns
	tch2	—	80	—	—	ns
SCS 入力パルス幅	tcw	—	80	—	—	ns
SDO 出力遅延時間	tSD	—	—	—	240	ns
SDI 入力セットアップ時間	tss	—	80	—	—	ns
SDI 入力ホールド時間	tsh	—	80	—	—	ns

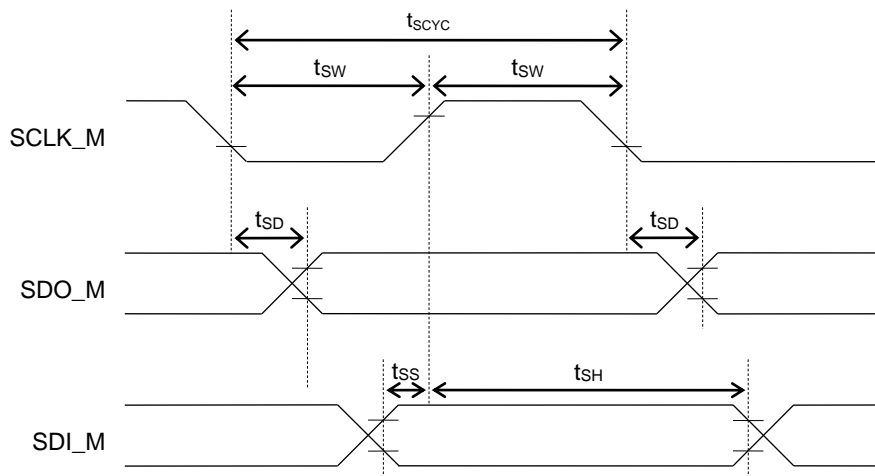


6.11 交流特性 (SPI マスタ)

(VDD_IO/ISO_V=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
SCLK_M 出力サイクル	t _{scyc}	—	—	SCLK ^{*1}	—	s
SCLK_M 出力パルス幅	t _{sw}	—	t _{scyc} ×0.4	t _{scyc} ×0.5	t _{scyc} ×0.6	s
SDO_M 出力遅延時間	t _{sd}	—	—	—	100	ns
SDI_M 入力セットアップ時間	t _{ss}	—	100	—	—	ns
SDI_M 入力ホールド時間	t _{sh}	—	60	—	—	ns

*1: インターフェースレジスタにより選択された内部クロックの周期



6.12 IO 特性

(特に指定のない場合は、VDD_IO=1.8 to 5.5V, P_ANT=2.0 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
出力電圧 1 (P00-P07, P10-P17)	VOH1	IOH=-1.0mA	V _{DD} -0.5	-	-	V
	VOL1	IOL=+0.5mA	-	-	0.4	V
出力電圧 2 (P00-P07, P10-P17) (LED モード選択時)	VOL2	2.7V ≤ V _{DD} ≤ 5.5V IOL=+5.0mA	-	-	0.6	V
		IOL=+2.0mA	-	-	0.4	V
出力電圧 3 (P00-P03) (I ² C モード選択時)	VOL3	IOL3= +3mA (I ² Cspec) (VDD_IO ≥ 2V、ISO_V ≥ 2V)	-	-	0.4	V
出力電圧 4 (P00-P03) (I ² C モード選択時)	VOL4	IOL4= +2mA (I ² Cspec) (VDD_IO < 2V、ISO_V < 2V)	-	-	V _{DD} ×0.2	V
出力リーク 1 (P00-P07, P10-P17)	IOOH1	VOH=V _{DD} (at high impedance)	-	-	1	μA
	IOOL1	VOL=VSS (at high impedance)	-1	-	-	μA
入力電流 1 (RESET_N)	I _{IH} 1	VIH1=V _{DD}	-	-	1	μA
	I _{IL} 1	VIL1=VSS	-900	-300	-20	μA
入力電流 2 (TEST0)	I _{IH} 2	VIH2=V _{DD}	-	-	1	μA
	I _{IL} 2	VIL2=VSS	-200	-15	-1	μA
入力電流 3 (P00-P07, P10-P17)	I _{IH} 3	VIH3=V _{DD} (プルダウン時)	1	15	200	μA
	I _{IL} 3	VIL3=VSS (プルアップ時)	-200	-15	-1	μA
	I _{IH} 3Z	VIH3=V _{DD} (at high impedance)	-	-	1	μA
	I _{IL} 3Z	VIL3=VSS (at high impedance)	-1	-	-	μA
入力電圧 1 (RESET_N, TEST0, P00-P07, P10-P17)	VIH1	-	0.75×V _{DD}	-	V _{DD}	V
	VIL1	-	0	-	0.3×V _{DD}	V
入力端子容量 (RESET_N, TEST0, P00-P07, P10-P17)	C _{IN}	f=10kHz V _{rms} =50mV Ta=25°C	-	10	-	pF
リーク電流	I _{ISOV}	ISO_V 端子に電位供給し、 磁界入力無し時の端子リーク	-	100	-	nA

V_{DD}: VDD_IO 系の端子は VDD_IO 電圧、ISO_V 系の端子は ISO_V 電圧
標準値は Ta=25°C, VDD_IO=3.0V のとき

6.13 消費電流

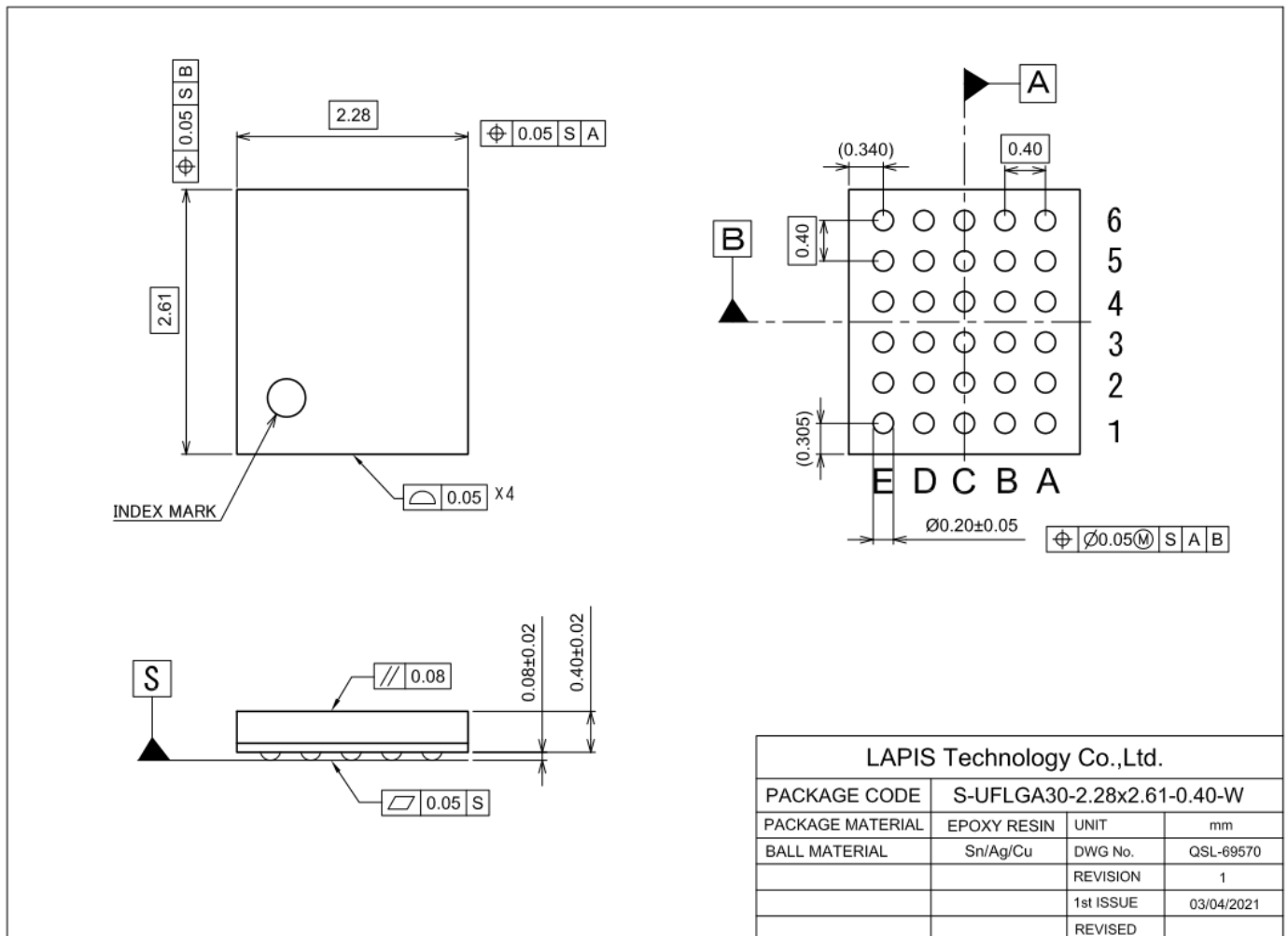
(VDD_IO=1.8 to 5.5V, P_ANT=4.5 to 5.5V, VSS=0V, Ta=-40 to +85°C)

項目	記号	条件	最小	標準	最大	単位
消費電流	P_ANT	通信時	0.5	-	-	mA
		給電時	-	-	10	mA

* 消費電流はアンテナ設計に依存します。負荷抵抗が小さくなれば、消費電流は大きくなります。
外付け Tr の電流は含まれません。

7. パッケージ

WL-CSP30 ピン

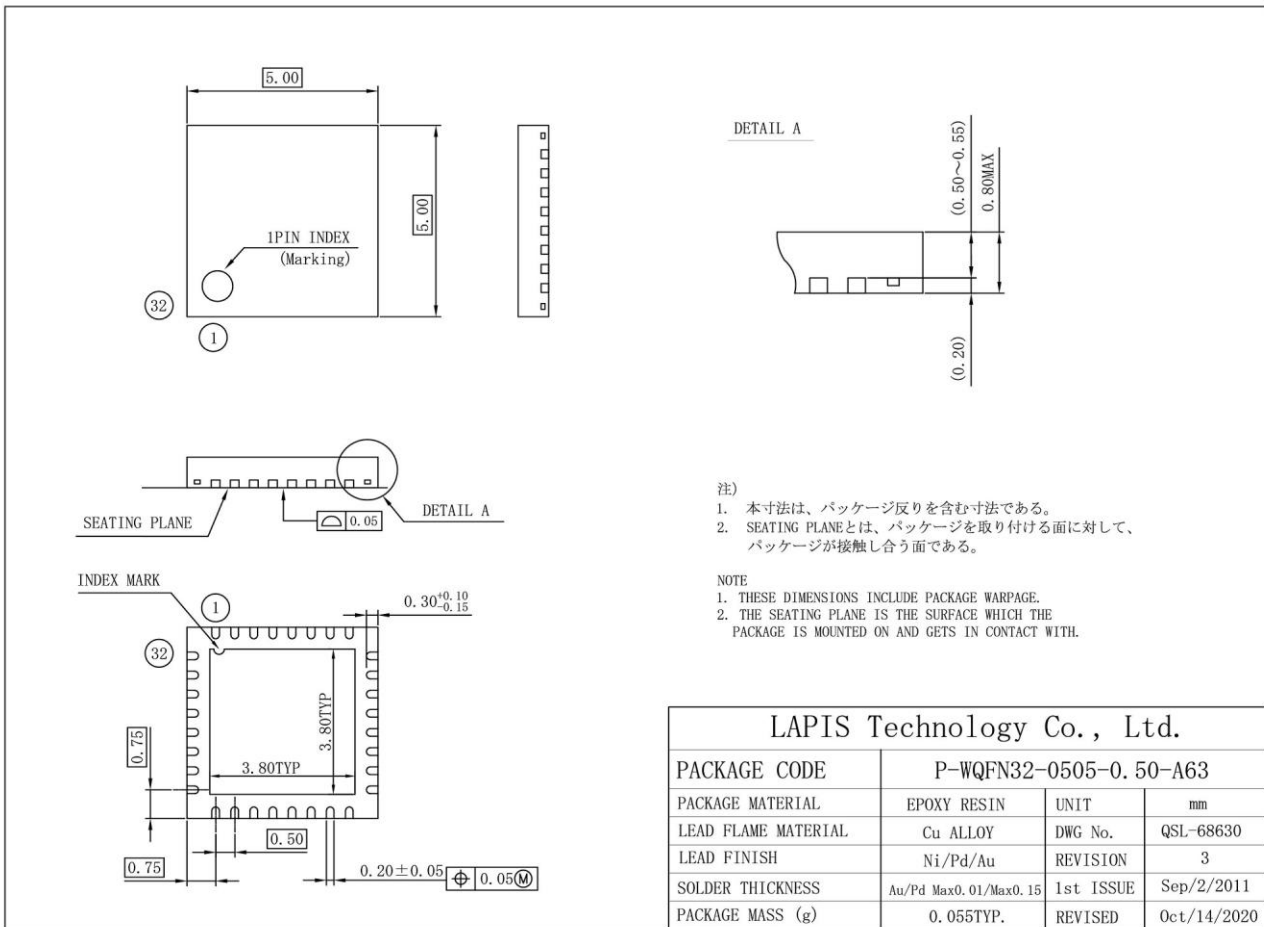


表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などをローム営業窓口まで必ずお問い合わせください。

WQFN32 ピン

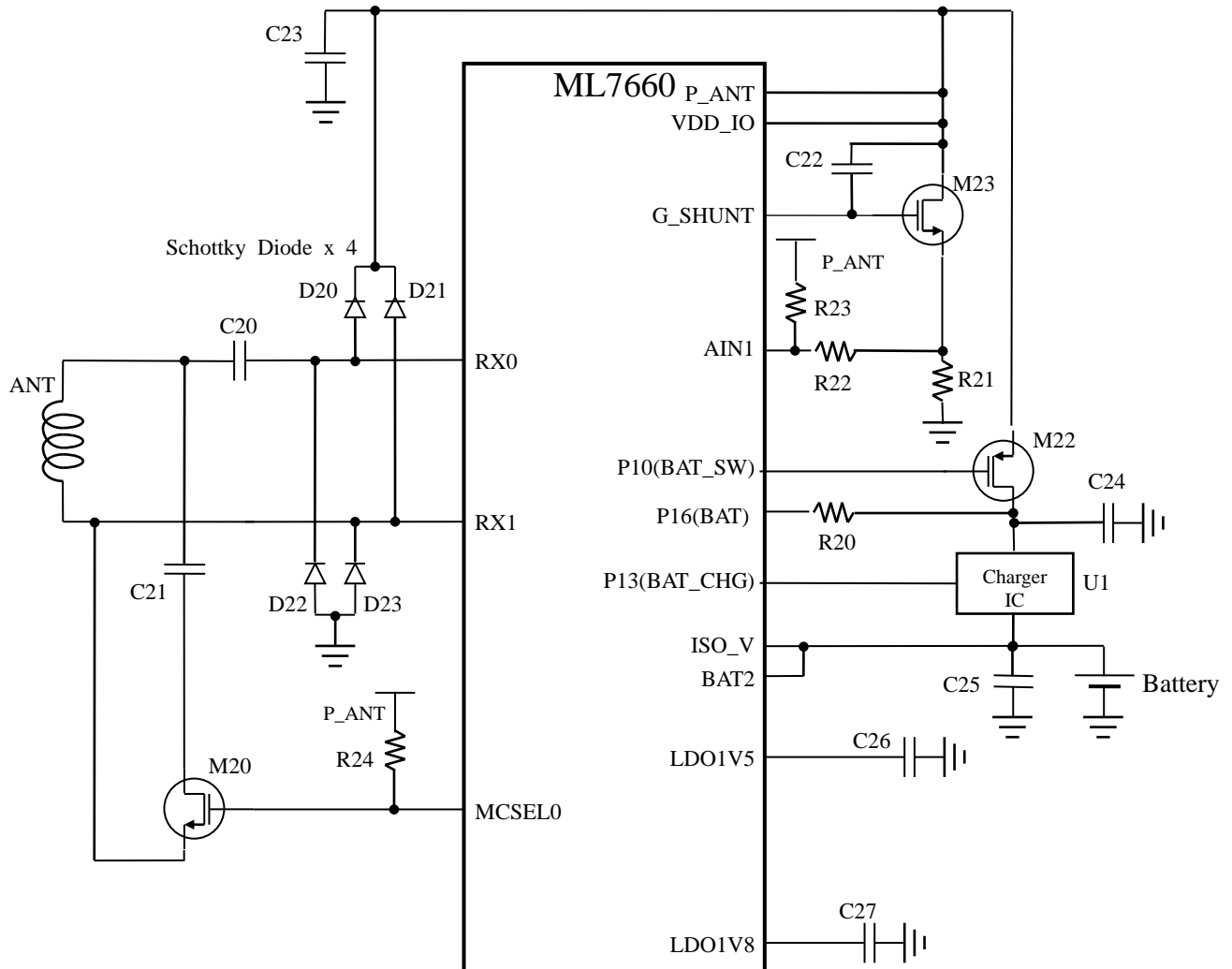


表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをローム営業窓口まで必ずお問い合わせください。

8. 応用回路例



Mandatory Parts List

分類	部品番号	値	サイズ	メーカー	型番
Capacitor	C20	150pF, over 100V	1005	Murata	GRM155 Series
	C21	100pF, over 100V	1005	Murata	GRM155 Series
	C22	470pF	1005	Murata	GRM155 Series
	C27	0.47 μ F	1005	Murata	GRM155 Series
	C23, C26	2.2 μ F	1005	Murata	GRM155 Series
	C24, C25	1 μ F, Decoupling Capacitor	1005	Murata	GRM155 Series
Resistor	R20	10k Ω , For discharge	1005	ROHM	MCR01 Series
	R21	1 Ω	1005	ROHM	MCR01 Series
	R22	330 Ω	1005	ROHM	MCR01 Series
	R23	10k Ω	1005	ROHM	MCR01 Series
	R24	100k Ω	1005	ROHM	MCR01 Series
MOS Transistor	M20	NMOS, 60V, 0.25A	2924	ROHM	RK7002BM
	M22	PMOS, 20V, 1.5A	2020	ROHM	QS6M4(Dual)
	M23	NMOS, 20V, 1.5A	2020	ROHM	QS6M4(Dual)
Schottky Diode	D20, D21, D22, D23	Ifmax=5A, Vf=360mV, Vr=20V	2508	ROHM	RB162VAM-20
Charger IC	U1	-			
Battery		-			
ANT		-			

改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL7660-01	2021.10.4	—	—	正式初版発行

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途へのご使用を意図しています。
本製品を、特に高い信頼性が要求される機器(車載・船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム等)に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
当社の意図していない用途に製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
また、本製品は直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)には、使用できません。
- 6) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 7) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、当社はその責任を負うものではありません。
- 8) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 9) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 10) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。
- 11) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2021 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>